

ALICE, A Large Ion Collider Experiment al LHC, CERN (Ginevra)

- Progettato appositamente per lo studio della materia nucleare ad alte densità e temperatura

↔ Caratterizzazione del **Quark-Gluon Plasma (QGP)**: stato deconfinato della materia.

- Inner Tracking System (ITS)** → Il rivelatore più interno dell'esperimento ALICE

- Principali **limiti dell'ITS**: velocità di lettura **SDD** (1 kHz), **material budget** (1.1 % X_0 per layer), **risoluzione spaziale** (~ 120 μm a $p_T = 500$ MeV/c)

Strategia per l'upgrade di ALICE durante il Long Shutdown 2 di LHC (2019 – 2020)

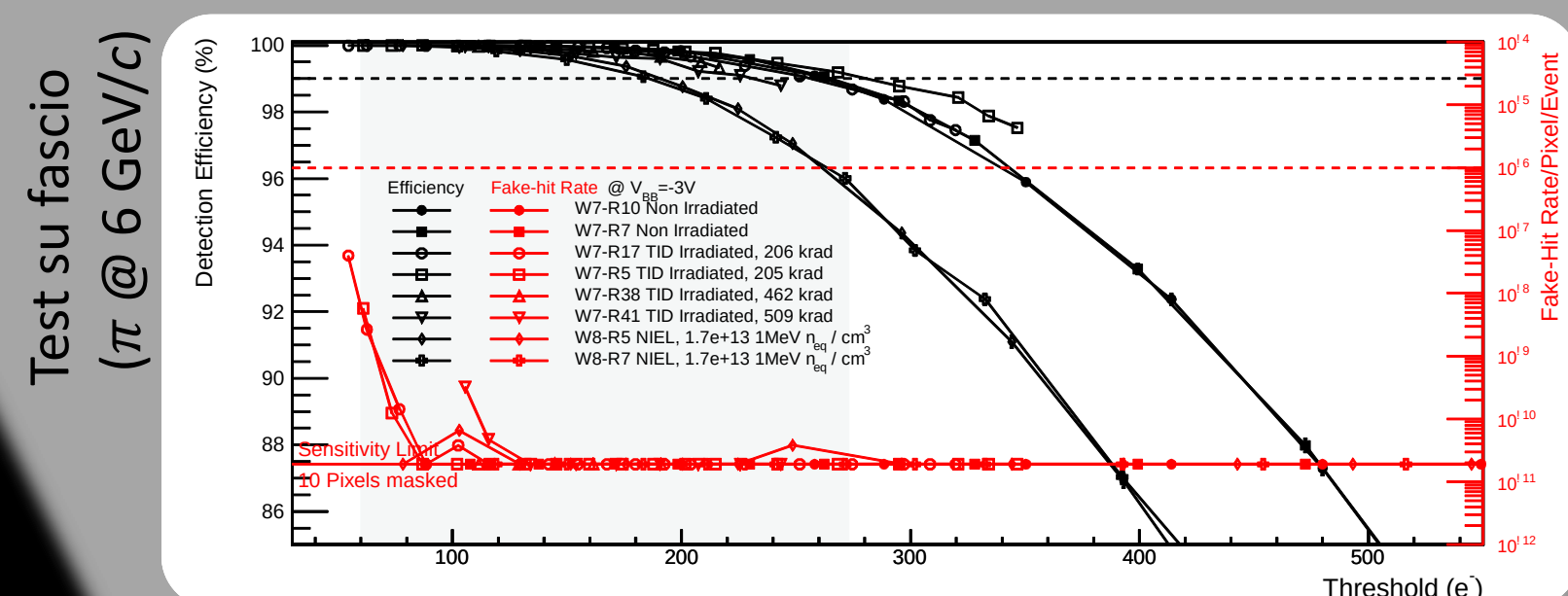
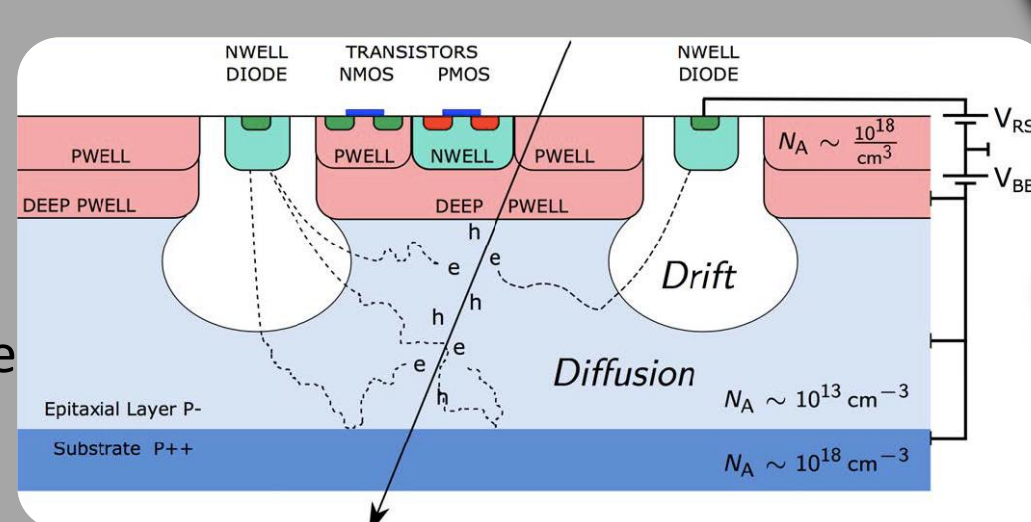
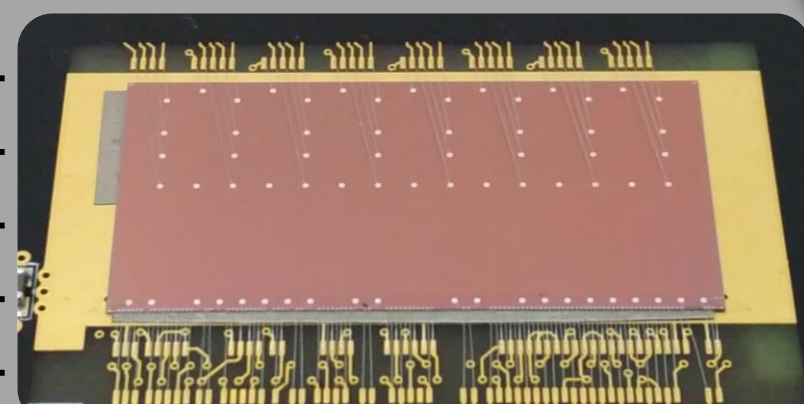
- La luminosità integrata attuale è un **limite** per segnali di fisica rara.
- Nuovo obiettivo per la luminosità integrata** in Pb-Pb: **10 nb^{-1}** (+ le collisioni pp e p-A)
↔ Aumento di statistica di un **fattore 100** per eventi **Minimum Bias**.
- Obiettivo di Fisica**: misure di alta precisione delle proprietà del QGP
 - Adroni con quark pesanti a basso p_T
 - ↔ Termalizzazione e ricombinazione
 - Mesoni vettoriali e di-leptoni di bassa massa
 - ↔ Ripristino della simmetria chirale, fotoni termici virtuali
 - Misure ad alta precisione di nuclei leggeri e ipernuclei
 - ↔ Nucleosintesi nel QGP, stati esotici.

Uno degli elementi chiave è la costruzione di un **nuovo e ultra-leggero Inner Tracking System (ITS)** ad alta risoluzione

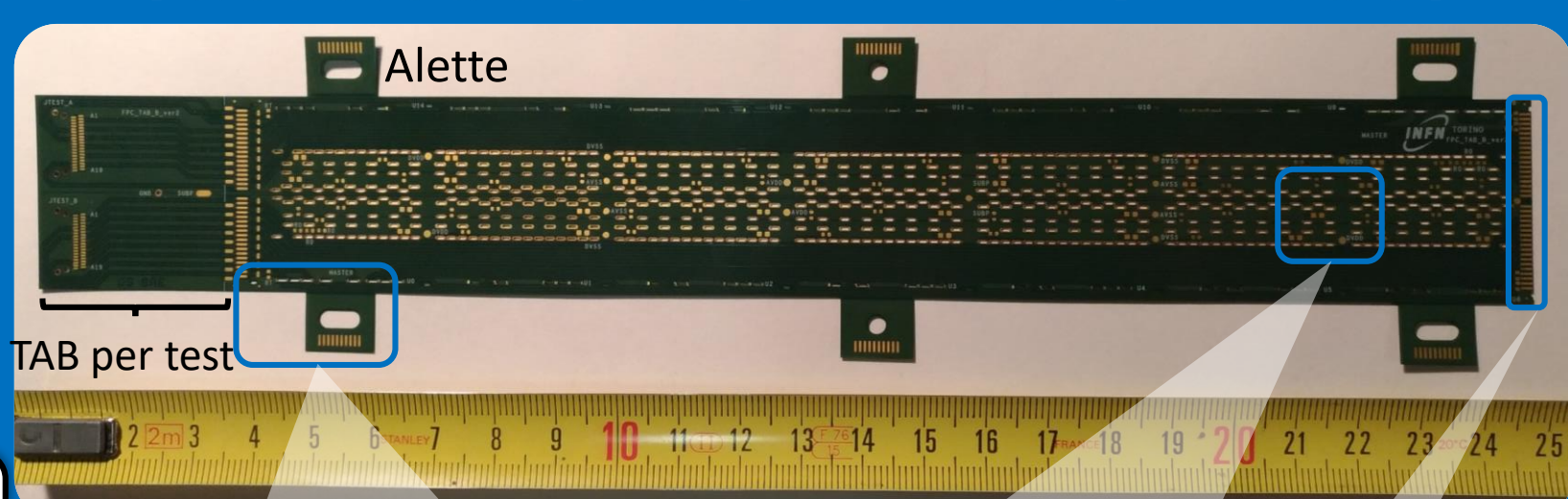
ALPIDE chip (custom design)

Alice Pixel Detector di Towerjazz
0.18 μm CMOS imaging process
Dimensione: **1.5x3.0 cm^2**
Dimensione pixel: **~27x29 μm^2**
pixel: **512 x 1024**

- Elevata resistività (1 ÷ 6 $k\Omega \cdot \text{cm}$) dello strato epitassiale
- Deep PWELL per schermare l'NWELL dei transistor PMOS (circuiti CMOS completo).
- Veloce (~2 μs) lettura dei dati dalla matrice (data driven encoder)
- Basso consumo di potenza: < 40 mW/ cm^2



Flex Printed Circuit dell'OB (versione finale in produzione)



Taglio TAB dopo test

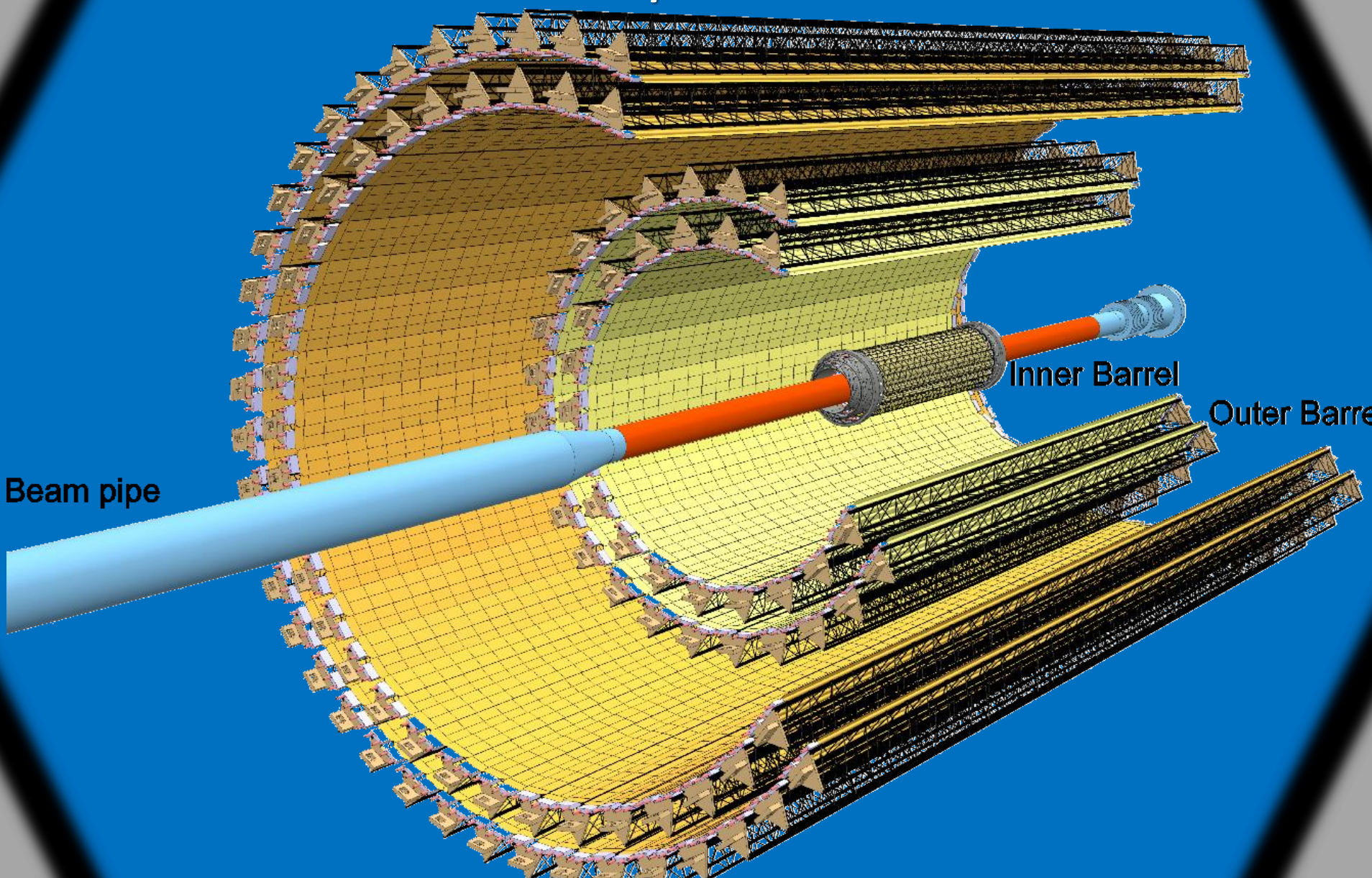
Fori per l'allineamento del FPC

- Vias per wire-bond su ALPIDE (alimentazione e dati)
- Pad per condensatori SMD

Pad per connessione tra moduli adiacenti

Layout del nuovo ITS

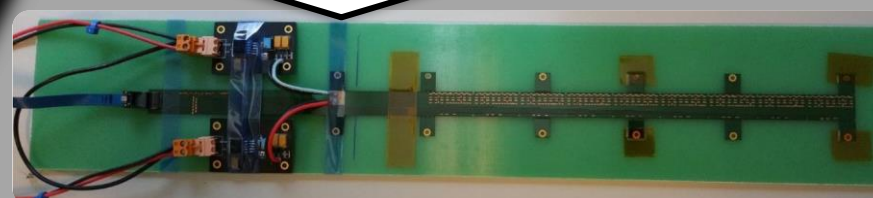
Inner Barrel (tre strati interni)
Outer Barrel (due strati intermedi + due esterni)
→ 7 strati di rivelatori a pixel monolitici al silicio ←



Copertura in pseudo-rapidità: $|\eta| < 1.22$
Copertura radiale: 22 ÷ 400 mm
Area attiva: ~10 m^2

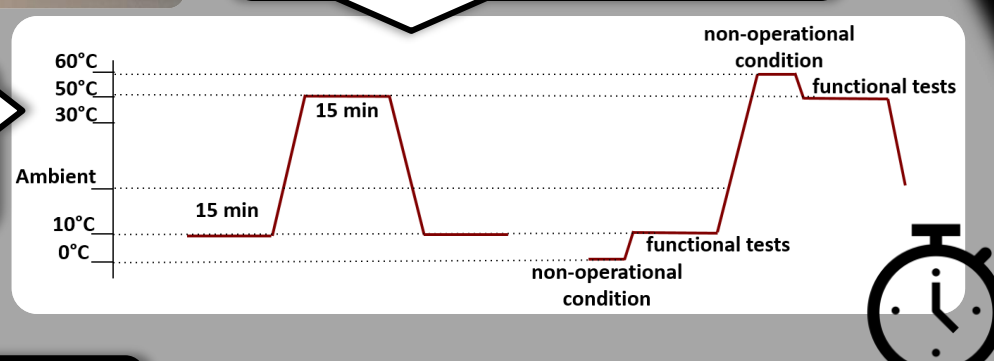
Moduli OB e IB: lab tests

Modulo Inner Barrel in laboratorio

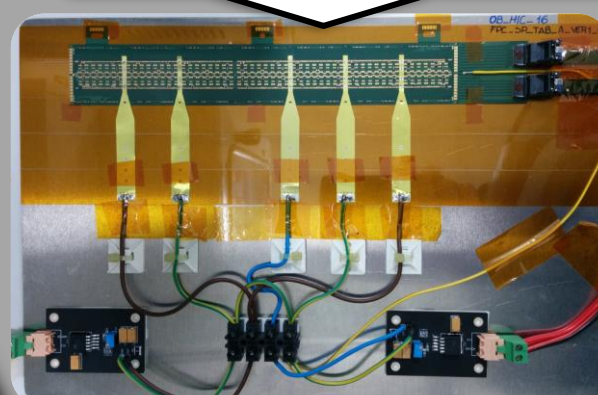


Test di invecchiamento

Dopo 35 cicli termici i moduli risultano funzionanti



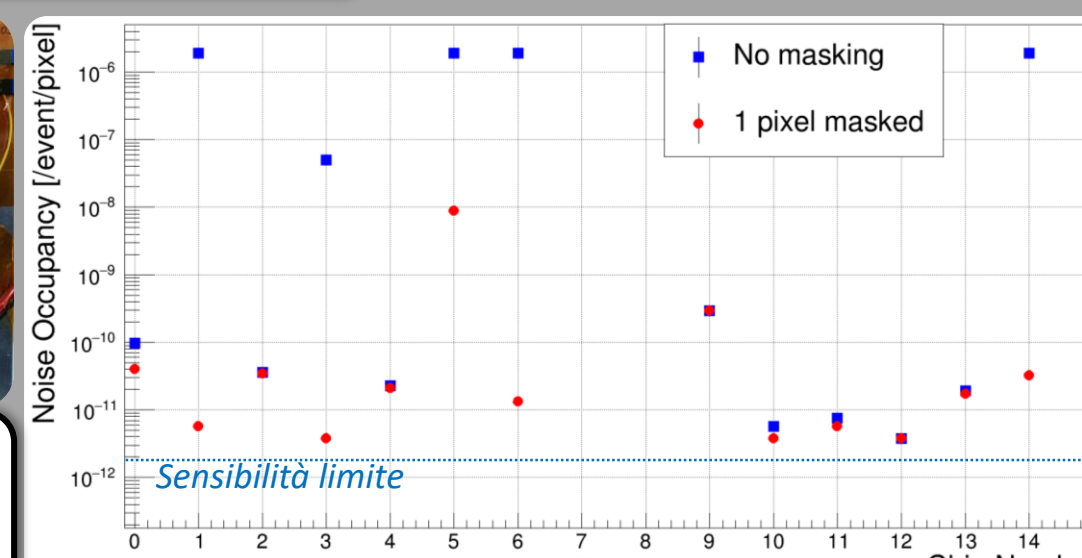
Modulo Outer Barrel in laboratorio



Test di resistenza sono in corso

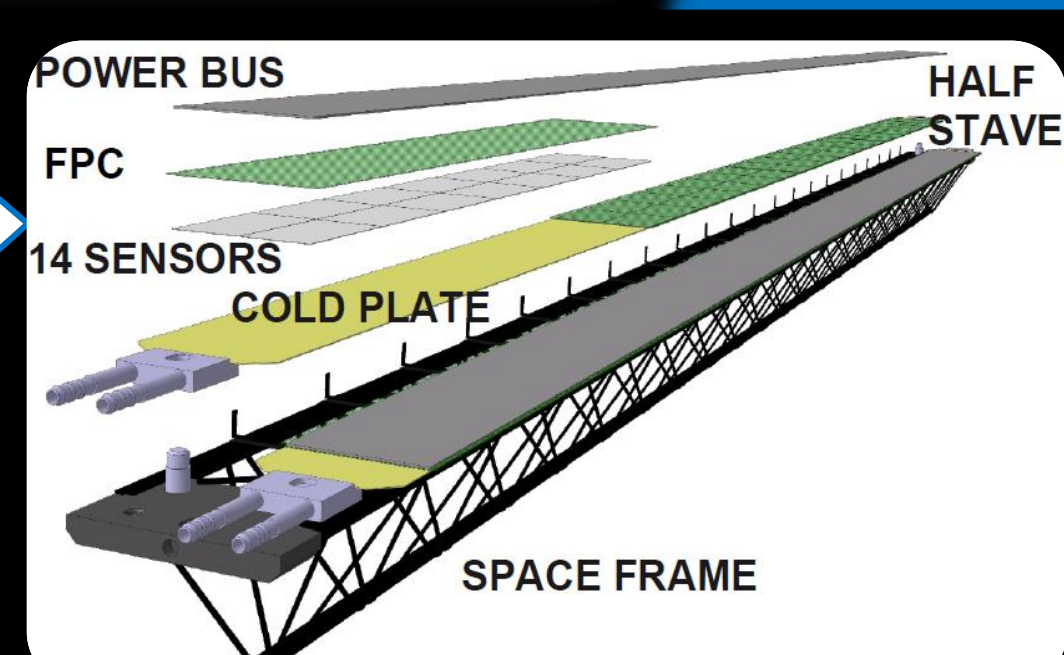
Test della noise occupancy

- Noise occ < 10^{-10} /evento/pixel mascherando solo un pixel per la maggior parte dei chip



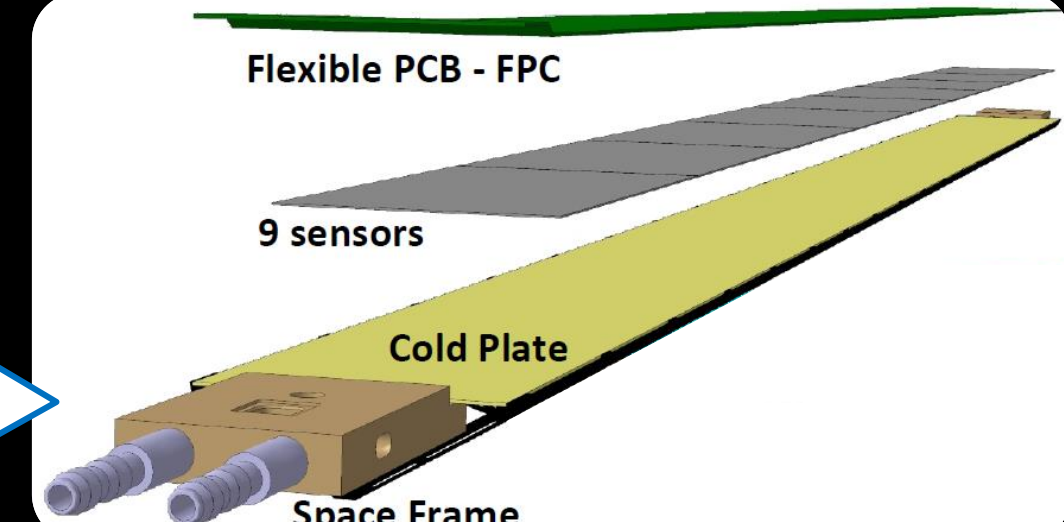
Outer Barrel Stave

- Modulo = 14 chips ALPIDE
- 1 Flex Printed Circuit per Modulo: trasmissione di dati, clock e control
- 1 Power Bus (PB) per Half-Stave.
- Lunghezza tot ML-Stave: ~ 80 cm
- Lunghezza tot OL-Stave: ~ 150 cm



Inner Layer Stave

- Modulo = 9 chips ALPIDE
- 1 Flex Printed Circuit per Modulo o Stave: alimentazione e trasmissione di dati, clock e control.
- Lunghezza totale: ~ 28 cm



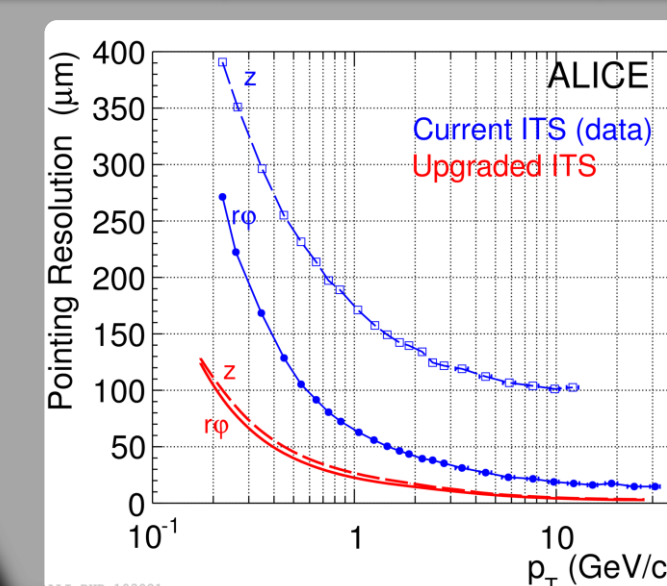
Caratteristiche del nuovo ITS Attuale vs Nuovo ITS

Parametro	Attuale ITS	Nuovo ITS
Velocità di lettura	fino a 1 kHz	Fino a 100 kHz (Pb-Pb) Fino a 1 MHz (pp)
Material budget	1.1% X_0	0.3% X_0 (inner) ~1% X_0 (outer)
Pixel size	50x425 μm^2	~30x30 μm^2
Raggio interno	39 mm	22 mm
# layer	6	7

50 kHz: massimo rate Pb-Pb di LHC

Miglioramento della risoluzione sul parametro di impatto di un fattore 3 in z e 5 in rφ a $p_T=500$ MeV/c

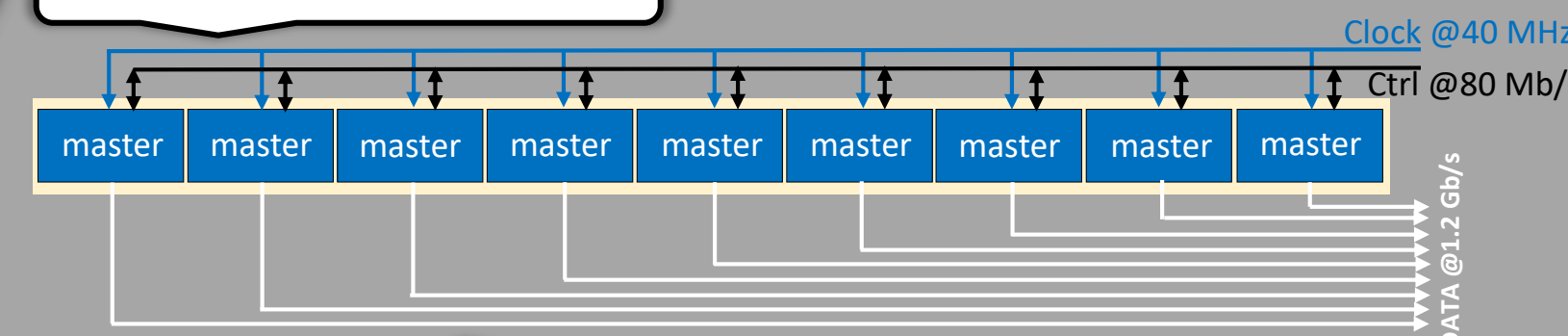
Miglioramento della risoluzione di tracciamento a bassi p_T



Risoluzione sul parametro di impatto per particelle cariche

Schema dei Moduli OB e IB

Modulo Inner Barrel



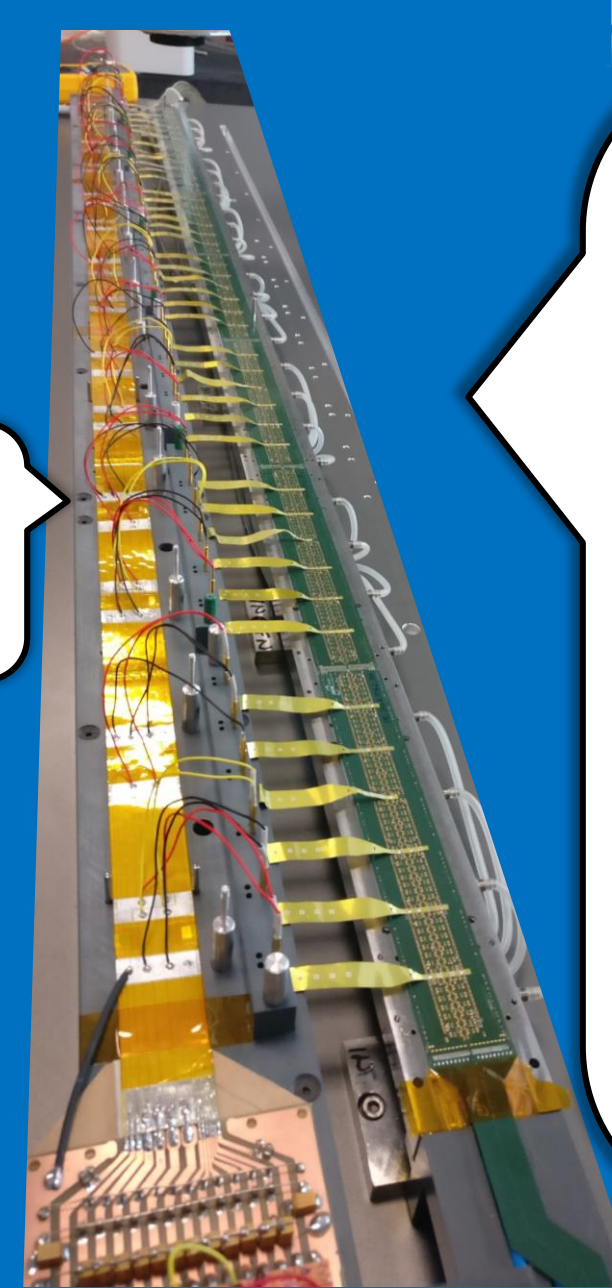
- 9 chips ALPIDE (tutti master)
- Linee di clock e control per ogni master
- Linea dati per ogni master a un data rate di 1.2 Gb/s

Modulo Outer Barrel



- 14 chips ALPIDE: due file indipendenti di 7 chips (1 master + 6 slaves)
- Linee di clock e control esterne solo per il master
- Linea dati per ogni master a un data rate di 400 Mb/s
- Comunicazione master-slave per dati, clock e control

Outer Layer Stave: assemblaggio e test



... In breve

- Caratterizzazione elettrica dei Moduli.
- Allineamento e incollaggio dei Moduli sul Cold Plate con precisione < 50 μm
- Saldatura del Power Bus per limitare le cadute di tensione
- Saldatura delle estensioni per trasmettere dati e alimentazione verso l'esterno
- Incollaggio dei due Half-Staves allo Space-Frame
- Caratterizzazione e validazione

Modulo alimentato dal PB per mezzo di un adattatore con sonde a molla

