

Minute riunione FTK Italia – inizio febbraio

- **Amchip design** (Stabile): problemi di convergenza del progetto assemblato finale. Tentativo di ripiazzamento in corso. Non e' facilmente prevedibile la data di sottomissione ad oggi. Ordine del package fatto e del die in elaborazione al CERN.
- **Amchip test** (Matteo): il documento da sottomettere alla IMEC per avere l'offerta per il test dei 2000 chips e' in corso di preparazione, ma e' necessario un incontro con IMEC/Microtest per definire alcune parti. Occorre fare l'incontro il prima possibile, siamo gia' in ritardo, perche' la Microtest si prendera' tempi lunghi (ai tempi della preparazione della applicazione Neurons avevano chiesto ~un anno per i task descritti sotto) per preparare la scheda di interfaccia per la sua macchina ed il formato dei test vectors. Inoltre abbiamo sperimentato che fare gli ordini anche via CERN prende tempo e fatica.
Matteo avvia al piu' presto la fattura della mezzanina di test per il nuovo pinout di AM06.
- **FTK_IM** (Matteo): sono finiti i tests della mezzanina nuova con Artix e funziona tutto. Ora abbiamo 6 schede IM Artix7 funzionanti. Matteo si accinge a portare il firmware esistente da Spartan6 a Artix7. Si raccomanda di usare ISE e non Vivado per essere compatibili con i giapponesi e americani che lavorano sullo stesso pezzo di HW, visto che gli Spartan 6 non sono gestibili in Vivado. Questo passaggio e' necessario per testare la scheda con il Data Formatter e procedere alla Production Readiness Review.
Si decide di chiedere il permesso ai referees di acquistare i componenti che hanno lungo tempo di consegna e di procedere all'acquisto asap.
Si decide di fissare la review per Marzo come programmato da schedule.
- **AMBSLP-LAMBSLP** (Paola): la review di novembre ha richiesto un notevole sconvolgimento della scheda AMBSLP, in quanto tutto il power della scheda passa a 48 V, a sola eccezione del VME che richiede il 5 V. Questo e' stato voluto fortemente dai referees e reso possibile grazie alla disponibilita' di Wiener a fare una modifica a prezzo ragionevole ai loro crates, ed alla disponibilita' del TDAQ di aiutare a reperire i fondi se i costi finali del sistema upgradato eccedesse le nostre disponibilita'. La nuova scheda AMBLSP_v3 e' stata disegnata e sottomessa ed adesso si sta facendo il PCB. La nuova LAMBSLP e' arrivata e funziona, ne stiamo montando altre 3 per avere una scheda completa con 64 chips. I tests del loop di eventi random per l'integrazione con la AUX board sono stati di successo, ma il test va reso lungo ed esaustivo e poi occorre passare ad eventi montecarlo simulati ed usare la banca vera di memoria associativa.
La Final Design review e' prevista per maggio, ma se tutto continua ad andare bene, potremmo anticipare ad aprile, guadagnando tempo prezioso per la produzione che ha tempi strettissimi.
- **(tutti)** si discute brevemente delle attivita' di infrastruttura VME e DCS. Anche in questo caso siamo sotto forte pressione per rendere l'infrastruttura disponibile nei tempi utili. Agostino e' disponibile a procurare l'HW necessario ma manca un responsabile che faccia funzionare il sistema, in particolare fornendo il software necessario. Paola e Alberto vedono in Andrea la persona chiave che potrebbe con successo e con facile comunicazione con Agostino o con il TDAQ fare le scelte giuste e commissionare in tempi brevi un sistema funzionante. Questo sarebbe di grande aiuto anche se non volesse occuparsi della successiva manutenzione del sistema. Valentino raccoglierà informazioni da Pavia e farà un riassunto.

- Problema delle firme (Paola) – Paola convince che e' necessario fare uno sforzo unitario della comunita' degli upgrade per ottenere regole sulle firme piu' adeguate alle necessita' attuali degli esperimenti. Vedi documento allegato.

Piano di lavoro definito dalla discussione con Microtest- IMEC per i tests ai tempi di Neurons

Task 2.6 Concept of test and Translation of test vectors

Analysis and organization of massive, fast, chip tests at the Microtest machines. Test definition. Test vectors translation from C++ produced vectors of Task 2.2, after their verification at task 2.4, to a format suitable for large scale automated testing.

Partners: Microtest (leader), partner INFN

Task 3.8 Loadboard design for Microtest tester

Design and test of the small interface board between the AMMA-chip and the Microtest machine that will execute the tests of the 500 AM chips in WP2.

Partners: Microtest

Task 2.7 Test SW development, test debug, test of samples

Software development. Commissioning and debug of the HW setup including the Loadboard developed in WP3. The prototypes from Task 2.3 will be used for electrical debug and characterization. Quality check, repeatability spike analysis and endurance.

Characterization and Cpk report development. Final documentation. Test of 500 prototypes will be executed to provide good chips for the demonstrators.

Partners: Microtest (leader), partner INFN

Relative Milestones:

M2.7 Translated test vectors structure defined (M06)

M3.8 Loadboard availability (M11)

M2.9 Test program ready for testing (M16)