



## **Elettronica** .... *riferimenti a ....*

Overview (bus readout standard – FPGA **(STD)**)

Attività recenti in Sezione **(REC)**

Sviluppi ed impegni futuri

Potenzialità tecnologiche inesprese **(PIN)**

# Main Readout STD towards the LHC Upgrade

PCI-express (PC based) ([www.pcisig.com](http://www.pcisig.com) )

ATCA (Advanced Telecommunications Computing Architecture)

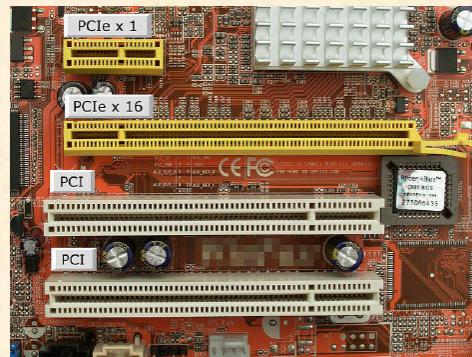
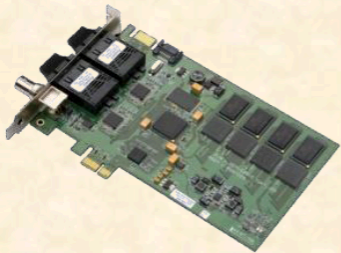
MicroTCA/ $\mu$ TCA ([www.picmig.org](http://www.picmig.org))

VME-VXS ([www.vita.com](http://www.vita.com) )

....

## PCIe (aka PCI Express)

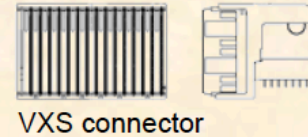
- Not a bus any more but a point-to-point link
- Data not transferred on parallel **lines** but on one or several serial **lanes**
  - Lane: One pair of LVDS lines per direction
  - Clock rate: 2.5 GHz (PCIe2.0: 5 GHz, PCIe 3.0: 8 GHz)
  - 8b/10b encoding (PCIe3.0: 128/130b encoding)
  - 250 MB/s (Gen1) to 1 GB/s (GEN3) raw transfer rate per lane
  - Devices can support up to 32 lanes
- Protocol at the link layer has nothing to do with protocol of parallel PCI
- Fully transparent at the S/W layer



# VME extended

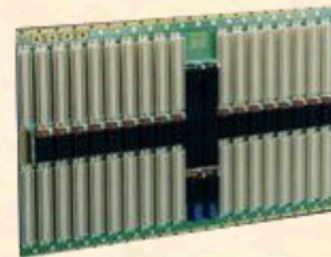
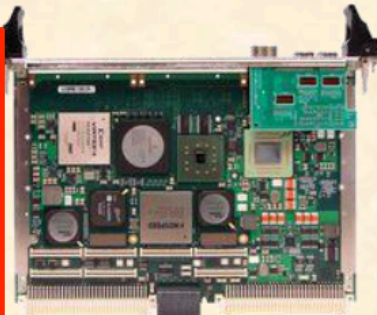
## VXS (VITA 41, ~100 pages)

- Essentially 6U (but 9U not excluded) **VMEbus with a new P0 connector**
- Two types of cards
  - **Payload**
  - **Switch** (one card required, second for redundancy)
- Network topology: (dual) star
- Connectivity for payload cards
  - **16 differential** pairs (10 GHz) defined by the standard (and routed to switch cards)
  - **31 reserved pins** available on P0
- Sub-standards
  - 41.1 **Infiniband**
  - 41.2 Serial RapidIO
  - 41.3 IEEE Std 802.3 (1000 Mb/s Ethernet)
  - 41.4 PCIe
- Hot Swap: According to VITA 1.4
- System management based on **I<sup>2</sup>C / IPMI** but only formulated as recommendation



(PIN)

Crate esistente in  
Sezione  
Compatibile ATLAS



# xTCA

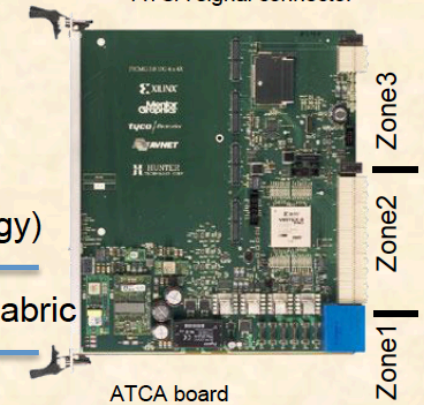
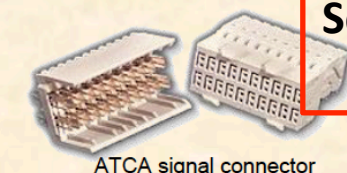
## Advanced TCA (650 pages + IPMI)

- More of a system than a board standard
- Started in 2001 by ~100 companies
- **One form factor**
  - Front: 8U x 280 mm x 30.48 mm (14 slots per 19" crate)
  - Rear: 8U x 60 mm (5W)
- Supply voltage: **-48 V** (-> DC-DC conversion each on-board)
- Power limit: **200 W** (400 W) per card
- Connectors
  - Zone 1: One connector for power & system management
  - Zone 2: One to five ZD connectors for data transfer
  - Zone 3: User defined connector for rear I/O
- Connectivity
  - Up to **200 differential pairs**
  - **4 groups**
    - 64 pairs for Base Interface (usually Eth., star topology)
    - 120 pairs for Fabric Interface (star or full mesh)
      - Ethernet, PCIe, Infiniband, serial RapidIO, StarFabric
    - 6 pairs for Clock Synchronization
    - 10 pairs for Update Channel
- System management based on **IPMI, I<sup>2</sup>C and FRU data**

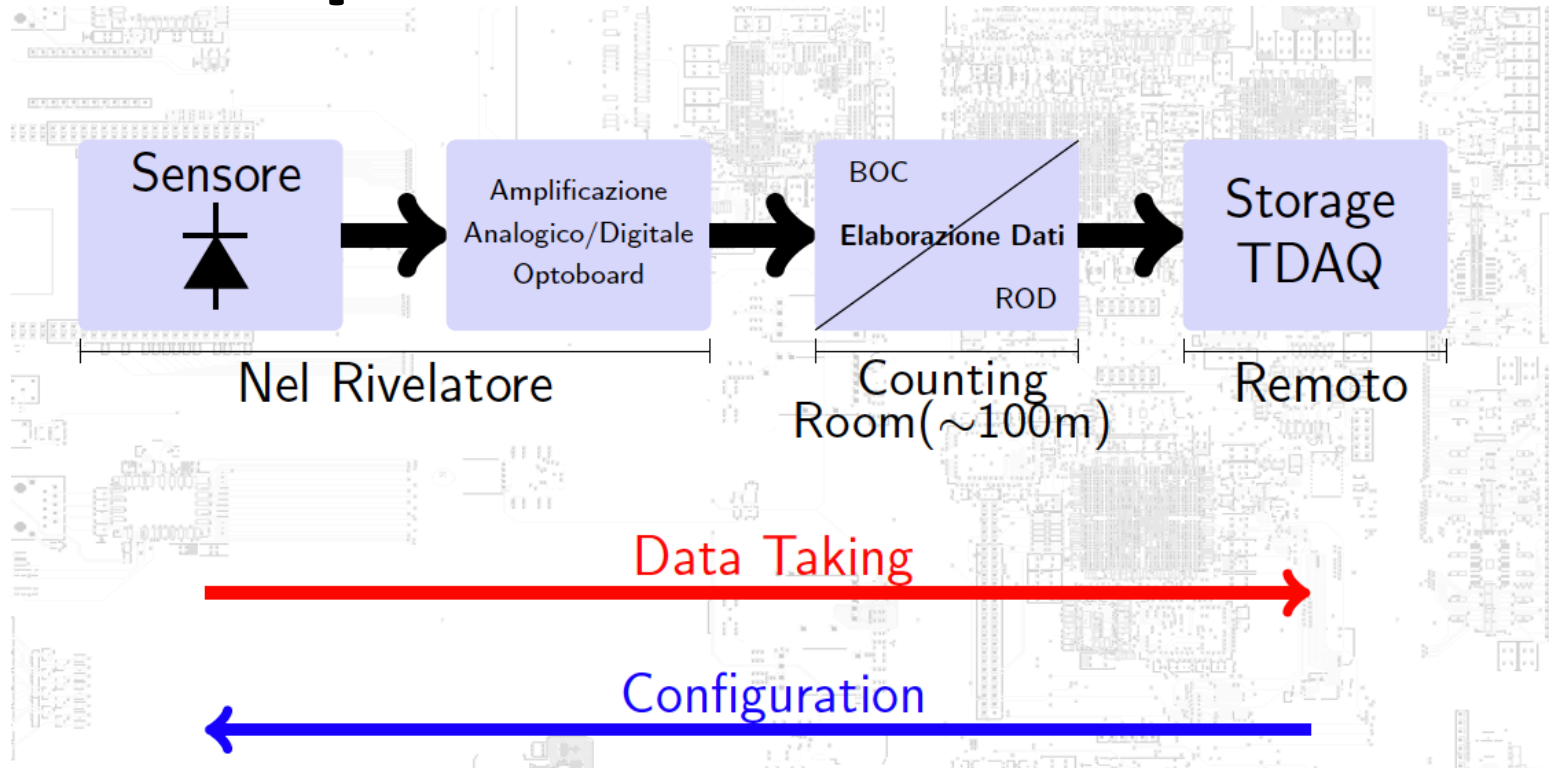
Very trendy!  
(and very complex)

- **Big/expensive ATCA blades**
- AMC Smaller mezzanine
- **μTCA**

Non ancora sviluppato in Sezione



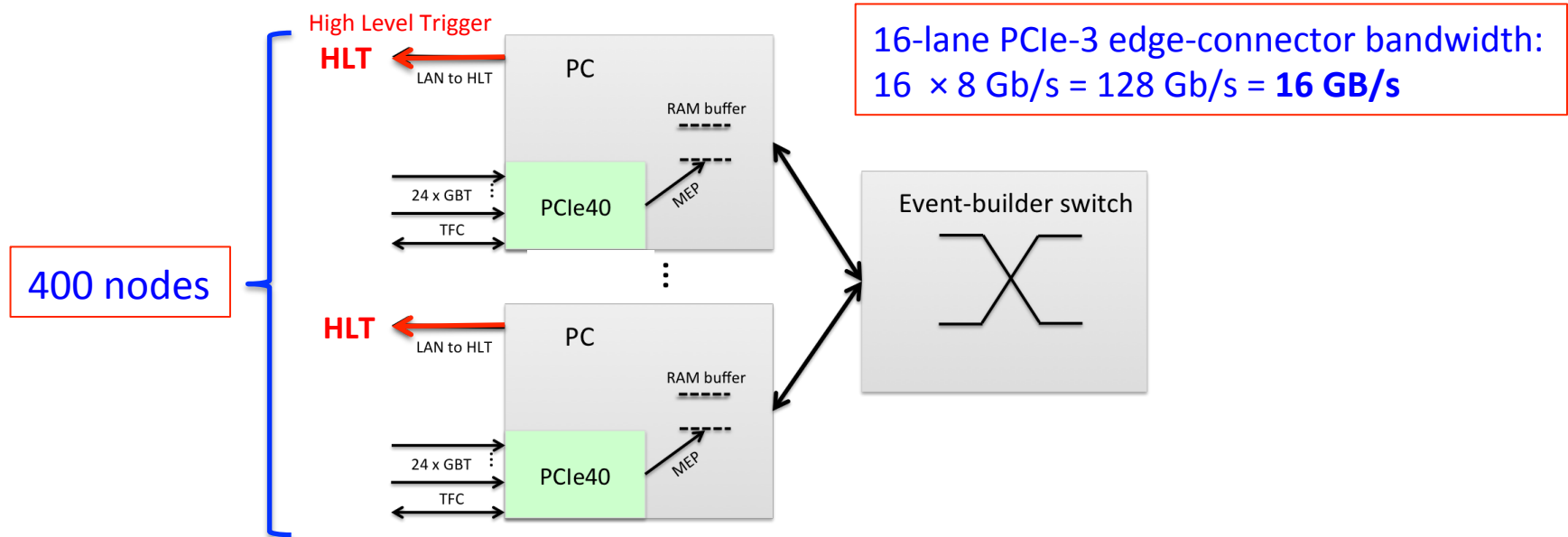
# Esempio catena DAQ ATLAS-IBL



- Esigenze HW diverse per Data-Taking e Calibrazione
  - Elettronica **off-detector**, **on-detector** xCAL,  $\mu$ Chambers (**firmware FPGA commerciali**)
  - Elettronica **on-detector** Tracker (**ASICs**: problema elettronica rad-hard) (**PIN**)

# The LHCb DAQ upgrade (courtesy of U. Marconi)

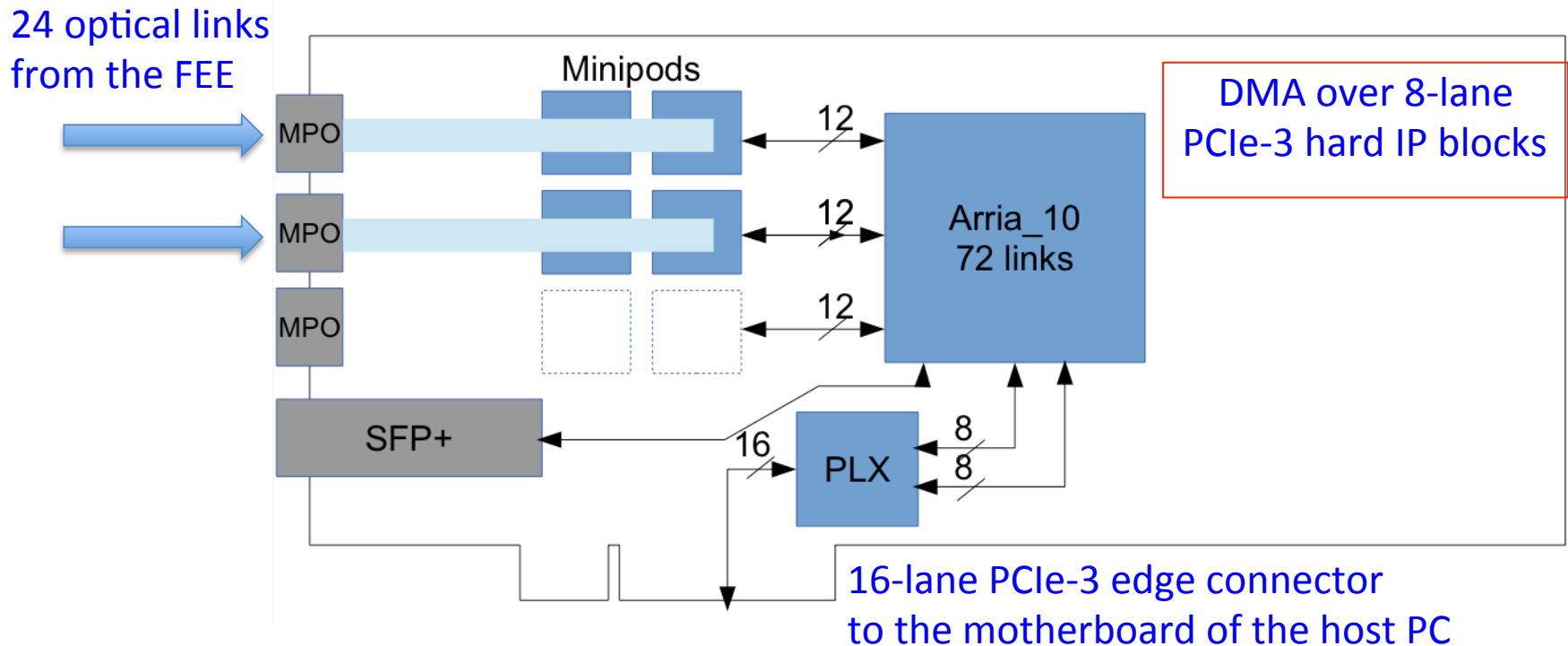
- Use PCIe Generation 3 as communication protocol to transfer data from the FEE to the PC farm: the PCIe-3 board is connected to the PC motherboard through 16-lane edge-connector



- PC memory available for buffering: latency is not an issue.
- PC's Operating System and libraries available: high level programming possible at this stage, to manage the event-building and data transfers to the HLT through the computer network.
- Versatile a system, adaptable to different network protocol, technologies.

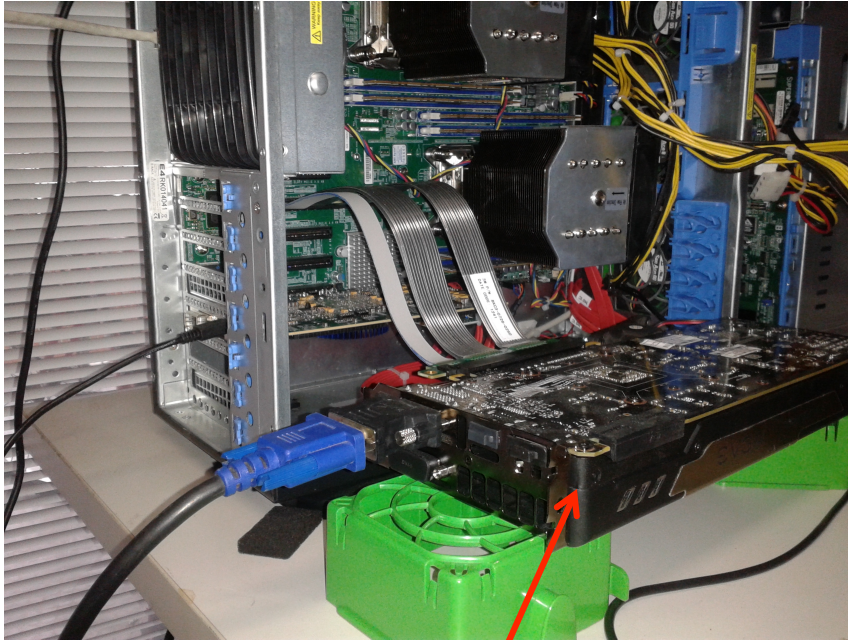
# PCIe Gen3 based readout

- A main FPGA manages the input streams and transmits data to the event-builder PC using DMA over PCIe-3.
- The readout version of the board uses two de-serializers.
- The same board can be used to clock and control distribution

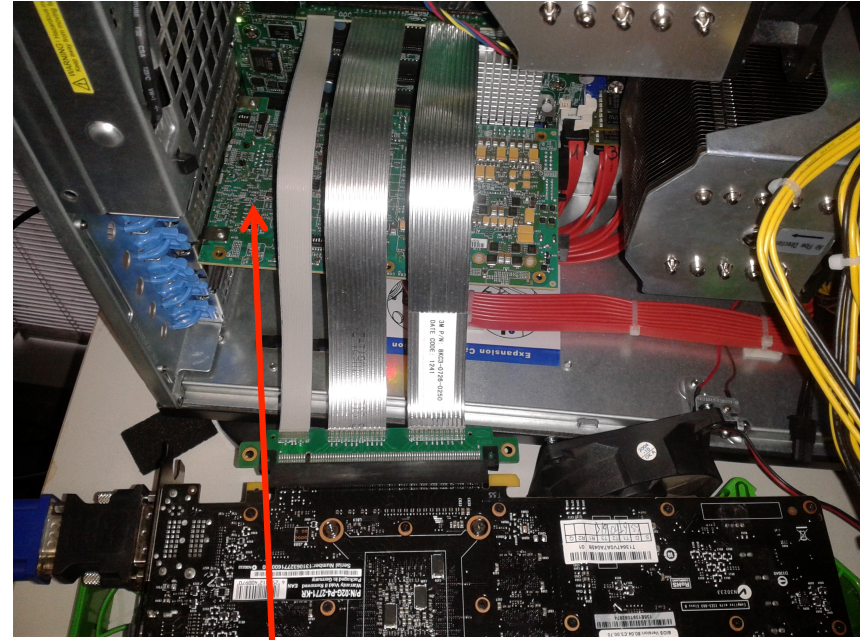


# The PCIe-3 DMA test setup

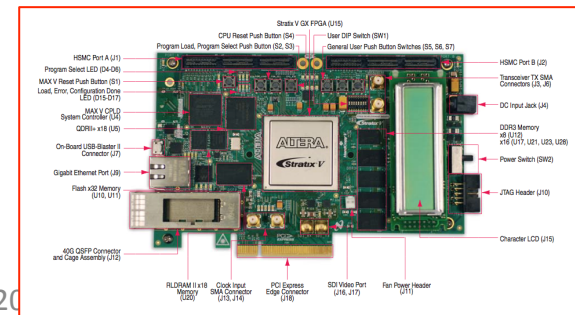
- ALTERA development board, Stratix V GX FPGA, model 5SGXE7K2F40C2N



GPU used to test 16-lane PCIe-3 data transfer between the device and the host memory



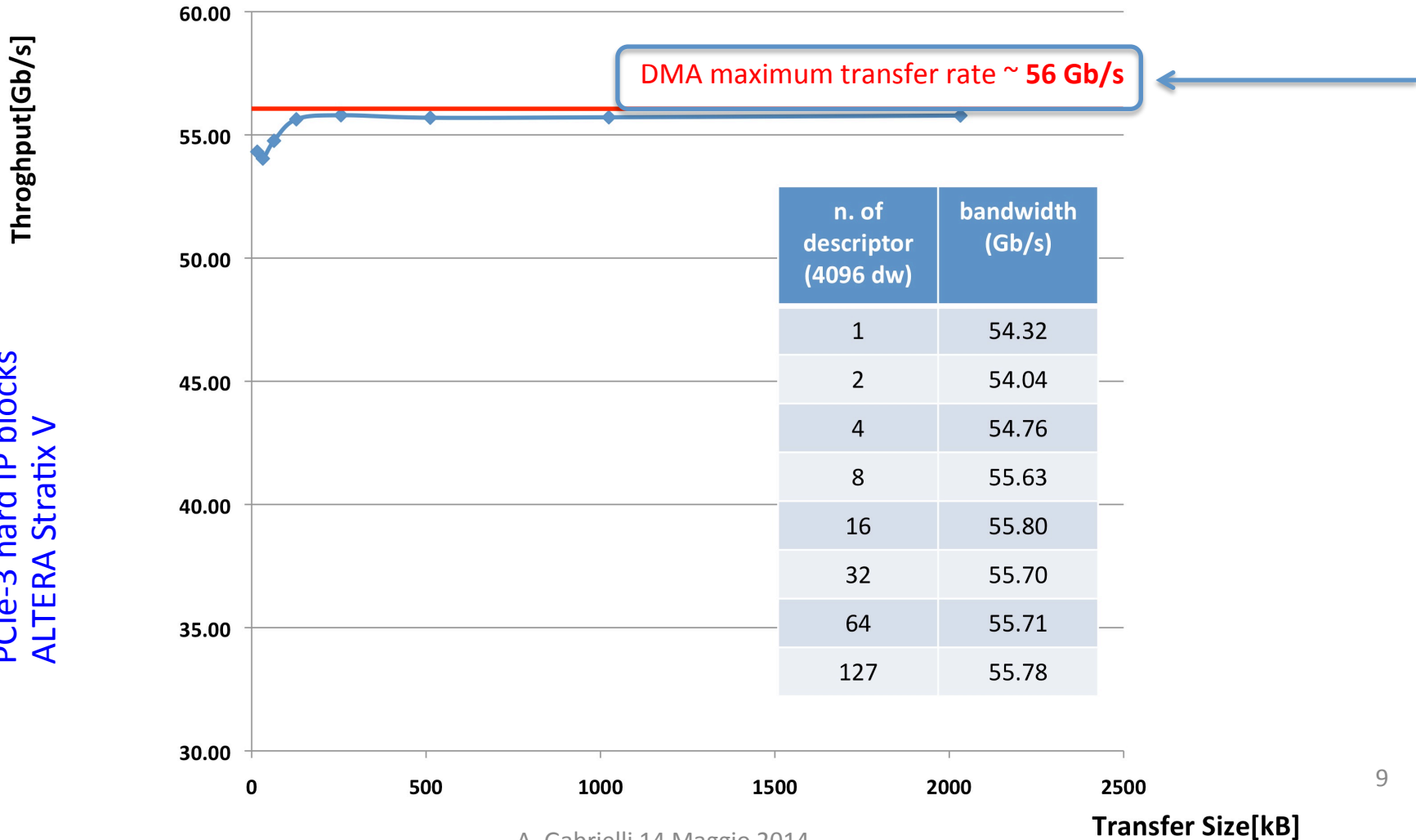
The FPGA provides 8-lane PCIe-3 hard IP blocks and DMA engines.





# DMA PCIe-3 effective bandwidth

DMA over 8-lane  
PCIe-3 hard IP blocks  
ALTERA Stratix V





# ALICE – Time Of Flight/ITS Electronica

## Esperienza acquisita (selezione non esaustiva)

- Programmazione FPGA (Altera/Actel/Xilinx)
- Metodologie test per radiation tolerance
- Sviluppo schede con PCB molto estesi
- Integrazione sistema complesso ad alta densita'
- Trasmissione segnali LVDS su lunghe distanze
- Distribuzione segnali di clock con jitter < 15 ps
- Link ottici: sviluppo schede/firmware

TOF readout crates



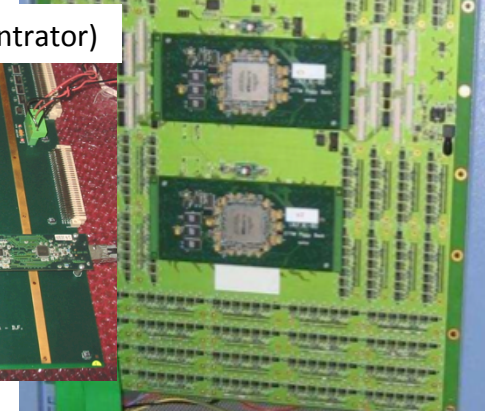
test@SIRAD con chip decapsulato



Scheda TOF trigger (48 x 73 cm<sup>2</sup>)



Scheda ITS (opt link concentrator)



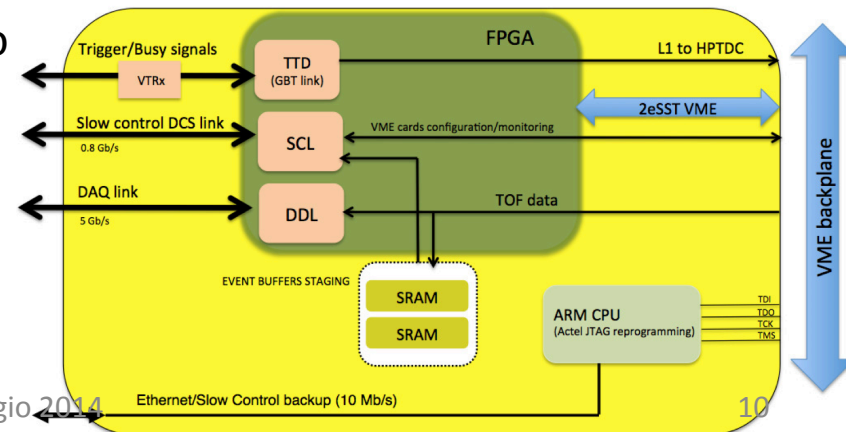
## Impegni a breve (2014-2019)

- Per upgrade ALICE (durante LS2) nuova scheda di readout per aumento bandwidth/aggiornamento protocollo trigger

→ SmartFusionII (Microsemi)

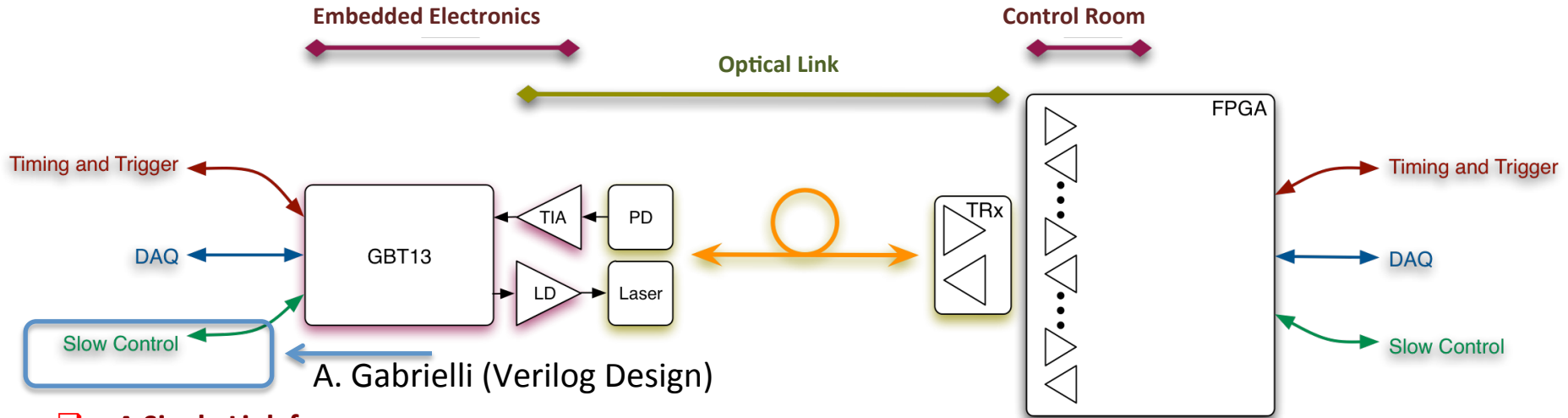
→ GBTX

→ VME 2eSST



(courtesy of P. Antonioli)

# The GBT System *(courtesy of K. Kloukinas)*



## ❑ A Single Link for:

### - Readout (DAQ)

- ❑ High speed unidirectional (up-link)
- ❑ Trigger data (up-link)

### - Timing Trigger and Control (TTC)

- ❑ Clock reference and synchronous control (down-link)
- ❑ Trigger decisions and control (down-link)
- ❑ Low and fixed latency

### - Experiment control (SC/DCS/ECS)

- ❑ Modest bandwidth (bidirectional link)

## ❑ Custom ASICs in the detectors:

- ❑ Radiation Tolerant: Total dose & Single Event Upsets

## ❑ Commercial components in the control room

- ❑ FPGAs used to implement multi-way transceivers

# $\mu$ TCA in CMS (courtesy of N. Tosi)

Sistemi  $\mu$ TCA saranno installati in diversi sottorivelatori

-  $\mu$ TCA si basa su backplane con linee seriali,  
varie topologie di bus disponibili.

Ogni scheda (AMC) ha fino a 12 link seriali:

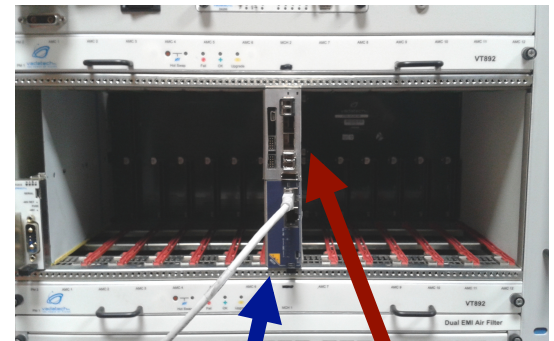
GbE, PCIE, Sata, o protocolli custom fino a 10 Gbps

*Sviluppo fatto al CERN, ancora nulla fatto a Bologna*

Architettura CMS prevede due “controller”:

- Scheda commerciale (MCH) per slow-control via GbE
- Scheda custom (AMC13) per distribuzione TTC e link verso DAQ.

Crate Vadatech 12 slot + 2 MCH



# $\mu$ TCA nel Beam Halo Monitor

- Crate standard CMS con schede di readout
  - Si utilizza la scheda  $\mu$ HTR sviluppata da U. Minnesota per CMS-HCAL
- Ricezione dati raw via link ottico dal Front End
- Semplice elaborazione del segnale in FPGA
  - Discriminazione in ampiezza e timing
  - Creazione istogrammi
- Slow-control e lettura istogrammi attraverso il protocollo IPbus via GbE



## Esperienza di CMS-BO nella costruzione del trigger locale con Drift Tubes di CMS

### Costruzione di CMS (Run 1) (1998-2007)

Progettazione di ASIC, pASIC, FPGA (>10 progetti, ~1000 schede)

Link LVDS @ 480 Mbps su lunghe distanze

Metodologie **radiation tolerant** e relativi test

Link ottici 1.6 Gbps (GOL) e relativi firmware

### Upgrade per Long Shutdown 1 (2012-2014)

#### Ricollocazione del Sector Collector:

Sviluppo di **optical link** per trasmissione a 480 Mbps **unbalanced**

Costruzione e test dei ricevitori per 2000 link del trigger locale DT

L'installazione e il 90% del commissioning sono completati

## Sviluppi futuri dell'elettronica nel trigger di CMS

### Upgrade di Fase 1 del L1 Trigger (~2015)

Moderata standardizzazione delle schede utilizzate nel L1 trigger...

Tipico: 1-2 grossi Virtex7, fino a 740 Gbps/board, >1 GB RLDRAM...

... consente più focus sulla ideazione nuovi algoritmi

### Upgrade di Fase 2 (~2023)

Proposta dei DT: **nuovi minicrate**

**Solo TDC con output continuo** (no L1A matching)

Primi test fatti su dispositivi **FLASH-FPGA, e.g. Microsemi**

**Service Cavern:** informazione di 180k TDC dalle camere disponibile

Necessario provvedere al readout e al **trigger**

Si prevede di usare **grossi FPGA** disponibili di qui a 5 anni

Focus sugli algoritmi: **tracking, bunch crossing identification**

Time resolution disponibile: ~1 ns (vs 12 ns legacy)

Cosa è (sarà) implementabile su FPGA

Algoritmo attuale a “bassa” risoluzione già richiede in totale

**> 10<sup>9</sup> gates equivalenti !!!**

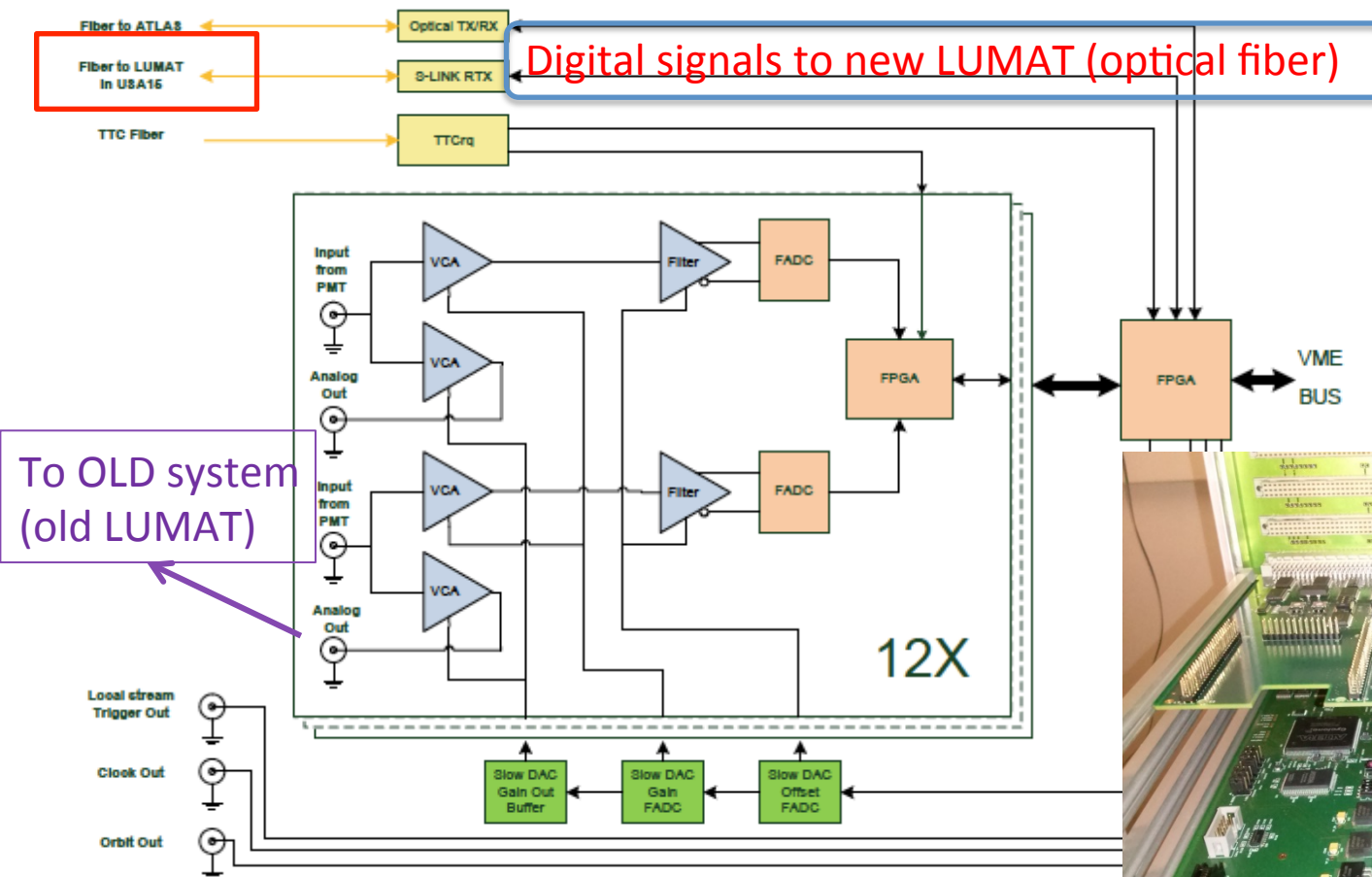
# LUCID new readout: LUCROD

- LUCID è il monitor di luminosità L di ATLAS
  - Misura di L bunch-per-bunch a livello del % dal 2010
  - Rivelatore ed elettronica attuali **non adatti** alle condizioni di LHC dal 2015
    - Bunch-spacing 25 ns, luminosità istantanea  $>10^{34}$ , luminosità integrata  $\approx 100 \text{ pb}^{-1}$
- Nuova elettronica di RO (LUCROD, progetto INFN Bologna):
  - Digitalizzazione dei segnali dei PMT vicino al rivelatore
  - Nuovo algoritmo per la misura di L: carica rilasciata nei PMT (Q proporzionale a L)
  - Backward compatibile con vecchio sistema di RO (per commissioning)



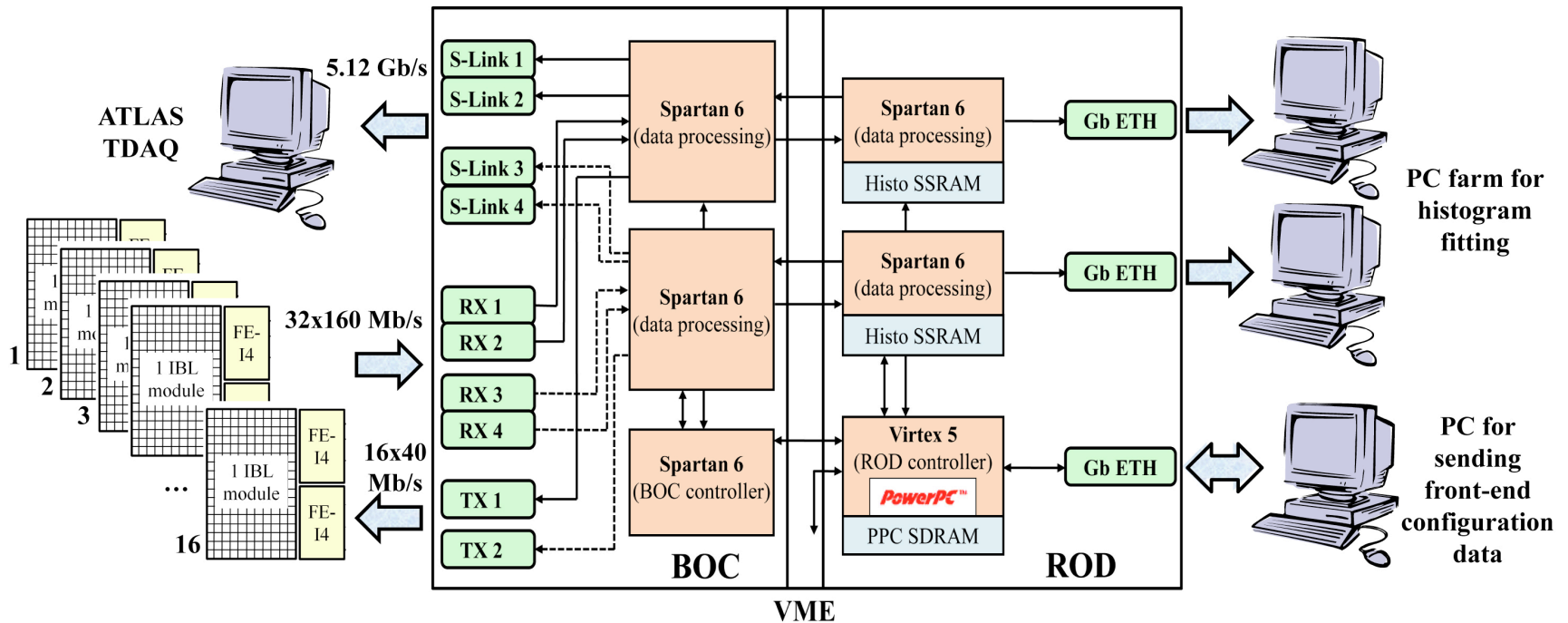
# Stato del progetto

- 2 prototipi realizzati e testati
- 4 (+2 spare) schede 9U in fase di produzione (per giugno)



# ATLAS-IBL DAQ chain

Number of IBL Staves /ROD-BOC pair	14
# DAQ Modules per ROD-BOC pair	16
# FE-I4s chip per ROD-BOC pair	32
Total # of FE-I4s in IBL	448 (32*14)
Number of Pixels per FE-I4	26880
Total # of read-out channels	~12 M



# IBL Readout Driver: Rev D production status

20 Rev D boards planned for IBL  
14 for the IBL pixels  
1 for DBM  
5 as spare cards

3 Gb/Ethernet ports

1 USB 2.0

VME J0-J2-J3 bus at 80 MHz

**Integrated Firmware System**

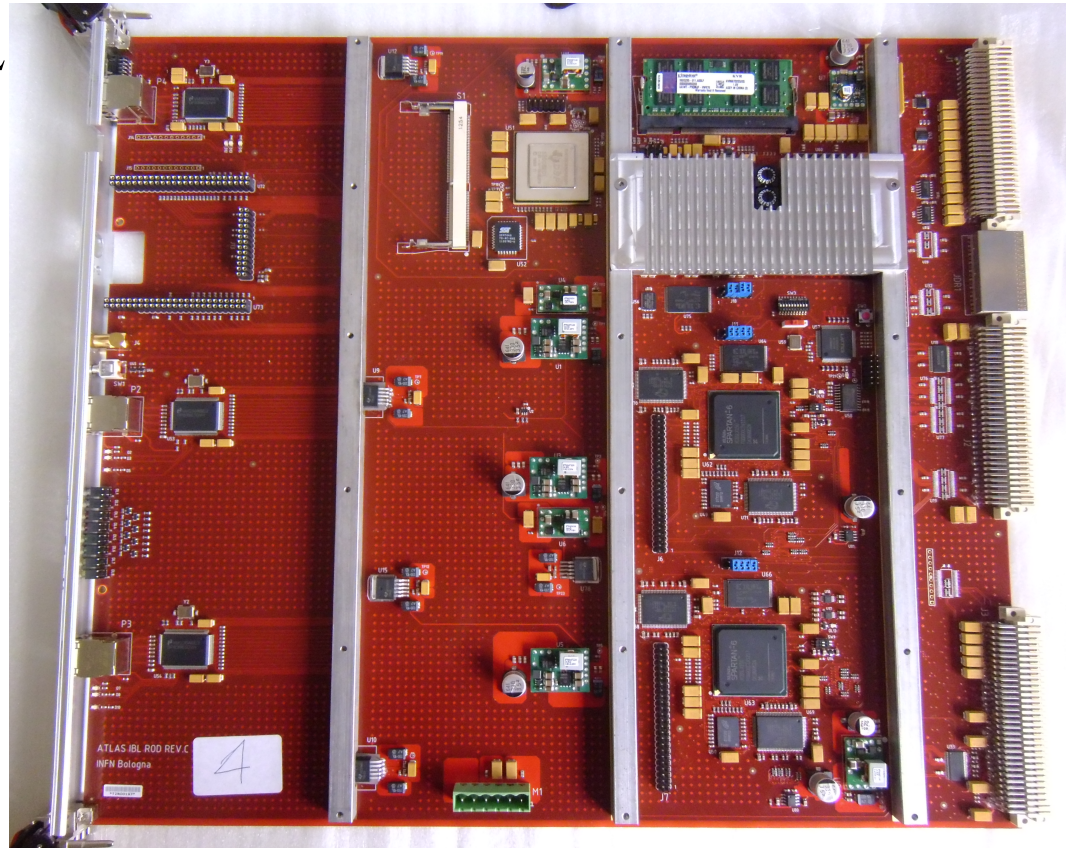
**VHDL Firmware**

**C-code: PowerPC HW embedded processor**

**C-code: embedded-software**

- 40 boards for Pixel Layer 2 under fabrication

- Layer 1 commitment under investigation





**KM3Net**

## Attività di Bologna sull'elettronica

Sviluppo di hardware, firmware e test per l'elettronica dei moduli ottici (Digital Optical Modules – multiPMT) in particolare per la scheda CLBv2 (Central Logic Board - disegnata da INFN Genova)

**Utilizzo del White Rabbit:** protocollo Ethernet-based innovativo, Licenza Open Hardware (CERN et al.), consente sincronizzazione (sub-nanosecond) e data-acquisition in sistemi distribuiti, scalabili, con alto numero di nodi (potenzialmente infinito) e a grande distanza (KM3Net: ~ 100 Km).

**Now:** test ed esperienza con DemoBoard commerciali

**Balistic:** apprendimento problematiche di sincronizzazione e data-taking

**Sviluppo di Firmware per FPGA Xilinx Serie7:** periferiche di vario genere (MAC ethernet, pattern generators, ADC) integrate in sistema con micro-ctrllore embedded appositamente progettato per minimizzare consumo e utilizzo di risorse (“soft” IP Lattice LM32 con bus WishBone)

**Now:** esperienza su nuovi componenti embedded

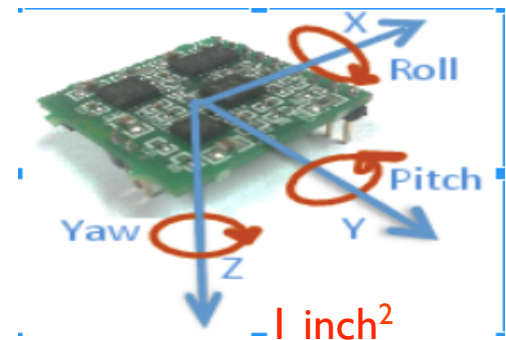
**Balistic:** ....

**Utilizzo di dispositivi AHRS** (Attitude and Heading Reference System):

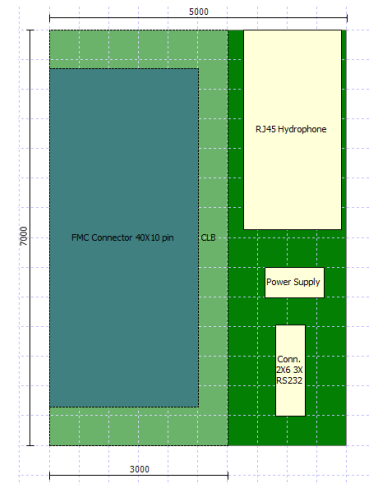
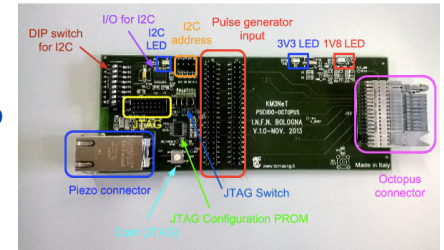
magnetometri, giroscopi e accelerometri

**Now:** interfaccia, calibrazione, acquisizione

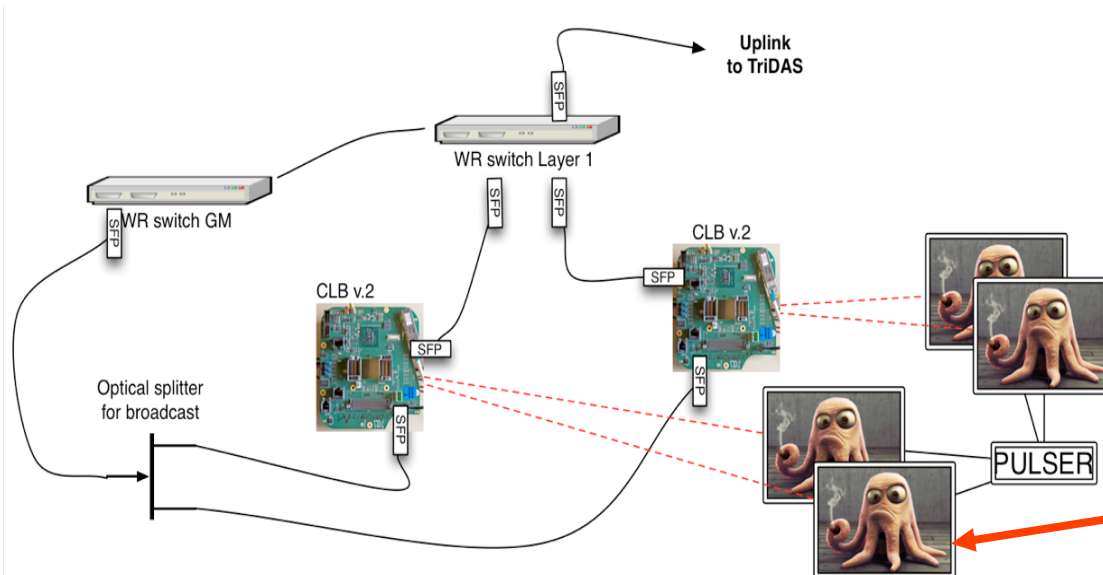
**Balistic:**



**Produzione di schede di test:** mezzanine FMC e schede di supporto ai test su banco (pseudo – Octopus)  
 Now: conoscenza dispositivi per esperimenti sottomarini  
 Balistic: ....



**Realizzazione di testbench per sistema di read-out**

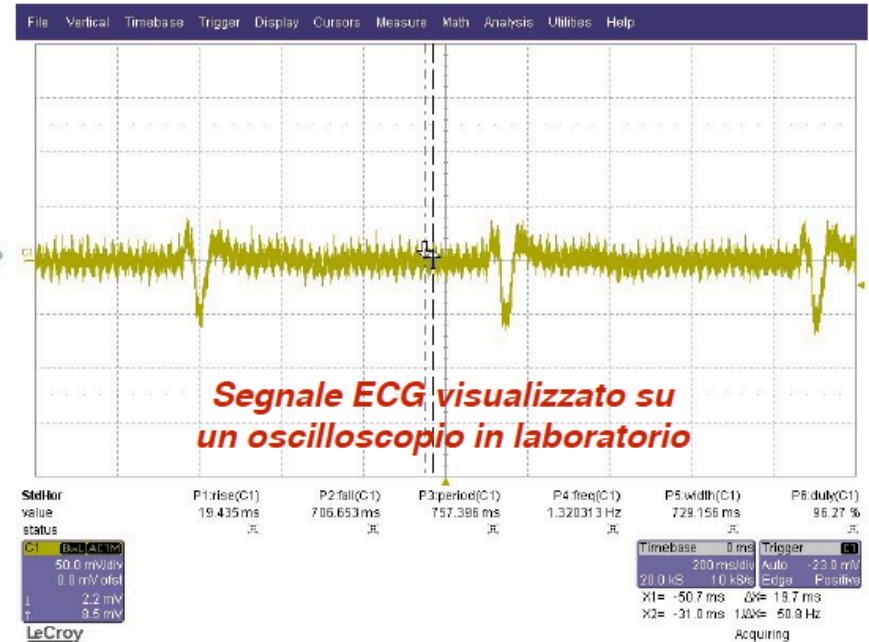
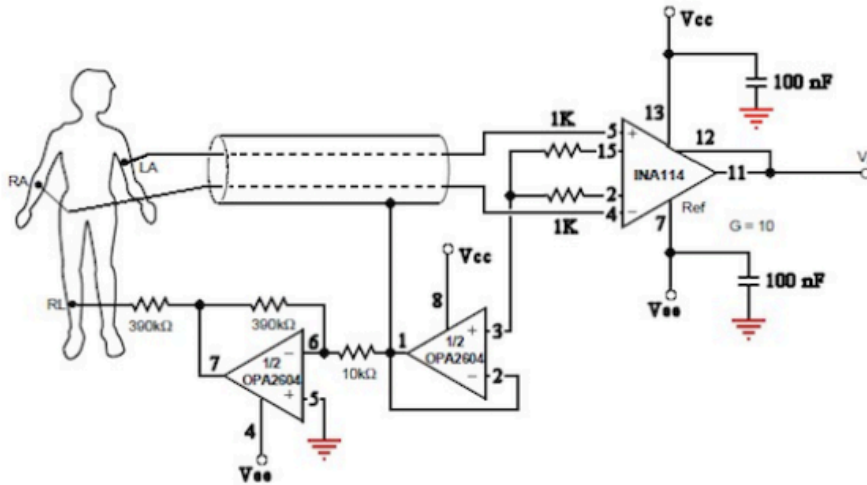


**Pseudo-octopus board: simulazione segnali in arrivo dai 31 PMT del DOM**

# Readout Wireless per Bio-segnali

## SW AWR del Lab. Di Elettronica

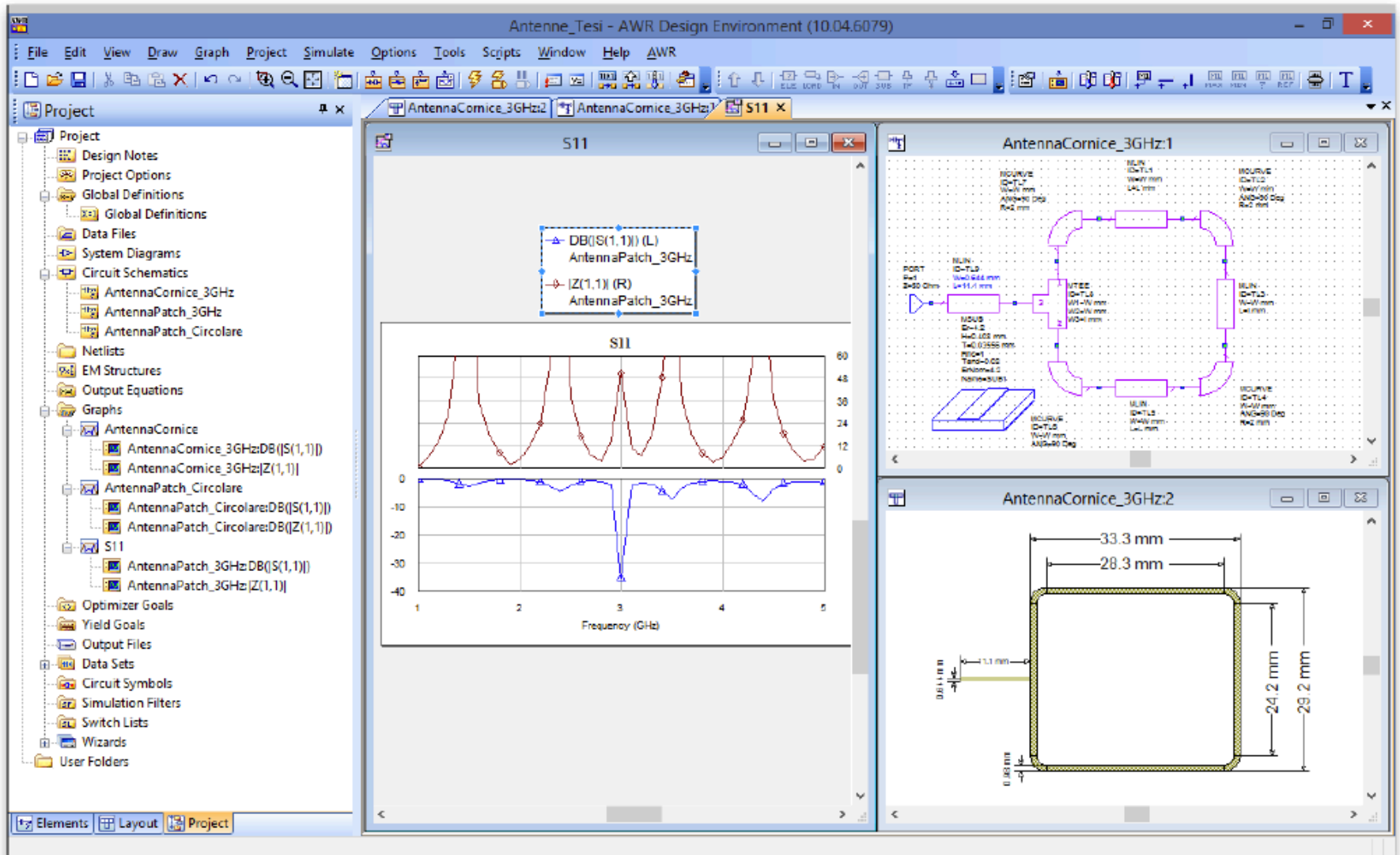
**Schema del trasmettitore in fase realizzazione**



- Praticità di utilizzo e di interfacciamento
- Controlli di routine effettuabili presso il proprio medico di base
- Costi di produzione estremamente ridotti rispetto alle attuali apparecchiature mediche.

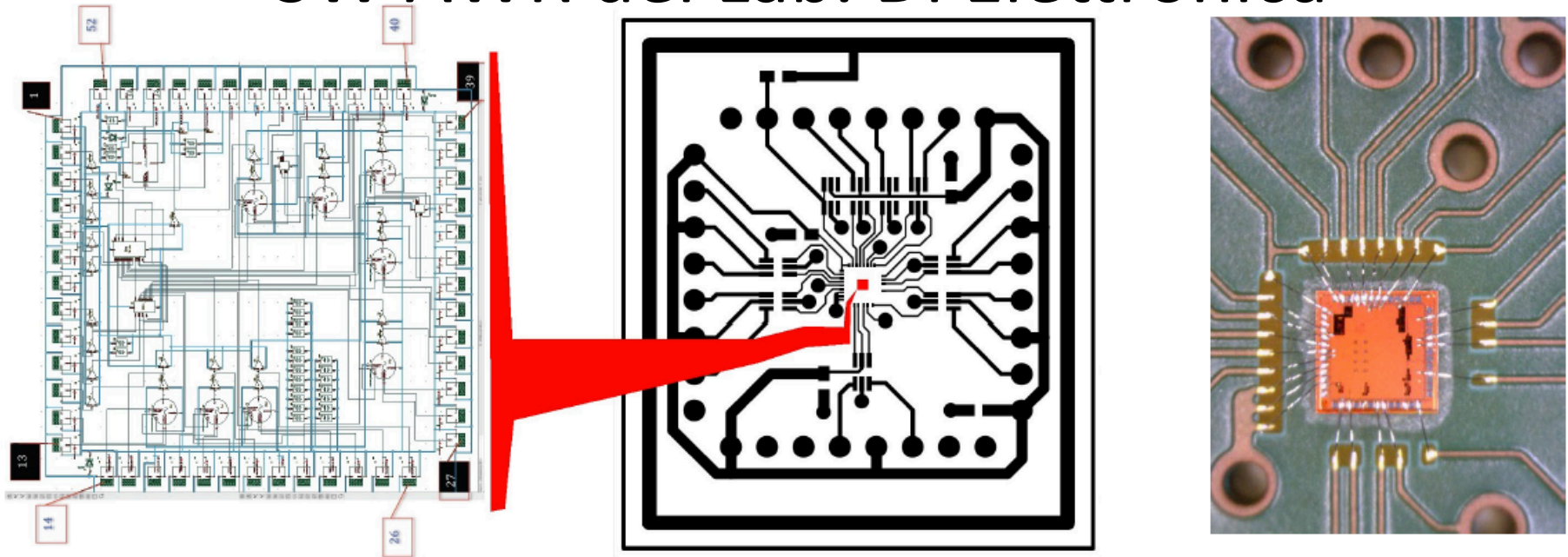
# Readout Wireless per Bio-segnali

## SW AWR del Lab. Di Elettronica



# Readout Wireless per Bio-segnali

## SW AWR del Lab. Di Elettronica



- Prototipi del trasmettitore e delle antenne simulate attualmente in fase di realizzazione e di test
- Progettazione di nuove geometrie più piccole nel prossimo futuro
- **Nonostante il circuito elettronico sia di tipo standard, la lettura di segnali biologici e la trasmissione wireless a basso consumo sono un campo in ampia diffusione**



# Commenti...