

Future LHC Associative Memory (FLAM)

Executive summary

The LHC will undergo two major luminosity increases in the next two decades. The first one, starting around 2019, will double the nominal luminosity of the LHC (thus reaching $2 \times 10^{34} \text{cm}^{-2}\text{s}^{-1}$), delivering nearly more than 100fb^{-1} in the following three years in ATLAS and CMS. After a long shutdown of 2 years, the luminosity will reach $5 \times 10^{34} \text{cm}^{-2}\text{s}^{-1}$, with nearly 140 proton-proton interactions per bunch crossing (with a worst case scenario of 200 pp interactions), and a yearly-integrated luminosity of more than 250fb^{-1} , for ATLAS and CMS. Also the detectors will undergo an important rebuild of the inner trackers, and the main electronics. These two upgrades will allow the study of processes with very small cross sections, among the many, those useful to study the properties of the Higgs boson. The increased instantaneous luminosity and detector granularity will enhance the input trigger rate by a factor 100 compared to Run1. In order to keep the same level of selectivity with 10 times higher background rates, it is mandatory a higher background rejection power, even in the case of a possible increase of the Level 1 (L1) rate. Using the tracker information, as currently done at the high level trigger (HLT), is the only viable solution. However, the HLT algorithms run on commercial processors with times of a few tens ms, too long with respect to the available latency at L1 (a few μs). Even applying More's law to the commercial processors performance in 10 years from now it is impossible to match the goal, hence ad-hoc processors need to be developed.

Silicon-based Level-2 tracking triggers have been successfully implemented (SVT at CDF) and being under construction (FTK at ATLAS). Experience with these systems will serve as input for the design of the new HL-LHC systems.

The INFN groups have been the initial pioneers of these systems, and continue to be leaders in the field. Other groups in Europe and US are now becoming acquainted with such technologies, and – despite of collaborating with us – would compete. The applications of these technologies outside of the High-Energy Physics is of potential interest of several industries and is of paramount importance that INFN would still be leading these efforts.

Since the construction of the new trackers will take many years, its design must be finalized in a matter of a couple of years: the Technical Design Reports (TDR) of the Trackers must be available around 2016. A silicon-based L1 track-trigger has never been realized at this scale and hence the study of its feasibility is imperative before the tracker design is finalized. On the other hand, the R&D on technological aspects of the Track-Trigger must start in order to have some viable solutions to be deployed in the experiments before the HL-LHC start date.

Motivated by these challenges, both ATLAS and CMS experiments have started vigorous R&D projects to demonstrate such a possibility with state-of-the-art technologies as well as evaluate the impact on the online selections.

Given the similarities of the challenge, the INFN groups of ATLAS and CMS have started collaborating since a few years and have agreed a common R&D program.

The goal of this collaboration is twofold:

1. Participate to the feasibility studies of a L1 track-trigger with existing technologies, especially in the field of high bandwidth communication, mainly driven by the CMS R&D, but applicable to ATLAS;
2. Contribute to the development of beyond the state-of-the-art technologies for Associative Memory chips, mainly driven by the ATLAS FTK experience, but applicable to CMS as well.

The proposed R&D proposed is a significant advancement over the state of the art of the FTK processor. This R&D has innovative content, especially in the design of a full-ATCA based processor and the realization of a System-in-Package that is a first (or early) use case at INFN and in the HEP community.

Four Work Packages have been identified to deploy the R&D.

- WP1: Simulation and Physics studies
- WP2: High bandwidth communication
- WP3: New generation Associative Memory chip
- WP4: Packaging technologies

Work-packages

WP1: Simulation

WP1 will address the simulation of the system specific to ATLAS and CMS, starting from the expected data rates, which come from the Tracker, organize the system in trigger towers, their dispatch of data to track-trigger processors and the simulation of the AM based track finding engines. This group will also study the impact on the system coming from the required performances from physics, and viceversa. A system level simulation in Verilog/SystemC will also be carried out.

WP2: High bandwidth communication

Current estimates show that only a few μ s will be available to find and fit tracks at L1. The difficult challenges one has to deal with are the data dispatching and pattern recognition. Data dispatching is where the data from several thousands tracker modules is organized and delivered to track-trigger processor boards. The order of magnitude of the data volume is up to about 50 Tbps. The full-mesh ATCA architecture is the today's standard in handling high-data volumes in Telecommunications and it is being adopted by the High-Energy community. The objective of the WP2 study is the realization of a system based on ATCA capable to handle the huge data flow coming from the detector, organize it in trigger

towers, distribute the data to pattern recognition engines (based on AM chips) and provide the found tracks to the Global Trigger processors. We aim to use state-of-the-art boards (like the Pulsar II board series, developed at FNAL) equipped with FMC-mezzanine cards equipped with latest generation AM chips, to be built by INFN. A vertical slice test stand should be built by INFN in collaboration with North Western University. The goal of the demonstrator system is to identify possible problems in the architecture design and identify solutions. WP2 will study, measure and optimize trigger latency and efficiencies at each stage of the system, using hardware prototypes to be developed. The demo system will be implemented in stages: at the mezzanine level, board level, crate and multi-crate level.

WP3: New generation Associative Memory chip

The AM06 chip, based on 65 nm technology, being developed by FTK will be able to provide 128k patterns for 8 layers, running at 100 MHz. However the power budget and the first indications of the number of patterns needed for HL-LHC demands more efficient chips, which would lower the latency by storing more patterns per chip, running faster and consume less power per pattern. WP3 will study the implementation of a new chip based on smaller deep submicron technology (40 nm or similar). In fact the pattern density would increase by roughly a factor 2, compared to the 65nm, profit of a lower voltage bias, thus resulting in less power consumption, and would allow a lower latency both at the chip level, as well as at the system level, since one will use fewer number of chips. It is in principle possible to continue the R&D using 65nm technology. In this case we would explore the best full-custom AM cell design possible with 65nm and then extrapolate to 40nm or better technology. The design of the new chip would also allow increasing the frequency (200 MHz or so) that will directly translate in lower latency and higher bandwidth. The team of FTK designers is well suited to work on the design starting in 2015, with the goal to have some prototypes tested by 2017.

WP4: Packaging technologies

One of the contributions to the trigger latency is the need to move the data between the FPGA and the AM chips. In the system currently under study, one trigger sector needs about 1 Million patterns to find tracks at L1, depending on the actual thresholds and geometry. Even with the improved AM chip, hosting about ½ Million patterns, the FPGA needs to dispatch the data to ~2 AM chips, and retrieve their output roads for the final track fit stage. Eventually, the miniaturization of the chip would lead to have one FPGA to one AM chip. An obvious advantage in reducing the latency would be to integrate FPGA die and AM ASIC on the same package, for instance using Through Silicon Vias (TSV) technology, and develop ad-hoc System on Chip (or System in Package) assembly, aka AMSIP. The AM to FPGA bandwidth would clearly be increased. In addition, such a chip could be fit on any PC boards, opening the possibility to interdisciplinary applications and offering a natural spin-off of such research activity. WP4 would address the technical feasibility of such a solution.

External funds and collaborations

- On-going collaborations
 - AMchip: LPNHE, IMEC, Fermilab
 - AMSIP: LPNHE, IMEC, Thessaloniki
 - ATCA: FNAL , Karlsruhe , Lyon, NortWestern University
 - Simulation: LPNHE, Lyon, FNAL, Karlsruhe, NortWestern, Purdue, Cornell, CERN, India, UCLondon, Uppsala

- On-going projects
 - FP7--PEOPLE---2012---IAPP: P. Giannetti
 - PRIN: H-TEAM: G. Tonelli
 - ANR:(LPNHE, IPNL, Lyon)
 - FP7---PEOPLE---ITN INFIERI: F. Palla

- Future applications for funds
 - SIR, ERC, Pillar II

PROJECT TIMELINE AND COSTS

WP	No.	Activity	Date	Cost (k€)
1	1.1	System simulation in Verilog/SystemC	2014-17	
	1.2	Development of physics algorithms and study impacts on the system	2014-17	
2	2.1	Development of a FMC mezzanine	2014	20
	2.2	ATCA test-stands	2015	16
			2016	16
	2.3	Pulsars and AMchips per test-stands	2015	26
			2016	26
	2.4	First demo stand running	2015	
	2.5	Final test with AM06	2016	
2.6	Test with AMSIP	2018		
3	3.1	Miniasic design	2015	46
	3.2	Miniasic submission and test	2016	
	3.3	Design and submission of MPW for AMSIP	2016	90
	4.4	Test MPW	2017	
4	4.1	Naked FPGA	2017	50
	4.2	Submission of multipackaging (AMSIP)	2017	150
	4.3	Mezzanine with AMSIP	2018	10
Total cost (k€)				450

Sharing and breakdown of the costs between ATLAS Italia and CMS Italia:

- **WP1:**
Simulation activities using experiments' computing.

- **WP2:**
- CMS 2014: 2 Pulsar (10 KE), 2 FMC (10 KE) – total 20k€
- CMS 2015: 1 Crate ATCA (10KE), 1 CPU (6 KE), 2 Pulsar (10 KE), 3 FMC (11 KE), ½ wafer AM chip (5 KE) – total 42 k€
- ATLAS 2016: 1 Crate ATCA (10KE), 1 CPU (6 KE), 2 Pulsar (10 KE), 3 FMC (11 KE), ½ wafer AM chip (5 KE) – total 42 k€
- **WP3:**
- ATLAS (50%)+CMS (50%) 2015: 2 runs 40 nm miniasic (46 KE)
- ATLAS (50%)+CMS (50%) 2016:1 MPW (90 KE)
- **WP4:**
- ATLAS (50%) + CMS (50%) 2017: 1 wafer of FPGA dies (50 KE), Multipackaging (150 KE),
- ATLAS (50%) + CMS (50%) 2018: 1 FMC (10 KE)

TOTAL requests: ATLAS-Italia: 213 k€, CMS-Italia: 233 k€

NB. The MPW (90KE) and the entire WP4 costs (160 KE) could possibly be financed through a CSN5 FIRB/SIR call.

Cost by year

2014: 20k€

2015: 88k€

2016: 132k€ (*Possible sharing 42 k€ in CSN1 + 90 k€ in CSN5?*)

2017: 200k€ (*Possible to ask to be financed in CSN5?*)

2018: 10k€ (*Possible to ask to be financed in CSN5?*)

milestones

fine 2015: completion of ATCA test stand with 2 FMC mezzanines based on AMchip05 (CMS)

giugno 2016: submission miniasic AMchip07

fine 2016: use of AMchip06 in ATCA test-stand: performance (latency) extrapolation for L1 Track CMS

fine 2016: use of AMchip06 in ATCA test-stand: performance (latency) extrapolation for L1 Track ATLAS

fine 2016: conference presentation

giugno 2017: submission and test MPW AMchip07

fine 2017: submission System in Package (AMSIP)

settembre 2018: test AMSIP standalone and on ATCA board. Performance (latency) extrapolation Phase-II

Comments:

The global effort of CMS R&D cost in the Track Trigger is ~1 MCHF. This comprises R&D on new AM chips and the construction of one demonstrator with 2 ATCA crates and 12 pulsars each (and some FMC) and another demonstrator with 2 μ TCA crates and MP7 boards and FPGA only. The requested Italian CMS contribution will hence be about 25% of the total R&D costs.

ATLAS statement in preparation.

WP1:

Firenze: V. Ciulli, E. Gallo, G. Sguazzoni
Frascati: A. Annovi, M. Testa, M. Antonelli,
Padova: N. Pozzobon
Perugia: L. Fanò, L. Alunni
Pisa: L. Martini, F. Palla, G. Magazzù, G. Volpi, hired people from INFIERI
and HTeam
Siena: hired person from HTeam
Trieste: S. Belforte, B. Gobbo, M. Casarsa, A. M. Zanetti

WP2:

Frascati: M. Beretta
Perugia: G. M. Bilei, D. Magalotti, L. Servoli, L. Storchi
Pisa: R. Dell'Orso, A. Giassi, G. Magazzù, P.G. Verdini, S. Citraro, P.
Luciano, P. Giannetti, hired people from INFIERI and HTeam

WP3:

Frascati: A. Annovi, M. Beretta
Milano: V. Liberali, A. Stabile, S. Shojaii
Pisa: R. Beccherle, P. Giannetti

WP4:

Frascati: A. Annovi, M. Beretta
Milano: V. Liberali, A. Stabile, S. Shojaii
Pisa: R. Beccherle, P. Giannetti

Totale FTE 13.3 (ATLAS 4.0, CMS 9.3)

Risposte ai commenti successivi all'incontro di marzo 2014

Commento 1: La CSN1 tradizionalmente finanzia ricerca e sviluppo finalizzata, che significa adattare rivelatori o tecniche, sviluppate in contesti molto ampi e caratterizzate in modo generico con finanziamenti erogati in altri ambienti, alle esigenze specifiche di un esperimento di commissione. In questa ottica i sensori HV-HR CMOS di ACTIVE e i WP3 e WP4 di TrackTrigger sono ad uno stadio prematuro rispetto ai normali criteri di finanziamento degli R&D in CSN1, mentre sono sicuramente adatti per iniziative o calls di CSN5. Se lo strumento della call sarà considerato allora anche il WP2 di TrackTrigger, che risulta ad una prima analisi finanziabile nell'ambito degli R&D della CSN1, potrebbe essere incluso con gli altri due nella call di CSN5.

Risposta 1. A nostro avviso il WP4 potrebbe essere adatto per un'attività di CSN5. Un FIRB/SIR della CSN5 sarebbe della scala giusta e permetterebbe di garantire del personale dedicato per l'intera durata del progetto. Invece riteniamo che il WP2 ed in parte il WP3 rischino di non essere compatibili con le tematiche di CSN5, perché l'interesse principale di questi R&D è capire quali sono gli sviluppi della tecnologia AM+ATCA e come si confrontano con le richieste di ATLAS e CMS per fase II, e non per uno sviluppo generico.

La proposta FIRB/SIR per la CSN5 potrebbe prevedere un costo per la parte di ricerca di ~250k€ (WP4 + un MPW o miniasic) e procedere in parallelo al resto dell'attività che ci auguriamo sia finanziata dalla CSN I.

Il programma di ricerca in CSN5 di questa proposta potrebbe quindi essere lo sviluppo di un MPW o miniasic compatibile con il multipackaging AM+FPGA, seguito dalla realizzazione del multipackaging stesso e studio delle performance raggiunte.

Commento 2: Abbiamo inoltre alcune perplessità:

- Il personale ATLAS interessato a TrackTrigger è fortemente coinvolto in FTK e fino a pochi mesi fa FTK soffriva di carenza di personale. Come è stato possibile che in un tempo così breve si siano rese disponibili risorse per un ulteriore sviluppo su scala triennale?

Risposta 2. L'osservazione sarebbe giusta se la tempistica dell'impegno fosse stata diversa. È proprio per questa ragione che lo scorso anno abbiamo deciso di non partecipare alle call CSN5 di fatto posticipando di un anno l'inizio di questo R&D.

Come discusso nel seguito, durante il 2015 – anno di inizio dell'installazione di FTK – si ridurranno gradualmente le attività di progettazione per FTK a favore di produzione, installazione e commissioning. Il team che sta sviluppando l'AM chip (Becherle, Beretta, Crescioli, Stabile e altri) sarà quindi libero a partire dalla primavera del 2015, in quanto il progetto di AMchip06 sarà concluso. Il coinvolgimento di quel personale nel commissioning del sistema sarà molto limitato e quindi risulterà libero dalla primavera del 2015 per lo sviluppo di AMchip per fase II.

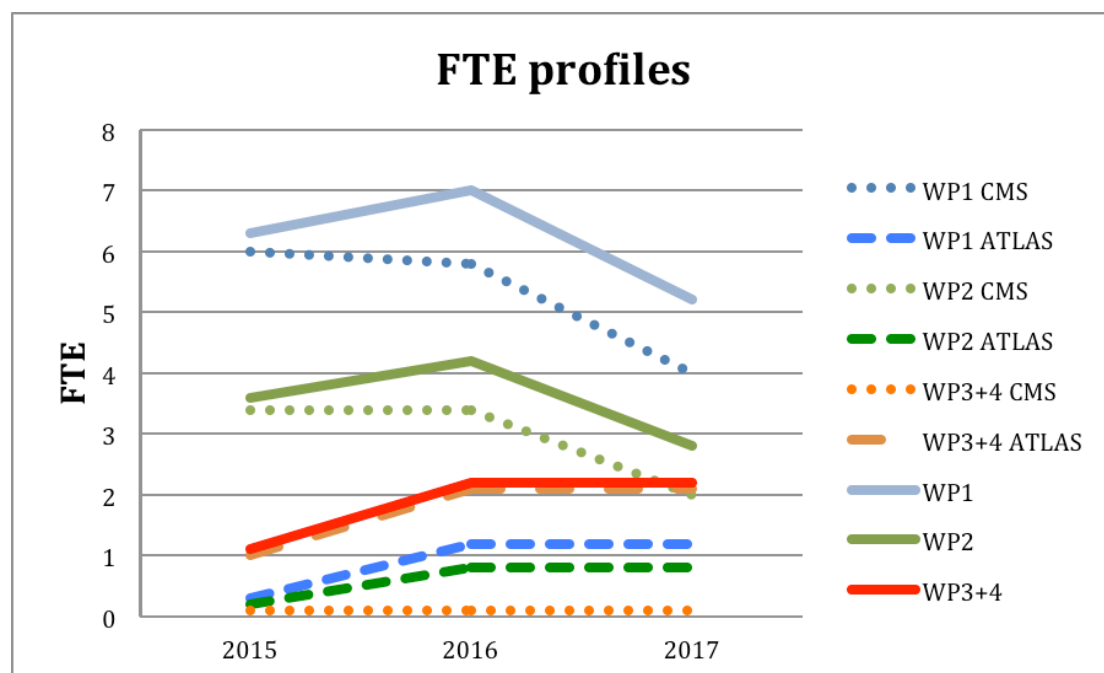
La parte di sviluppo su ATCA per ATLAS è solamete in minima parte in overlap in termini di personale coinvolto con le attività FTK di produzione, installazione e commissioning.

Durante il 2014 e 2015 il gruppo FTK non farà sviluppo ATCA per fase II, ma l'attività di commissioning di FTK ci porta comunque ad acquisire esperienza su ATCA molto utile anche per fase II, perchè comunque le schede ATCA in ATLAS fungono da interfaccia tra il DAQ del Tracciatore e FTK.

Le richieste di fondi ATLAS per ATCA sono previste solo a partire dal 2016 come indicato in documento già nella versione presentata a marzo. Parte del personale che ha fatto la progettazione delle schede per FTK sarà quindi disponibile per sviluppi di fase-II durante il 2016. La data prevista per completare il TDR ATLAS è settembre 2017.

Nel caso di CMS, l'R&D sul ATCA si inquadra nell'attività di supporto al TDR del Tracciatore che è previsto per la fine del 2016/inizio 2017. Per questa ragione la richiesta di finanziamento del WP2 per CMS avviene nel 2015. Il personale sarà completamente coinvolto nel periodo 2015-2016, con uno spill-over nel 2017.

Riassumendo, il personale coinvolto in FTK sullo sviluppo di AMchip06 comincerà il WP3 (e successivamente WP4) durante il 2015, una volta finiti i test di AMchip06; il resto del personale FTK comincerà l'attività sul WP2 nel 2016. Il grafico riporta gli FTE previsti per ciascun anno, per WP e per esperimento. Per confronto, gli FTE FTK nel 2014 sono 18. Nel WP1 gli FTE ATLAS sono meno di quelli CMS in quanto, per ATLAS, si riuserà il software e l'esperienza del progetto FTK. La parte di sviluppo di nuove mezzanine e protocolli per bassa latenza (WP2) avverrà in CMS in tempo utile per il Tracker TDR, e ATLAS potrà quindi beneficiarne a partire dal 2016, assieme all'esperienza di FTK. Nel WP3 e WP4 la competenza è principalmente nelle mani di ATLAS.



Commento 3:

- In generale riteniamo il monitoraggio periodico delle risorse umane assegnate ai quattro capitoli di attività, precisamente conduzione dell'apparato, analisi dati, upgrade di fase1 e R&D per la fase2, sia utile anche per la pianificazione interna delle collaborazioni.

Risposta 3. CMS ha preparato una tabella con il personale suddiviso nelle diverse attività per ogni sottorivelatore. La risposta al punto sopra chiarisce la parte di competenza per questo R&D sia per ATLAS che per CMS.

Commento 4:

- Ci attendiamo che analoghi R&D siano stati proposti anche da membri non italiani delle due collaborazioni. Quali sinergie sono possibili? Riteniamo che, visti i costi e le dimensioni di questi upgrade, la competizione con i gruppi stranieri andrebbe superata, cercando di contribuire ad R&D coordinati che massimizzino le risorse umane e finanziarie.

Risposta 4: Per quanto riguarda le attività di track trigger c'è una chiara sinergia fra ATLAS e CMS, poichè entrambi i progetti sono delle evoluzioni rispetto a FTK. Nonostante le differenti strategie di trigger fra ATLAS e CMS la maggior parte dello sviluppo tecnologico (schede ATCA e AMchip) può essere condiviso.

xTCA e' ormai lo standard per l'elettronica futura a LHC. Tuttavia l'implementazione specifica di un'architettura capace di distribuire O(50 Tbps) che provengono dai front-end del tracker, che faccia time-multiplexing e fornisca le tracce con una buona efficienza e precisione in meno di 5 μ s e' qualcosa che esula dal comune e che ha bisogno di sviluppare competenze specifiche, perché ha implicazioni anche sulla parte delle boards e delle mezzanine con gli AM chip dove la comunità italiana è da sempre all'avanguardia e lo sarà anche nel futuro.

Nello specifico:

- La parte di sviluppo delle boards Pulsar (che vanno nei crate ATCA) e relativo firmware è responsabilità di FNAL sia per FTK (con Chicago) che per applicazioni a HL-LHC in CMS. Per CMS lo sviluppo dell'architettura di distribuzione dei dati dal front-end e la gestione del time-multiplexing sono condotte in collaborazione con il CERN, FNAL, Northwestern University e UK. Il crate ATCA INFN permette di fare il commissioning delle mezzanine contenenti gli AMchip, e del test del firmware di quegli algoritmi di track fitting di responsabilità INFN. Due crates ATCA saranno disponibili in US (FNAL e NW), ed un altro al CERN. Quelli in US per il commissioning delle Pulsar, l'architettura del time multiplexing e lo sviluppo dei protocolli di comunicazione con due diversi tipi di FPGA. Il test stand ATCA (composto da più crates) al CERN è previsto esser quello finale per l'integrazione, che comprenderà inoltre la comunicazione con il DAQ e i processori di Global Trigger. Per quello che riguarda ATLAS, c'è l'intenzione di fare sinergie con altre istituzioni che realizzeranno un altro test stand ATCA per il sistema. È ragionevole pensare che ciò avvenga nel corso del 2014/15 in linea con il piano di uso di ATCA per ATLAS.

- Il software di simulazione in CMS delle AMchip, dei settori di trigger e degli algoritmi di ricostruzione e di emulazione e' un lavoro condiviso tra Lione, INFN, FNAL, UK e Karlsruhe. In ATLAS il lavoro è condiviso tra INFN, Tessaloniki, Uppsala e UC-London.
- Per ATLAS sono in corso attività di R&D per il readout delle strip e per il readout dei pixel (RD53) che sono una parte essenziale dell'R&D per il progetto L1Track. In CMS la parte di readout chip del PS module coinvolge istituzioni INFN. Dato che per CMS il L1 track trigger ha 40 MHz in input, l'informazione dei pixel non è prevista entrare.
- Sul AMchip, esiste già un'attività sinergica tra i progettisti di ATLAS a Parigi LPNHE e quelli italiani per il design del AMchip di FTK che è facile estendere per quello di nuova generazione. Lo sviluppo del nuovo AM chip sarà fatto in collaborazione con Parigi LPNHE che contribuirà con 140kE (aggiuntivi al budget INFN) per una sottomissione MPW e sistemi di test.

Analisi del rischio associato all'R&D

Mentre in ATLAS questa soluzione basata sulle AM è l'unica studiata al momento, in CMS si sta studiando una soluzione alternative con l'utilizzo di sole FPGA per la pattern recognition e il fit. Lo studio è condotto in parallelo, e prevede di valutare le performances, e i costi entro la fine del 2016, nel momento in cui si dovrà scrivere il TDR del Tracker di CMS. All'interno della soluzione con AM, esiste una ulteriore varianza nello sviluppo di chip 3D, portato avanti da FNAL, al momento con un R&D generico, iniziato nel 2012, per un AMchip di nuova concezione, basato su tecnologie Through Silicon Via, i cui risultati sono attesi nel corso del 2014. Non è chiaro se questo R&D generico possa esser utilizzato nell'esperimento; il goal nella dimensione del numero di pattern per chip è non molto diverso a quello ottenibile in tecnologia planare in 40 nm, ma il consumo – che ad oggi è uno dei parametri più critici – rimane ancora incerto. Infine, per quello che riguarda l'approccio di distribuzione dei dati, UK sta valutando si utilizzerà un diverso standard (μ TCA), adottabile solo per l'approccio che non prevede AMchip, e contemporaneamente un sistema di time multiplexing alternativo.