

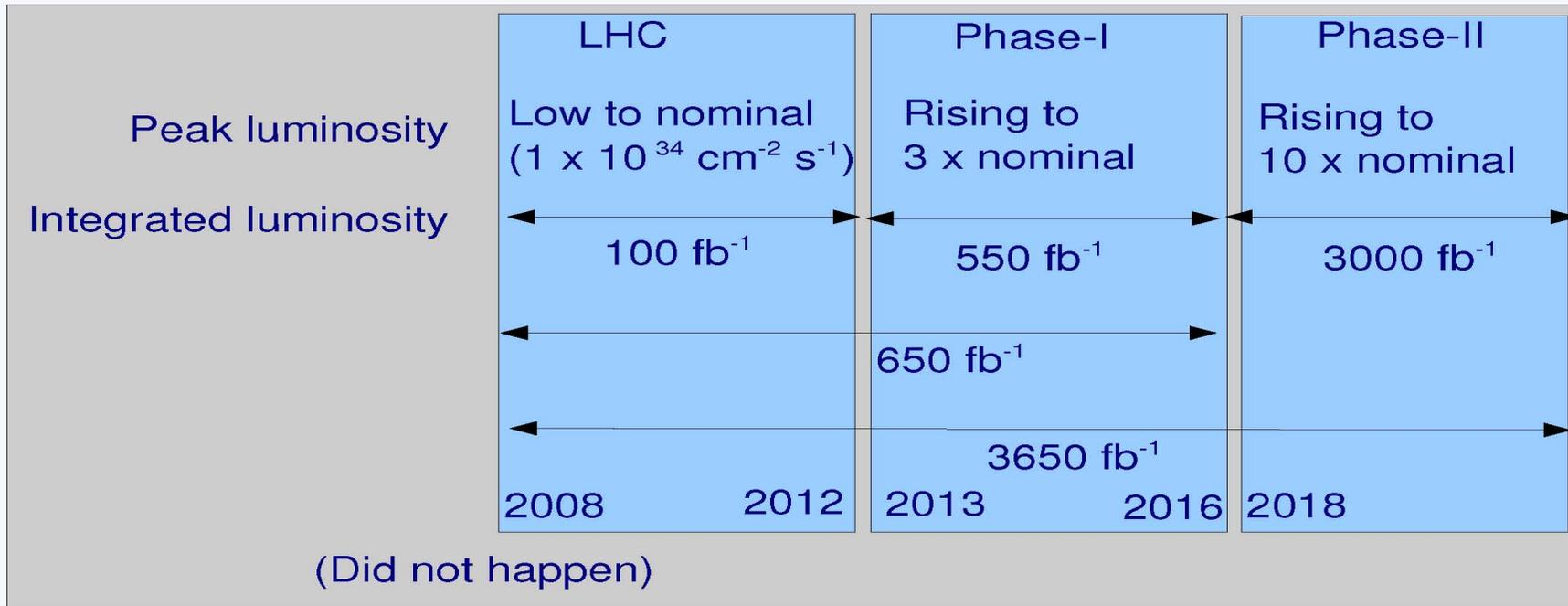


Elettronica per upgrade dei Calorimetri

Mauro Citterio

INFN Milano

Baseline per l'upgrade di LHC



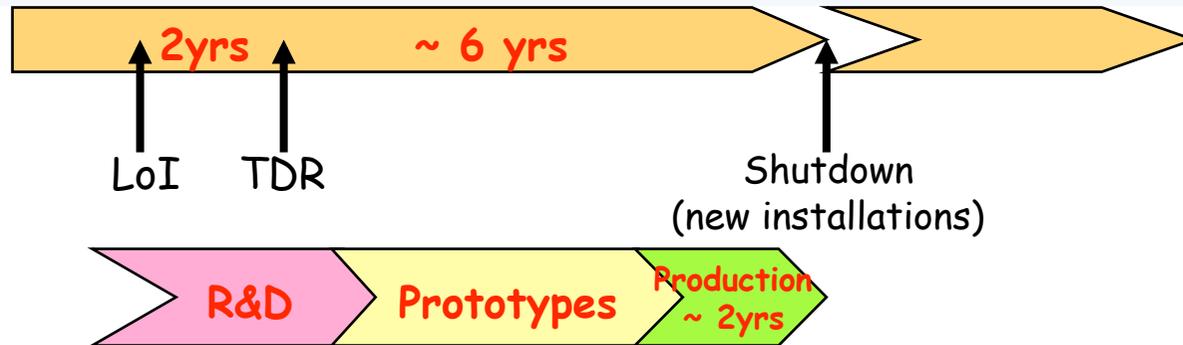
5 Nov 2008

Nigel Hessey

ATLAS Tracker Upgrade Workshop, Nikhef

8

Percorso verso fase II
(ipotesi attuale)



M. Citterio

Sestri Levante 14 Novembre 2008

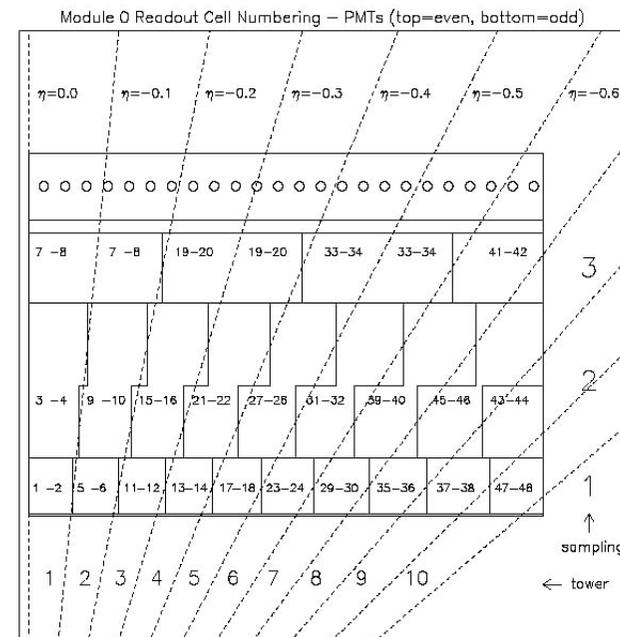
Modifiche sui rivelatori da un upgrade di LHC

❖ *Minimi cambiamenti*

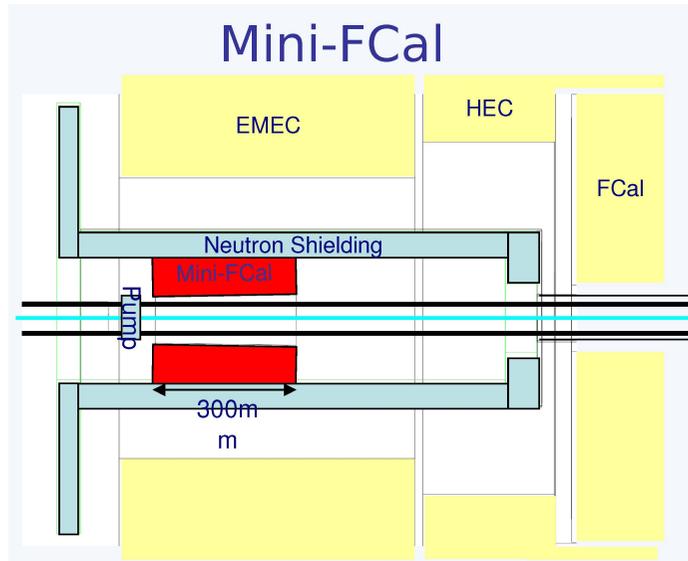
- ❑ Vista la struttura dei rivelatori non e' pensabile modificare o sostituire parti dell'apparato in fase I
- ❑ Quasi tutti i calorimetri in grado di funzionare fino alla fine della fase II

❑ Calorimetro a Tile

- Il rivelatore sara' in grado di funzionare fino alla fine della fase II anche se nel "primo layer" si potrebbe perdere fino al 65% della luce dei componenti ottici
- Necessita' di monitoraggio



Modifiche sui rivelatori da un upgrade di LHC (2)



□ Calorimetro ad Argon Liquido

- Il rivelatore in grado di funzionare fino alla fine della fase I
- Potrebbe essere necessario "sostituire" il calorimetro forward (FCAL) in fase II
- ATLAS R&D: approvato ed in corso
 - Charge build-up influenza il tempo di deriva degli ioni
 - Nuovo FCAL o nuovo Warm Cal come shield

Studi degli effetti dell'upgrade sul rivelatore:

importanti per massimizzare le performance del rivelatore anche nelle nuove condizioni operative.

Modifiche all'elettronica da un upgrade di LHC

- ❖ *Nessuna modifica aspettata durante la fase I*
 - ❑ *Abbastanza "spares" a disposizione per affrontare l'ordinaria maintenance dell'esperimento*
 - *A meno di failure inaspettate*
 - ❑ *Alcuni elementi considerati "critici" in termini di affidabilita'*
 - *Low Voltage Power Supplies (soprattutto LAr ma anche Tile)*
 - *Valutazione della perdita di luminosita' delle fibre e degli scintillatori dovuta alle radiazioni e all'invecchiamento (Tile)*

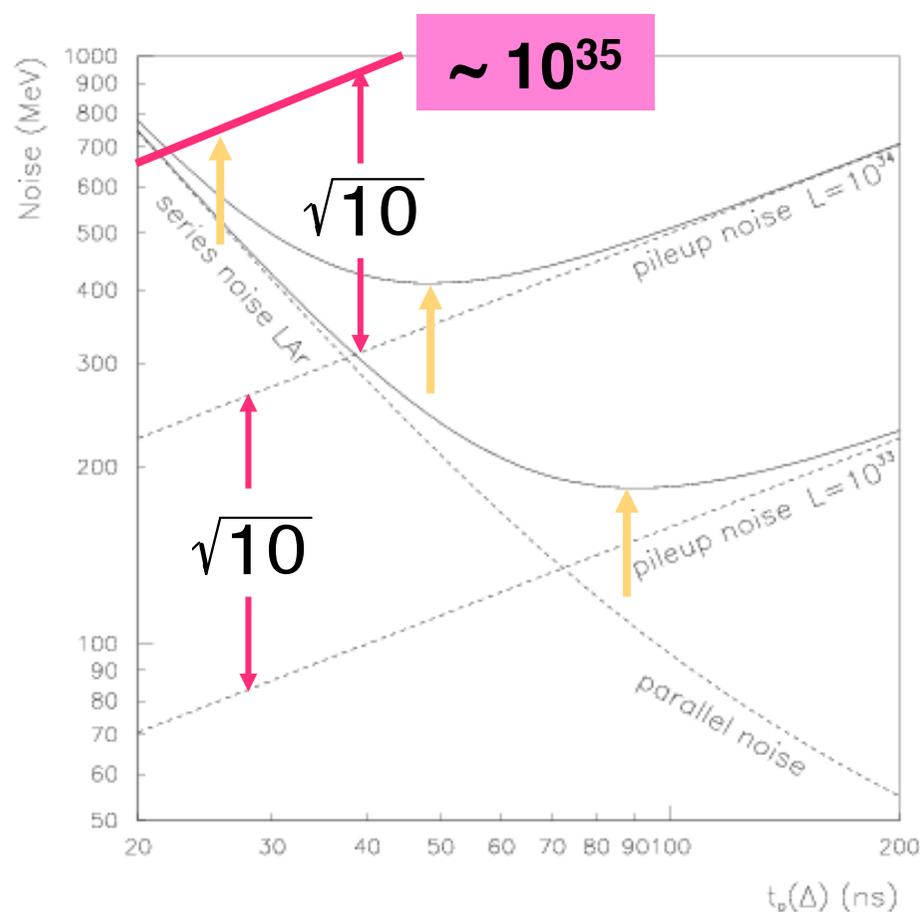
- ❖ *Molteplici modifiche necessarie per la fase II*
 - ❑ *Molti componenti dell'elettronica di Front End dovranno operare oltre i limiti di funzionamento per i quali sono stati qualificati*
 - *a causa dei livelli di radiazione accumulati durante la precedente presa dati,*
 - *il "life cycle" di qualifica, 10 anni a $10^{34} \text{cm}^{-2} \text{s}^{-1}$, $\sim 700 \text{fb}^{-1}$, e' equivalente alla fine della fase I*

Modifiche all'elettronica da un upgrade di LHC (2)

- Molti componenti non potranno essere sostituiti con altri equivalenti, quando degradati
 - Le schede attuali utilizzano
 - molti differenti componenti "commerciali" (COTs)
 - vari tipi di ICs (DMILL, DMS e AMS)
 - I componenti e le tecnologie usate
 - saranno obsolete nei prossimi anni
 - NON sono sufficientemente rad-hard per fase II
 - non e' un problema di avere abbastanza "spares"
 - Le tensioni operative delle nuove tecnologie
 - non saranno compatibili con i valori attualmente usati
 - i low voltage power supplies, localizzati in area ostile, dovranno essere sostituiti e riprogettati

Modifiche all'elettronica da un upgrade di LHC (3)

❖ *Per Fase II si richiederanno miglioramenti delle prestazioni*

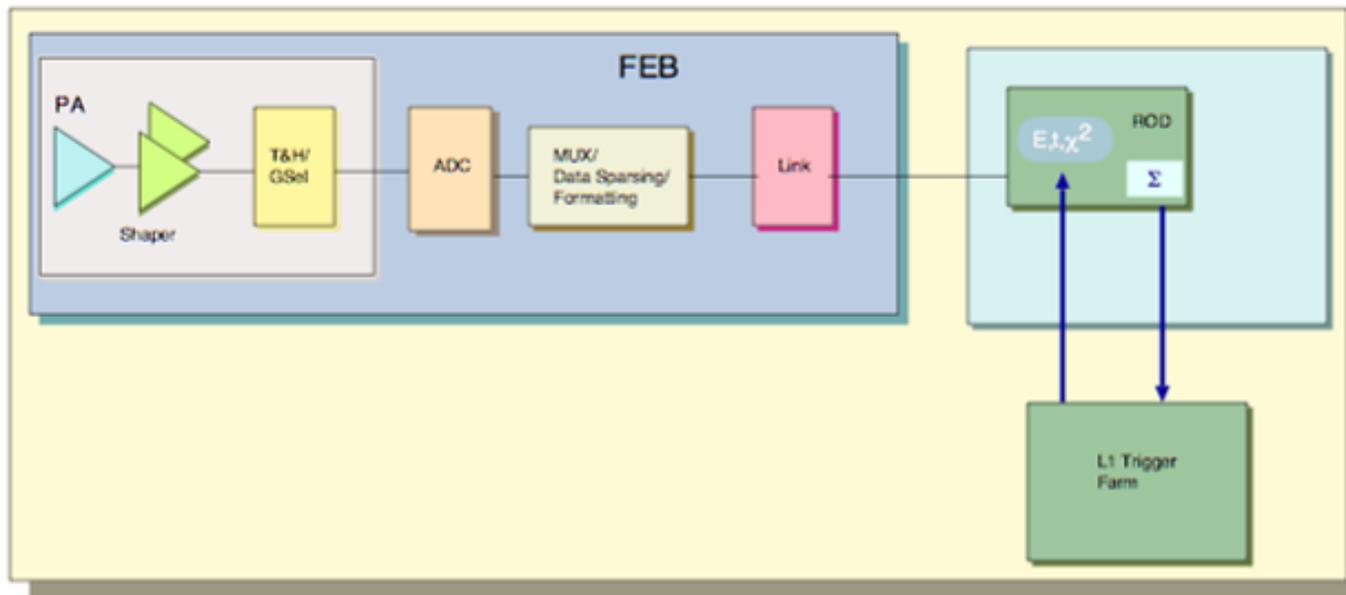


□ Modifiche all'architettura (sia Tile sia LAr) per gestire un aumentato rate di eventi

- tempi di formatura più brevi (?) per compensare l'aumento del pile-up (~400 pile-up eventi ogni bunch crossing)
- ottimizzazione della scelta del guadagno (uno/due amplificazioni)
- ADC e storage locale dei dati da rivedere

Modifiche all'elettronica da un upgrade di LHC (4)

- Allo studio la proposta di sostituire le "somme analogiche" con "somme digitali" ("analogue versus digital trigger") per migliorare le risoluzioni ottenibili
 - considerevole aumento del numero di dati da trasmettere
 - modifiche richieste a Level-1 Trigger
 - **Joint LAr-Tile-L1Calo Upgrade Workshop CERN (Nov. 13-14, '08)**

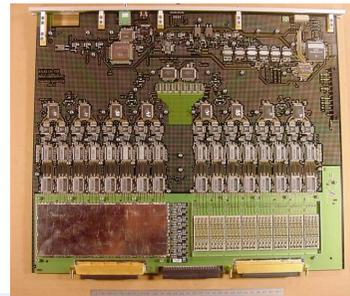


Conseguenza

- ❖ *Poiche' non sara' possibile sostituire SOLO alcune "componenti", sara' necessario sostituirne gran parte*
 - ❑ modificare una parte del sistema significa praticamente rifare tutto
 - ❑ per i calorimetri e' necessario preservare le strutture esistenti (drawers, pedestals, crates, baseplanes, cooling system, etc.)
- ❖ *Occorrera' rifare ~ 2500 schede + ~ 100 PS*

Per Tile

3in 1 cards
Motherboards
Mezzanine cards
Digitizer
Optical interface cards
Power supplies
RODs



Per LAr

Front-end boards
Calibration boards
Tower builder boards
Controller boards
Power supplies
RODs

Condizioni al contorno

- ❖ L'elettronica di front-end, sia Tile sia LAr, deve essere resistente alle radiazioni
 - ❑ Occorre selezionare i componenti COTs
 - il mercato commerciale si evolve rapidamente
 - ❑ Occorre sviluppare circuiti integrati dedicati (ASICs) e qualificarli
 - sia per « dose totale »
 - sia per Single Event Effects (SEEs)
- ❖ Per Tile si pensa di seguire la strada COTs
- ❖ Per LAr occorrono invece anche degli ASICs
 - ❑ necessita' di R&D « specifici »
 - ❑ piu' di una tecnologie disponibili per l'upgrade
 - BICMOS (SiGe) per alcune parti analogiche
 - CMOS (IBM 0.13 μ m, via CERN)
 - Altre tecnologie « emergenti » (90nm, SOI...)

R&D proposti

❖ *Poiche molti "componenti" debbono essere riprogettati*

1. Le proposte sono caratterizzate da uno studio delle possibili architetture

- attenzione concentrata sull'elettronica di front-end
- implementazione di tecniche di zero suppression

2. Essenziale lo sviluppo di nuovi IC

- per ridurre il numero di circuiti utilizzati
- per avere il tempo necessario per poter qualificare i dispositivi in termini di resistenza alle radiazioni

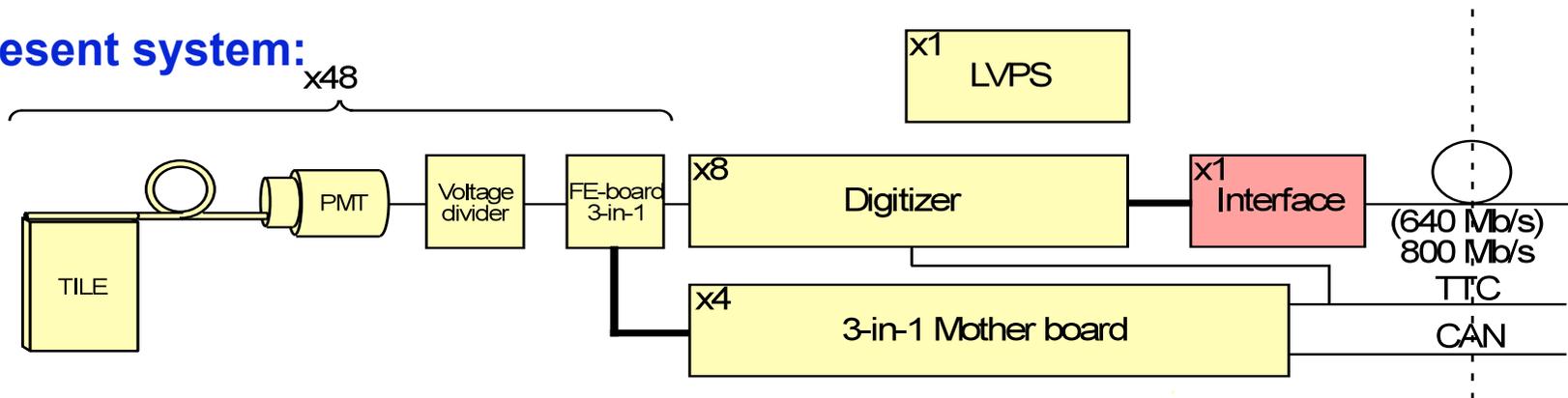
3. Necessita' di sviluppare sinergie fra varie istituzioni

- per consolidare la conoscenza/tests di una tecnologia
- per ridurre al minimo i costi di sviluppo

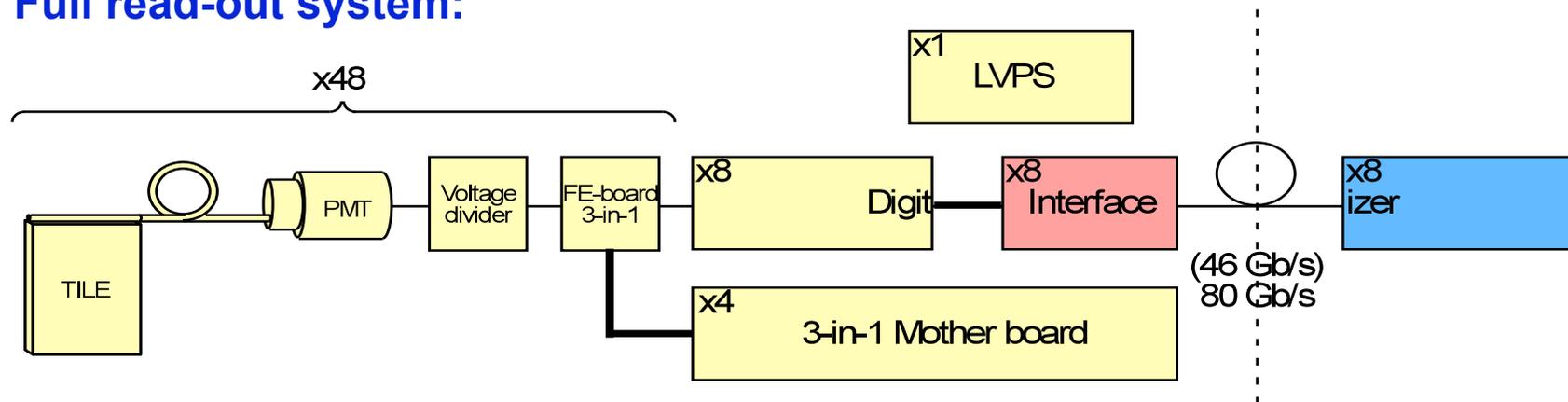
Upgrade del front-end (Tile)

- ❖ Il maggior cambiamento sotto esame e' quello di trasferire tutti dati fuori dal rivelatore (EoI)
 - pipeline e "derandomizzatore" off-detector, aumento del data throughput

Present system:



Full read-out system:

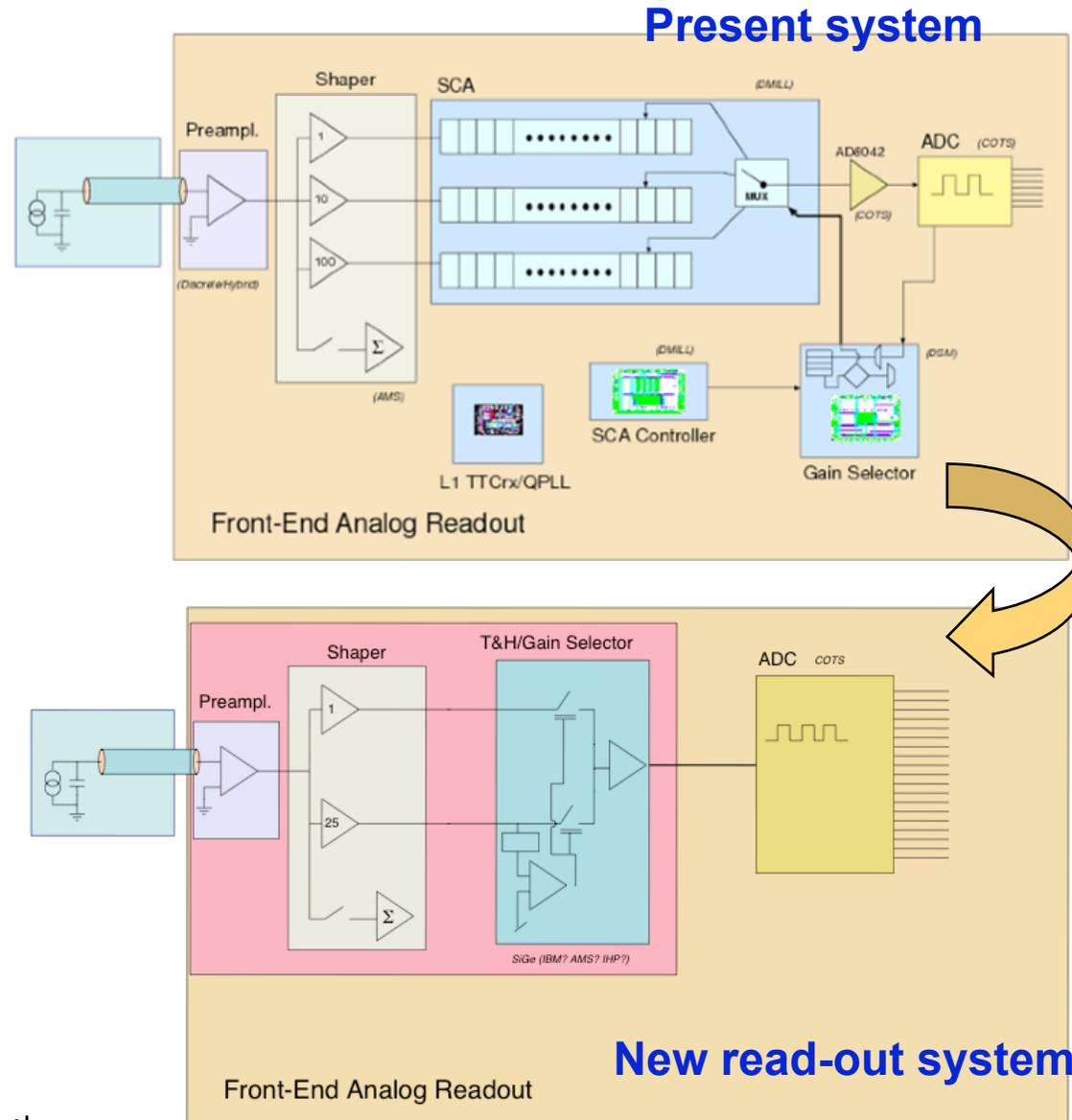


Upgrade del front-end (LAr)

- ❖ **Modifica della catena di acquisizione**
- **Importante cambiamento nella parte analogica**
(illustrato in figura)

→ L'architettura privilegia il trasferimento di tutti i dati già digitalizzati fuori dal rivelatore
(in modo "simile" a quanto considerato dai Tile)

→ importante lo sviluppo di ADC veloci ad alto numero di bits



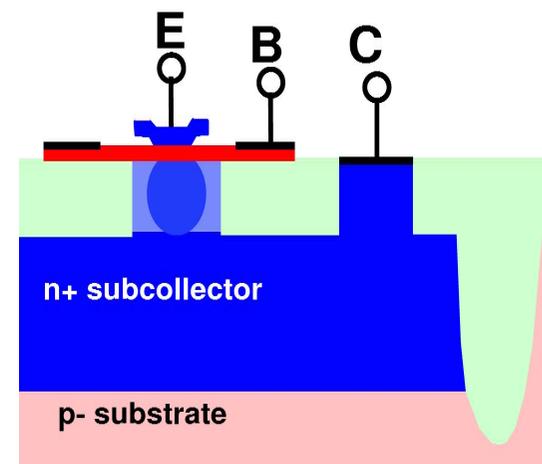
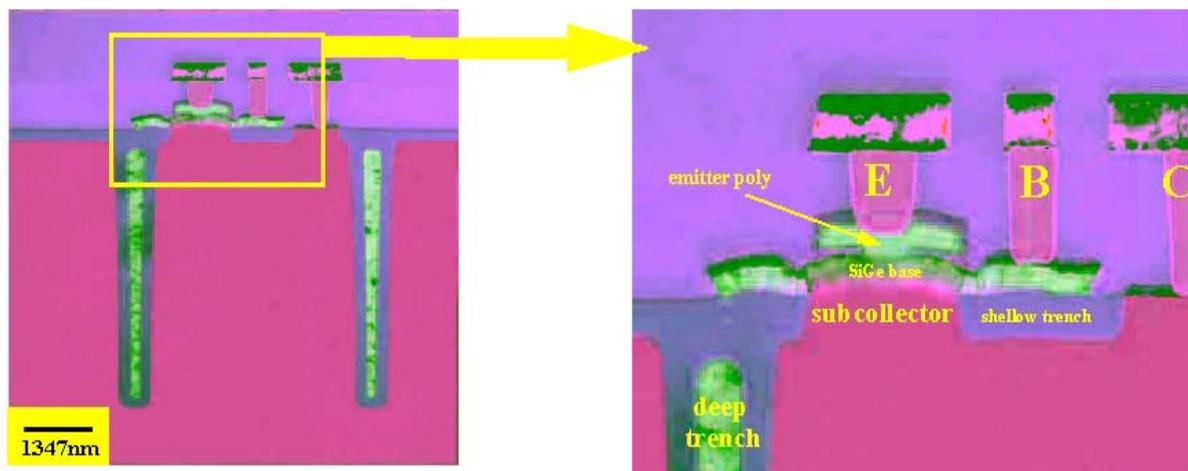
Upgrade del front-end (LAr) (2)

- ❖ Lo schema proposto, ritenuto la soluzione "base" per un upgrade, e' caratterizzato da:
 - ❑ Un preamplificatore, uno shaper, un selettore di guadagno, un track and hold (T&H) → integrati in un singolo ASIC;
 - ❑ ADC e pipeline digitale
 - ❑ Un link ottico ad elevata banda passante per trasmettere segnali digitalizzati ai moduli di "back-end".
- ❖ R&D proposti da LAr all'ATLAS Upgrade Steering Group
 - ❑ Per la parte analogica l'attenzione si sta concentrando su una tecnologia Bi-CMOS in SiGe
 - ❑ Per la conversione analogico digitale si valutano sia COTs sia soluzioni ASICs (SiGe e CMOS)
 - ❑ Per il link ottico c'e un R&D solo US ed uno CERN (comune Atlas/CMS)

Tecnologia SiGe

- Le tecnologie SiGe BiCMOS sono "derivate" da tecnologie CMOS
 - per applicazioni con frequenze di lavoro elevate (> 10 GHz)
 - condividono molti dei componenti di libreria
 - sono un po' piu' complesse (piu' maschere, piu' variabili di processo disponibili)
- Sono "ottimizzate" per applicazioni analogiche a larga banda
 - i bipolari sono meno sensibili dei MOS alla "resistenza di substrato" per circuiti RF
 - hanno una tensione di rottura relativamente alta (~ 6 Volt) essenziale in applicazioni in cui esiste una grande variazione nell'ampiezza dei segnali da amplificare → *caso tipico dell'elettronica di front-end per Calorimetri*
 - esempi di utilizzo analogico: lo stadio di ingresso di amplificazione degli oscilloscopi a larga banda costruiti da Tektronix e da LeCroy sono realizzati in SiGe.

SiGe Bipolar technology



R&D su elettronica in SiGe

- ❖ La tecnologia SiGe sembra essere in grado di sostituire le tecnologie fino ad ora impiegate nella parte analogica della LAr FEB
 - ❑ l'importanza di questa tecnologia per LAr e' evidenziata nella "EoI":
R&D Towards the Replacement of the Liquid Argon Calorimeter Front End Electronics for the SLHC (ATU-RD-MN-0001 v.1, 11 February 2008)
sottomessa allo "ATLAS High Luminosity Steering Group"
 - ❑ e dal programma di R&D gia' approvato:
Evaluation of Silicon-Germanium (SiGe) Bipolar Technologies for Use in an Upgraded ATLAS Detector (ATL-P-MN-0007, 18 June 2006)

- ❖ A queste iniziative il gruppo LAr di Milano ha aderito e partecipa
 - ❑ l'interesse di Milano deriva dal fatto di aver contribuito in modo significativo allo sviluppo della presente architettura di front-end
 - fabbricati meta' dei preamplificatori (ibridi) impiegati attualmente nell'elettronica di lettura del calorimetro
 - ❑ altre istituzioni LAr stanno collaborando (BNL, LAL Orsay)
 - ❑ Altri gruppi INFN sono interessati a SiGe

Schema Temporale

- ❖ Il programma di R&D su SiGe e' suddiviso in due fasi
 - nella prima si deve valutare le performance e la resistenza alle radiazioni dei vari processi SiGe disponibili.
 - I processi che risultano piu' "interessanti" sono il processo IBM (8WL/8HP) utilizzabile attraverso MOSIS ed i processi delle ditte IHP e AMS usufruibili attraverso Europractice
 - In parallelo si vorrebbero progettare singoli dispositivi e blocchi circuitali elementari con "layout ottimizzati" in termini di resistenza alle radiazioni
 - in una seconda fase si passera' a realizzare interi blocchi circuitali che possano essere considerati veri e propri prototipi dell'elettronica di front-end finale.

- ❖ Questo programma di R&D
 - dovrebbe concludersi entro ~ 3 anni
 - "sincronizzato" con le altre attivita' di riprogettazione e prototipizzazione dell'elettronica upgradata

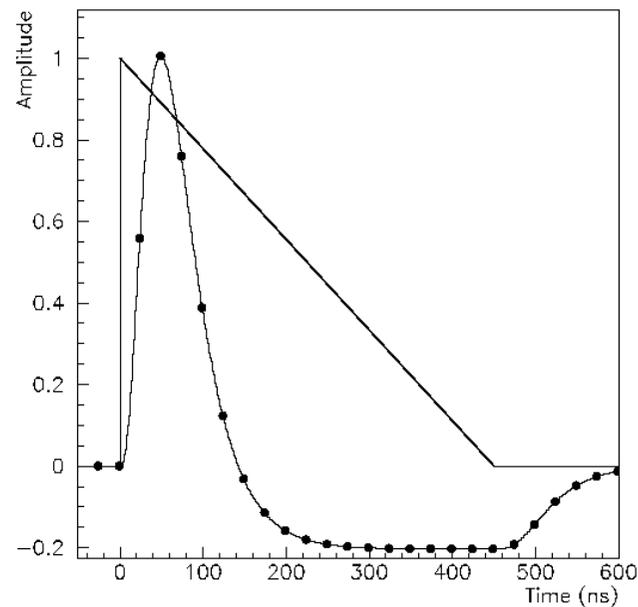
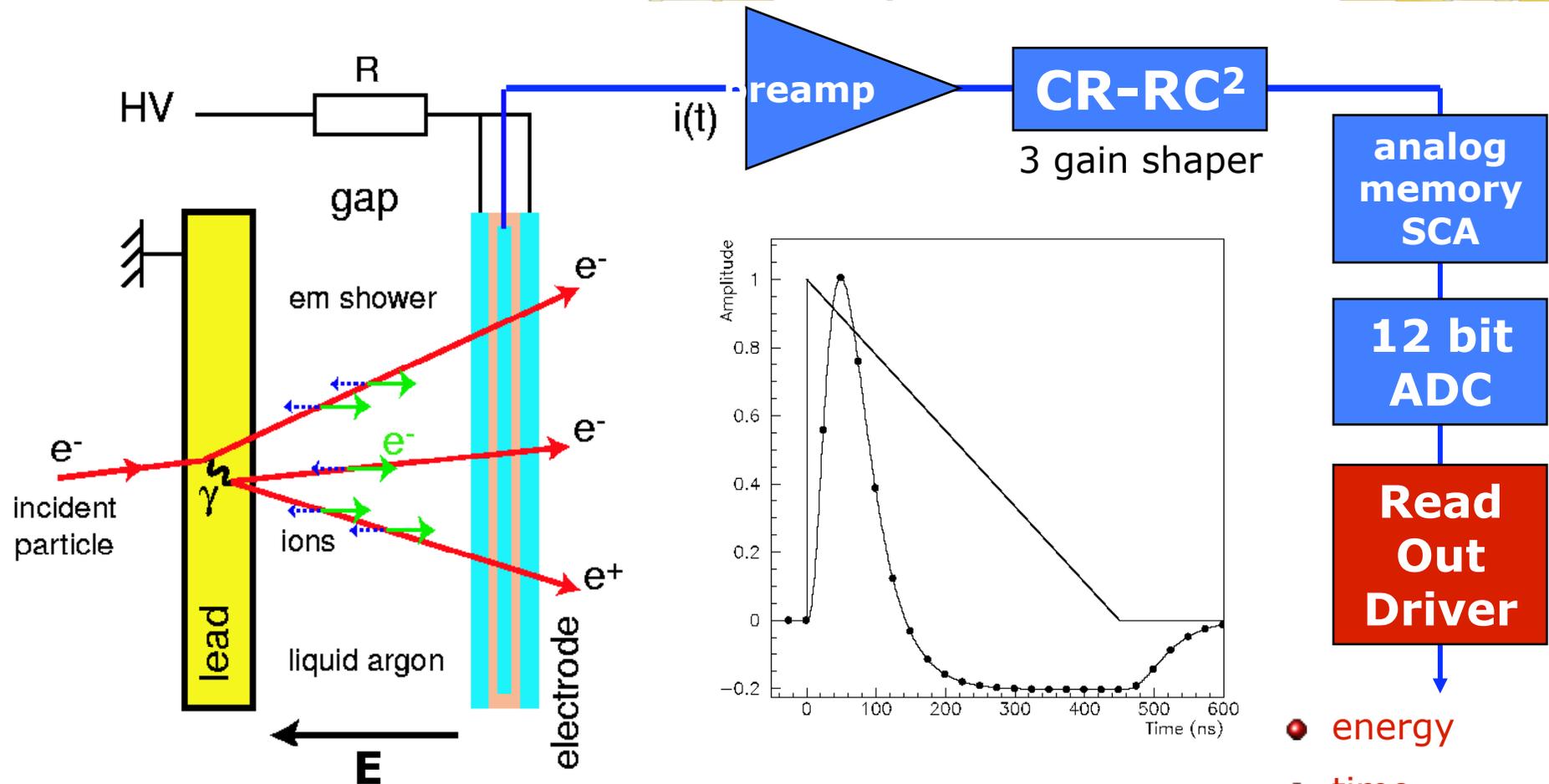
Conclusioni

- ❖ I calorimetri saranno in grado di operare ad SLHC
 - ❑ Ad eccezione forse di FCAL
 - ❑ Cambiando pero' completamene l'elettronica per la fase II (sia Tile sia LAr)
- ❖ La quantita' di elettronica che deve essere progettata, costruita e installata per i calorimetri entro l'inizio della fase II richiede un lavoro stimabile in ~ 7-8 anni
 - ❑ Basandoci anche sull'esperienza precedente
- ❖ EoI sulle nuove architetture sono stati presentati
 - ❑ Le nuove soluzioni richiedono nuovi componenti/IC
- ❖ R&D per lo sviluppo di alcuni dei nuovi circuiti integrati necessari per la calorimetria sono gia' iniziati
 - ❑ Di particolare interesse per LAr e' quello relativo all'elettronica in tecnologia SiGe → R&D Approvato
 - ❑ Milano vorrebbe partecipare attivamente a queste attivita'



Back - up Slides

LAr calorimeters signal

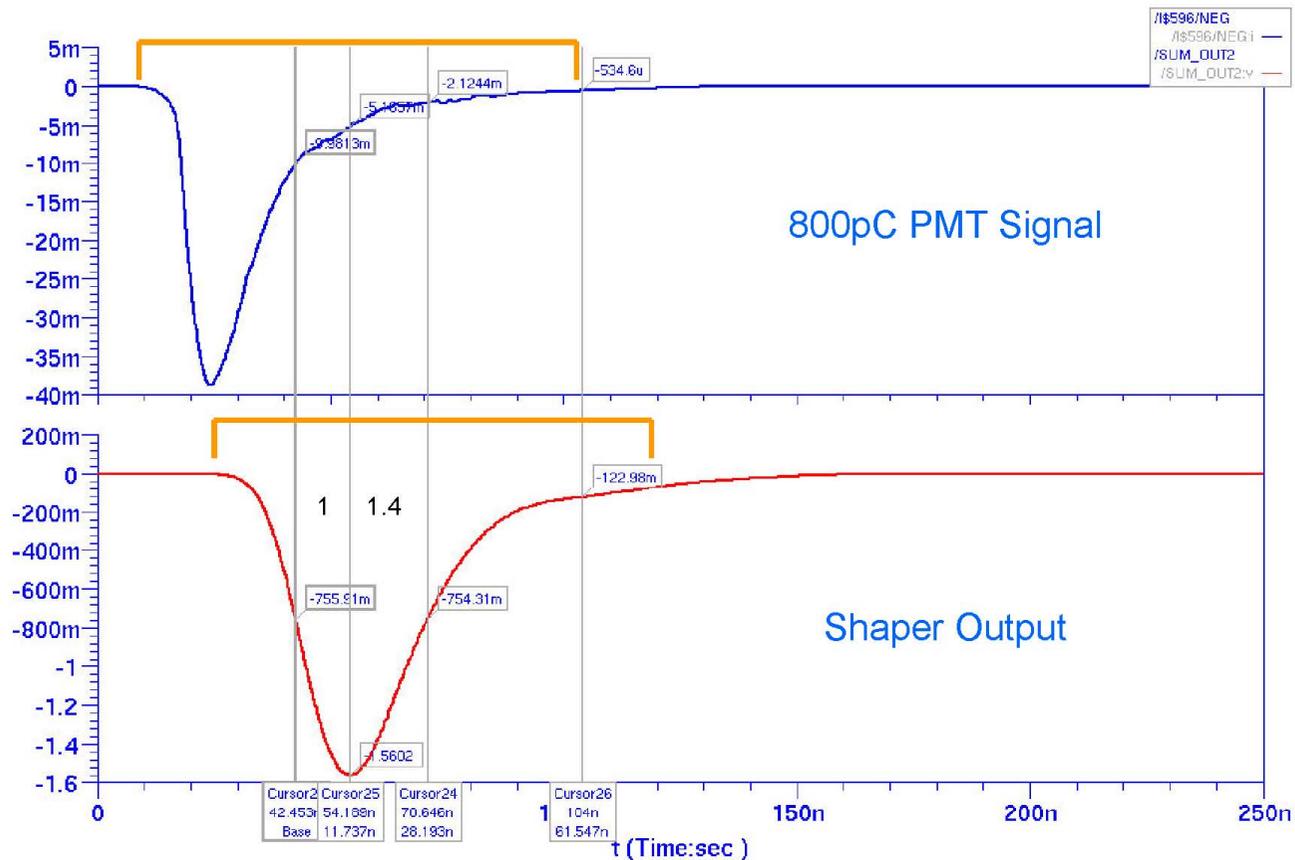


Electrons drift time in LAr gap may vary in the different calorimeters: different HV and gap width...
 (e.g. $t_{\text{drift}} = 450$ ns in EMB, $t_{\text{drift}} = 50$ ns in FCAL)

- energy
- time
- quality factor
- monitoring

Time calorimeter signal with faster shaping

Shaper with 28ns@FWHM



SPICE Simulation of the Shaper

10

Elettronica LAr per SLHC

❖ Quantitativamente

On detector:

~1900 schede

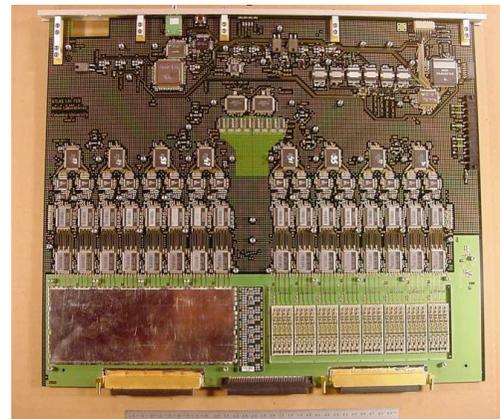
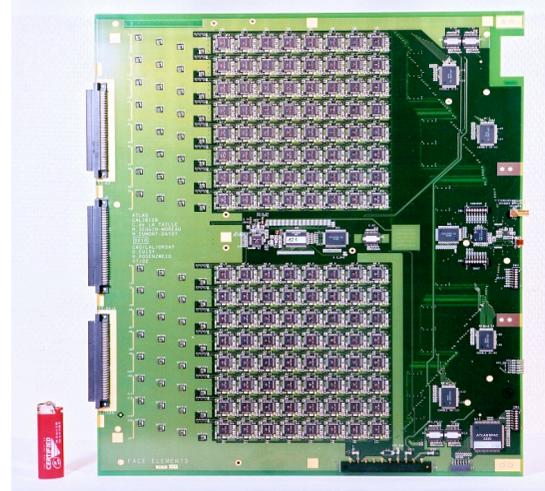
- 1524 FEB
- 116 Calib
- 124 TBB
- 120 Ctrl

Power supplies:

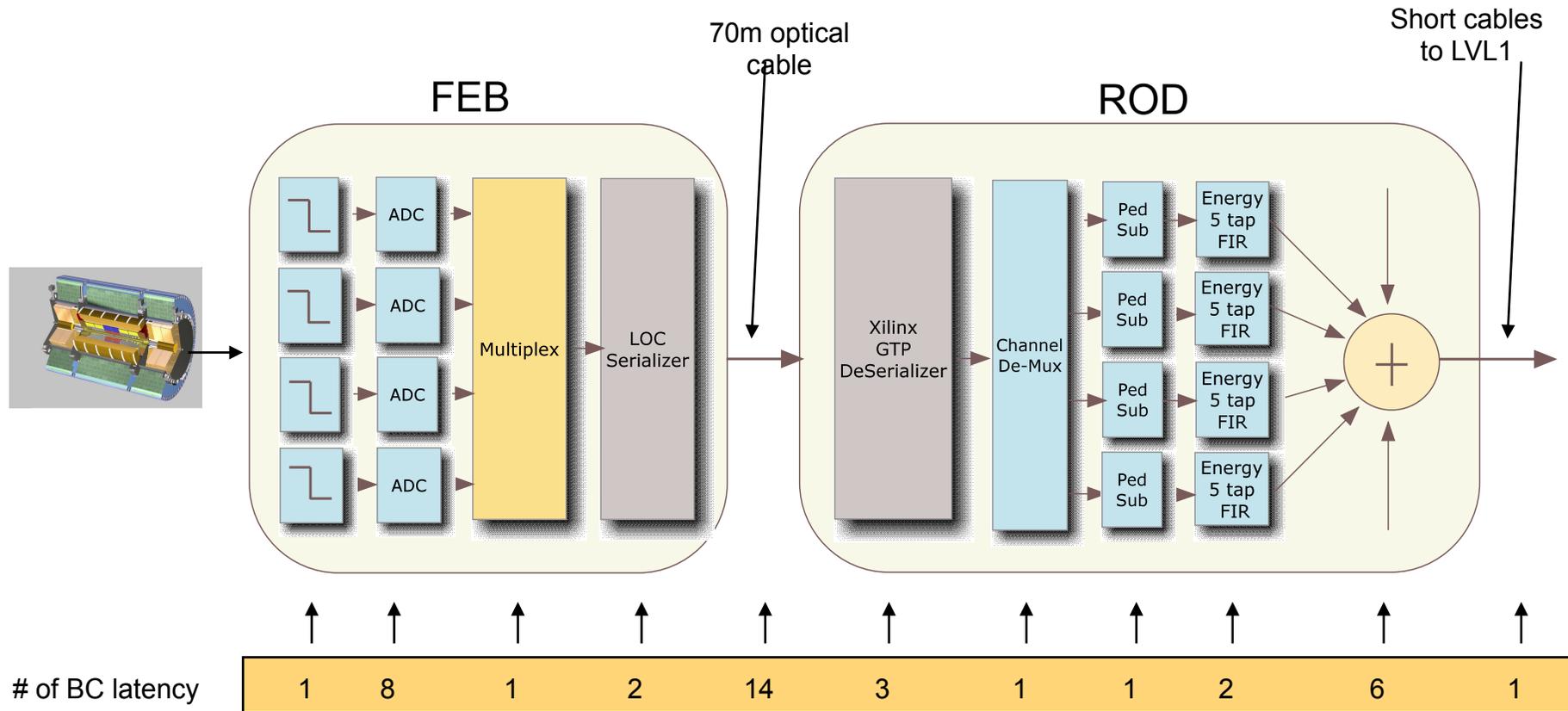
58 + 8

RODs:

~ 200 schede

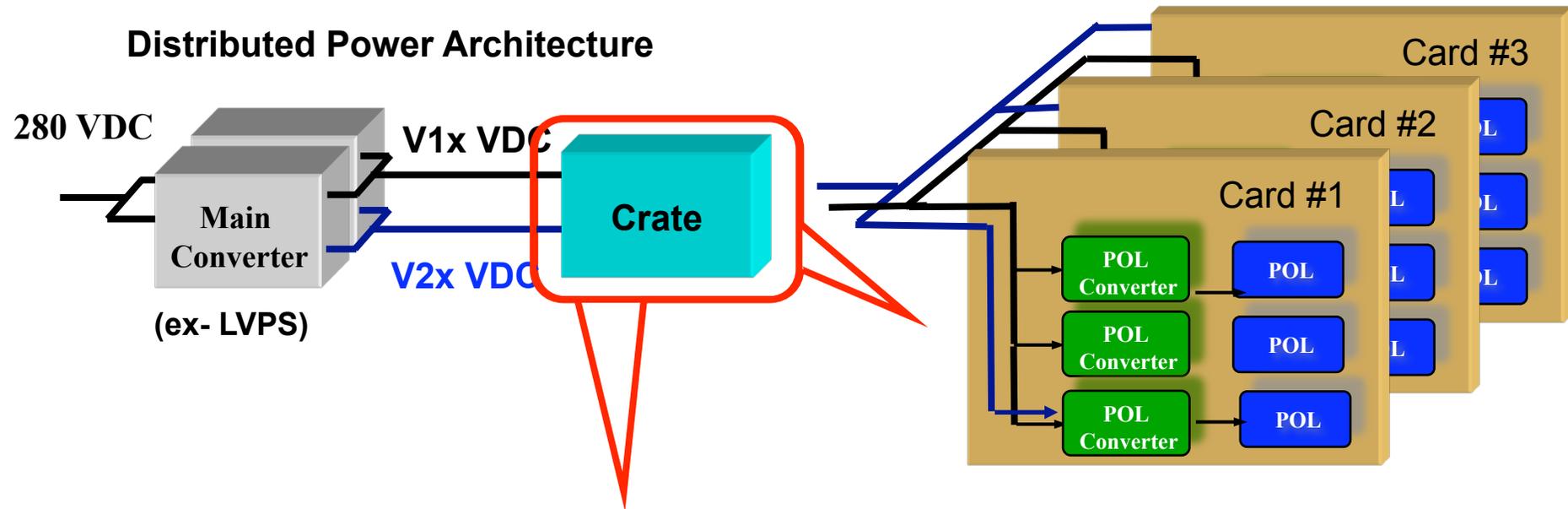


Level-1 Trigger Latency Budget



Total Latency ~ 40 BC ~ 1us

PS possible architectures



Tecnologia SiGe

La microelettronica va verso processi in Silicio (CMOS e BICMOS) con dispositivi a canale sempre piu' corto

*elevato numero di canali disponibili →
 maggiore integrazione
 migliori prestazioni circuitali → elevata
 velocità funzionale
 bassa dissipazione di potenza (per
 dispositivo!)
 ridotto livello di rumore
 migliore tolleranza alle radiazioni*

L'80% dei semiconduttori al mondo è Si-CMOS, il resto e' SiGe, GaAs e SOI

Un "market-oriented statement" suggerisce:

CMOS → "Balances needs and cost for high-volume/mature applications"

SiGe BICMOS → "A solution for today's most challenging Analog and Mixed Signal (AMS) applications"

IBM Foundry Technology Roadmap

	350–500 nm	250 nm	180 nm	130 nm
SiGe BICMOS	5PAe 28 GHz F_t $BV_{ceo} > 7.5$ V 6/07 5HPE 43 GHz F_t $BV_{ceo} > 3.3$ V 11/01 5HP/AM/DM/PA 50 GHz F_t $BV_{ceo} > 3$ V 6/98	6WL 6RF + SiGe HBT 60 GHz F_t $BV_{ceo} > 3$ V 3/07 6HP/DM 6RF + SiGe HBT 47 GHz F_t $BV_{ceo} > 3$ V 6/99	7WL 7RF + SiGe HBT 60 GHz F_t $BV_{ceo} > 3.3$ V 12/02 7HP 7SF + SiGe HBT 120 GHz F_t $BV_{ceo} > 1.9$ V 7/01	8WL 8RF + SiGe HBT 100 GHz F_t $BV_{ceo} > 3$ V 5/05 8HP 8RF + SiGe HBT 200 F_t $BV_{ceo} > 1.7$ V 6/04
RF CMOS/ Low power (LP)		6RF 6SF + RF features 2.5 V / 3.3 V, 6.5 V 7/01	7RF 7SF + RF features 6/03 7HV 7RF high voltage 1.8 V / 5 V / 20 V 12/08*	8RF 8SFG + RF features LP option 6/03
Image Sensor			7SF / CIMG 1.8 V / 2.5 V / 3.3 V 5/05	7HY / CIMG 1.8 V / 2.5 V / 3.5 V 6/06
CMOS		6SF 180-nm L_{eff} 2.5 V / 3.3 V 4/98	7SF 110-nm L_{eff} 1.8 V / 2.5 V / 3.3 V 2/99	8SFG 92-nm L_{poly} 1.2 V / 1.5 V / 2.5 V 8/01
SOI				

Tecnologia SiGe

I transistori bipolari ad eterogiunzione (HBT) inoltre:

- hanno una resistenza parassita di base (R_{bb}) molto bassa
 - sono particolarmente adatti in progetti di elettronica a basso rumore
- hanno un rapporto g_m/I più alto dei transistori CMOS
 - così da permettere stadi di amplificazione con basso consumo di potenza
- in generale i bipolari sono rad-hard rispetto alla radiazione ionizzante
 - nessuna variazione in β almeno fino a dosi ~ 1 Mrad
- avendo un alto $f_T \rightarrow$ sono anche "proton and neutron hard"
 - per fluenze di particelle $\sim 10^{13}$ hit/cm²

La tecnologia BICMOS inoltre:

- per le nostre applicazioni NON è necessario usare tecnologie "last generation deep sub-micron"
 - 0.35 - 0.25 μm sono adeguate
 - i processi AMS, IHP e IBM sono disponibili via Europractice o Mosis

