

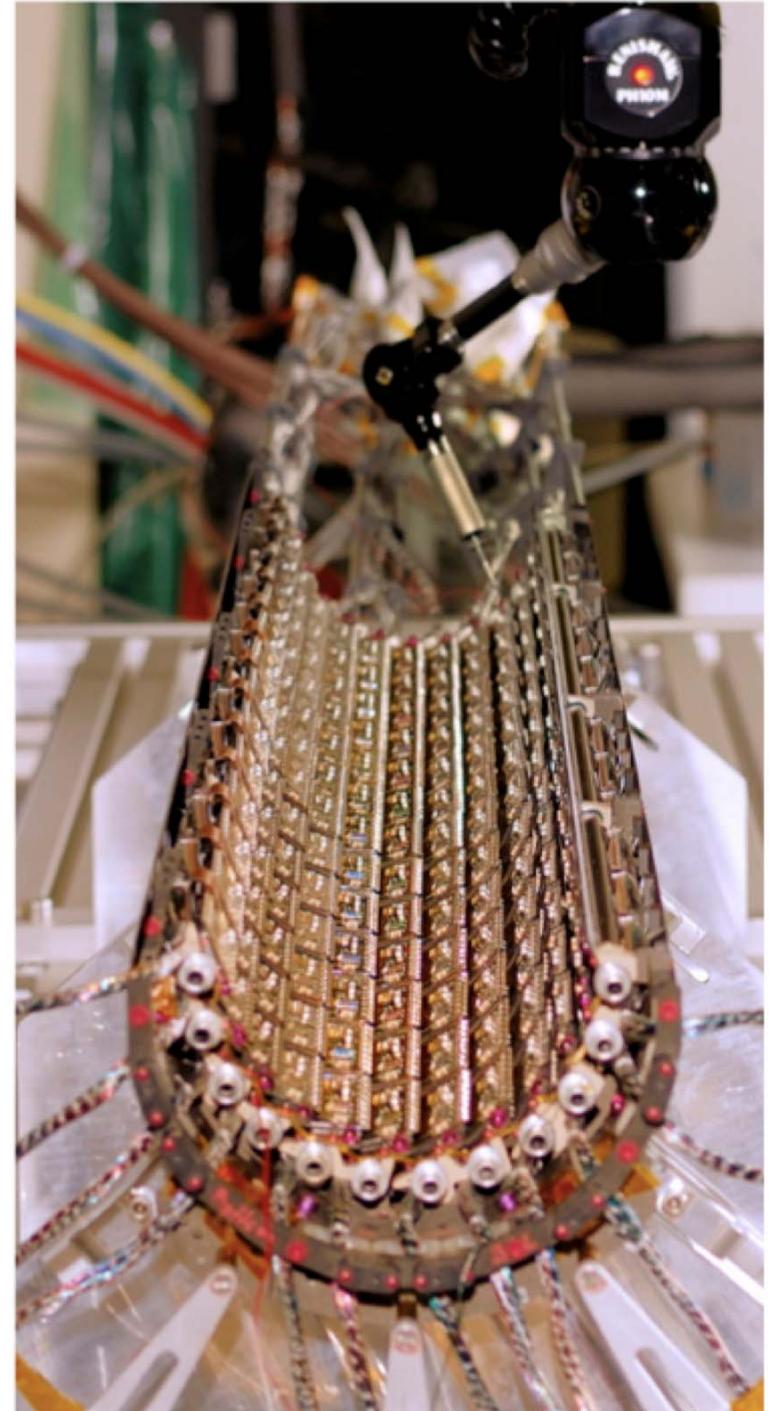
# Pixel: Elettronica di Front End

Roberto Beccherle, INFN - Genova

Incontro ATLAS e CMS per l'Upgrade a SLHC, Sestri Levante,  
13 – 14 Novembre 2008

# Motivazioni dell'Upgrade e stato dei lavori del circuito di Front-End

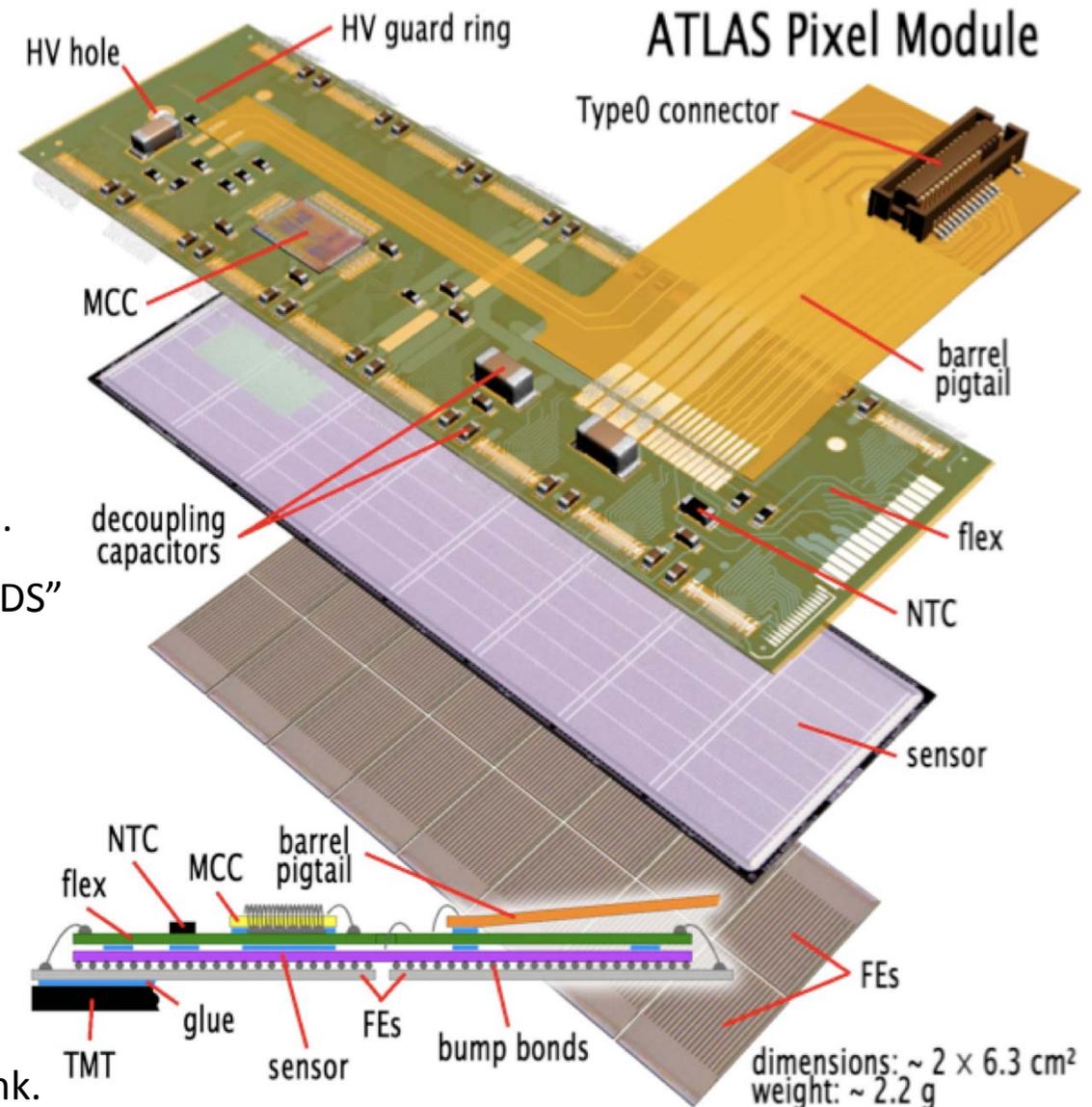
1. Il rivelatore attuale
2. Scenari per l'upgrade
3. Simulazioni
4. Nuova elettronica
5. Insertable B-Layer (IBL)
6. Conclusioni



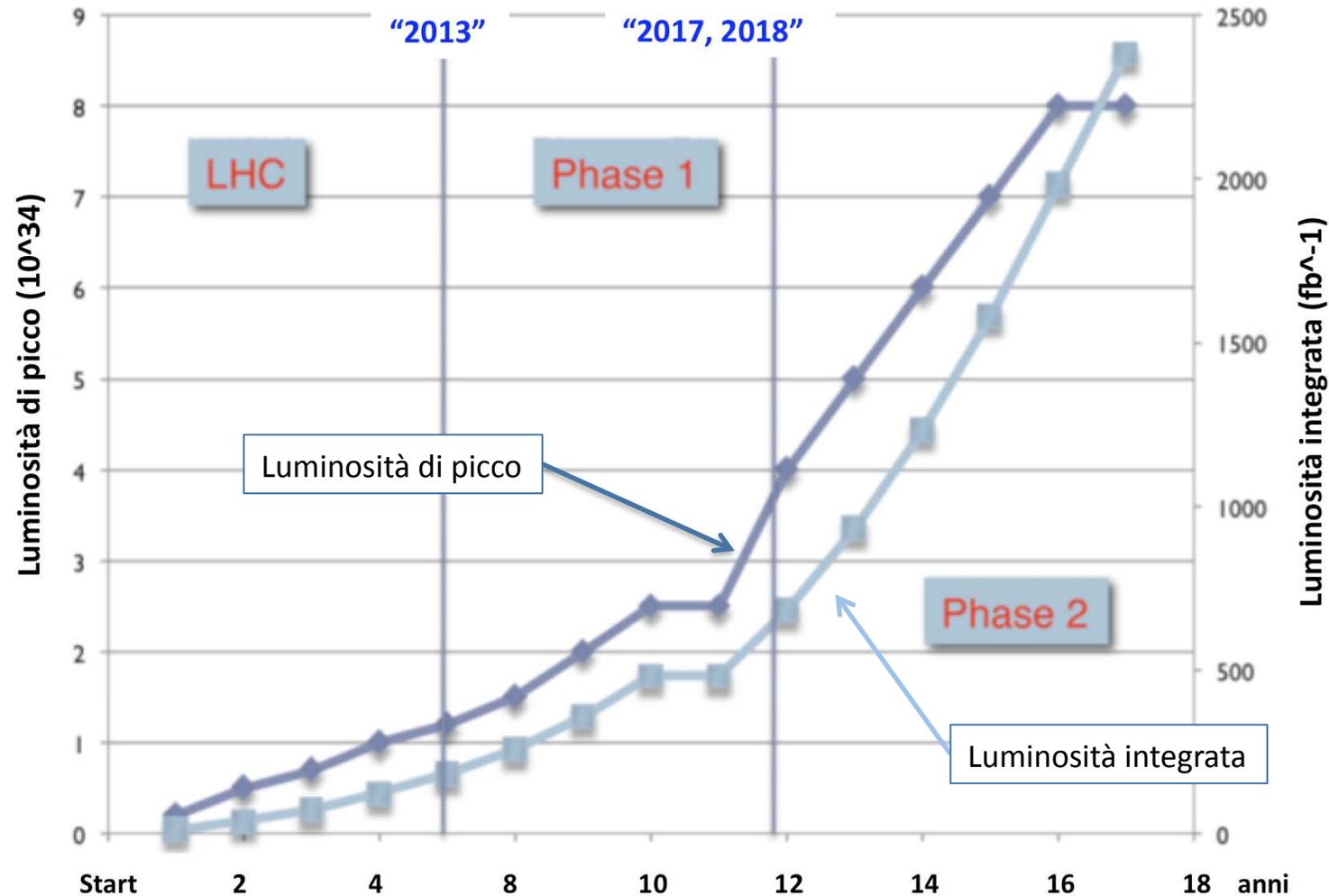
# Pixel di ATLAS: il modulo

46.080 Pixels e

- Sensore.
- 16 Chip di FE (IBM 0.25  $\mu\text{m}$ ).
- Module Controller Chip (MCC) che effettua la configurazione e l'Event Building.
- Flex Hybrid: capacità di disaccoppiamento, NTC, MCC e connettore.
- Le connessioni elettriche sono "LVDS"
- Input: Clock e Dati.
- Output: DataOut1 and DataOut2.
- AVDD, DVDD, AGND, DGND.
- Protocollo di IO digitale:
  - Downlink: 40 Mb/s.
  - Uplink: 160 Mb/s mediante due link.



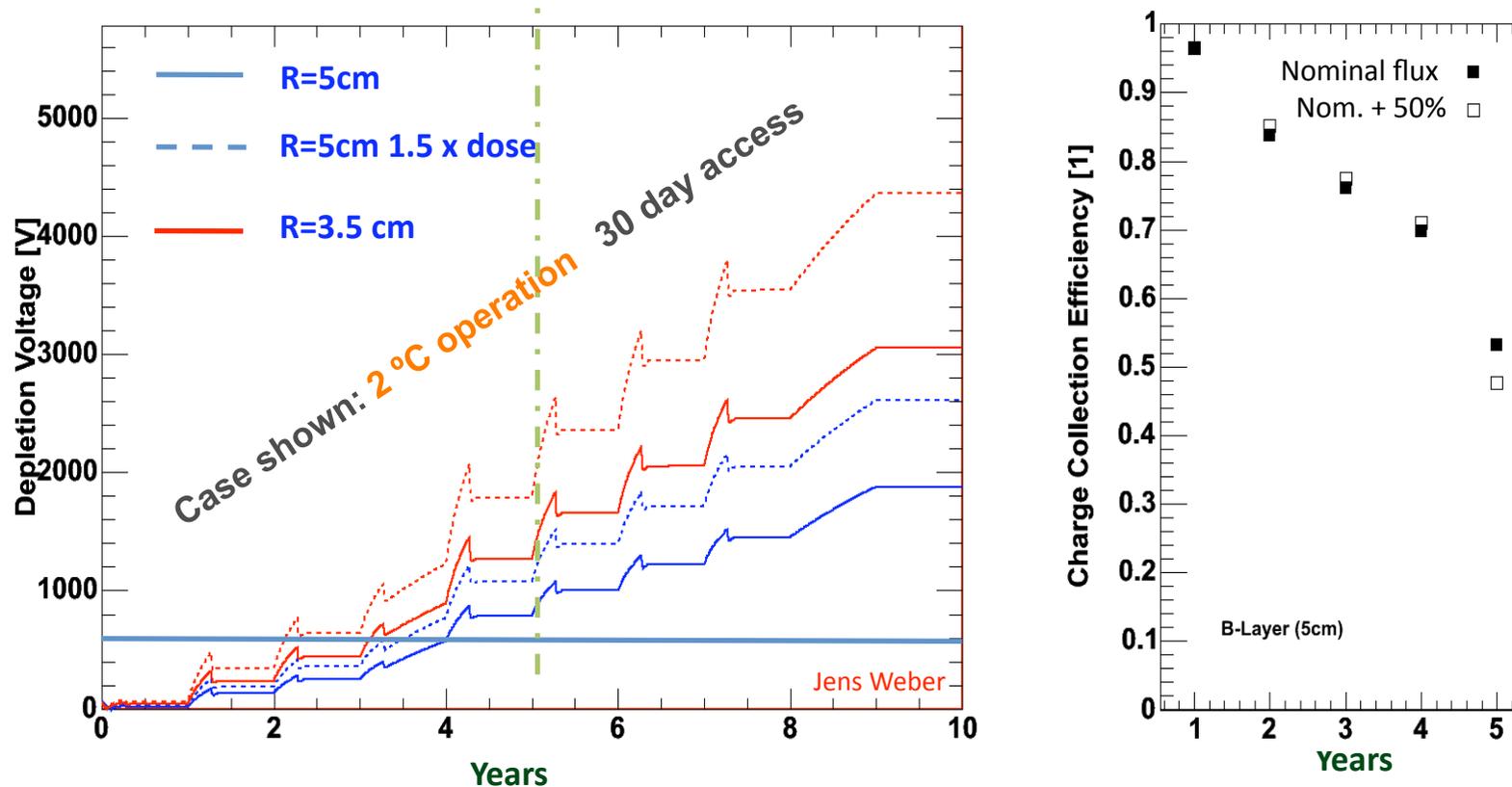
# Possibili scenari di Upgrade



I tempi degli upgrade sono (al momento) determinati dai tempi previsti per l'upgrade della macchina e non dai tempi di realizzazione del nuovo rivelatore.

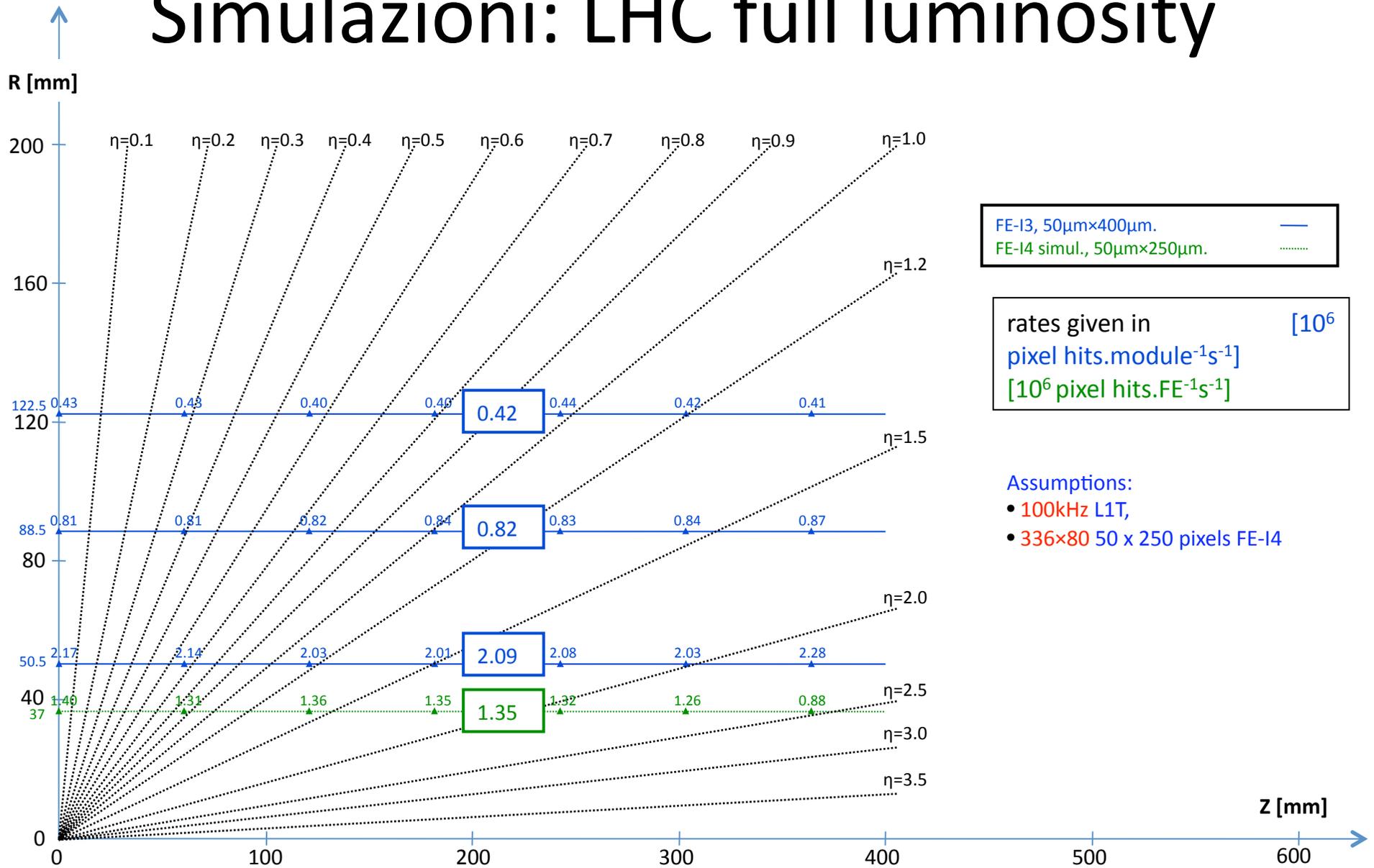
# B-Layer Task Force: Lifetime

- In all cases: integrated dose acceptable, even with margin of error, for 5 years, but not for 8.

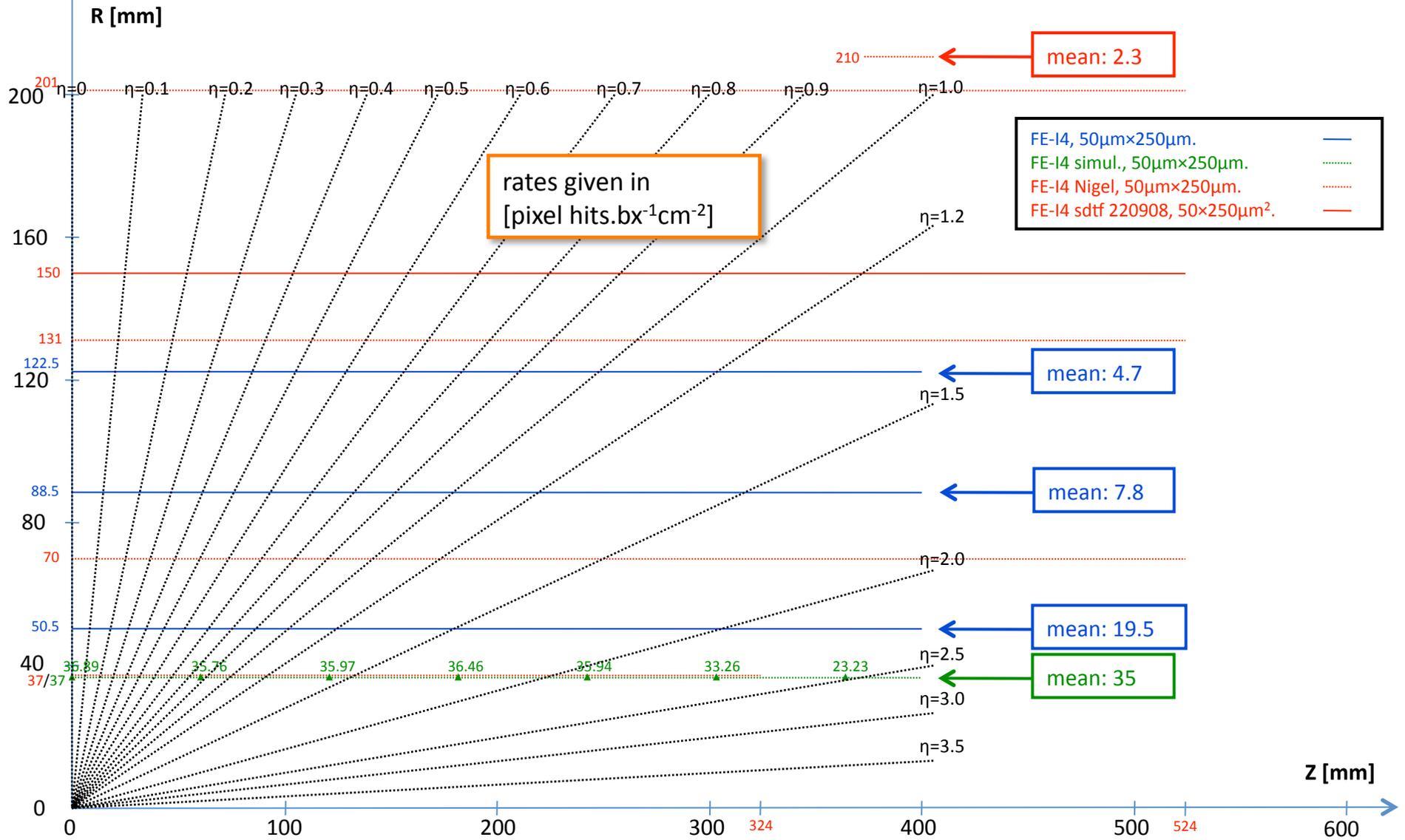


- I dettagli dipendono molto dalle condizioni di esercizio (temperatura e warm-up)
- I moduli dei Pixel sono stati irraggiati a due volte la dose nominale e sono risultati perfettamente funzionanti.

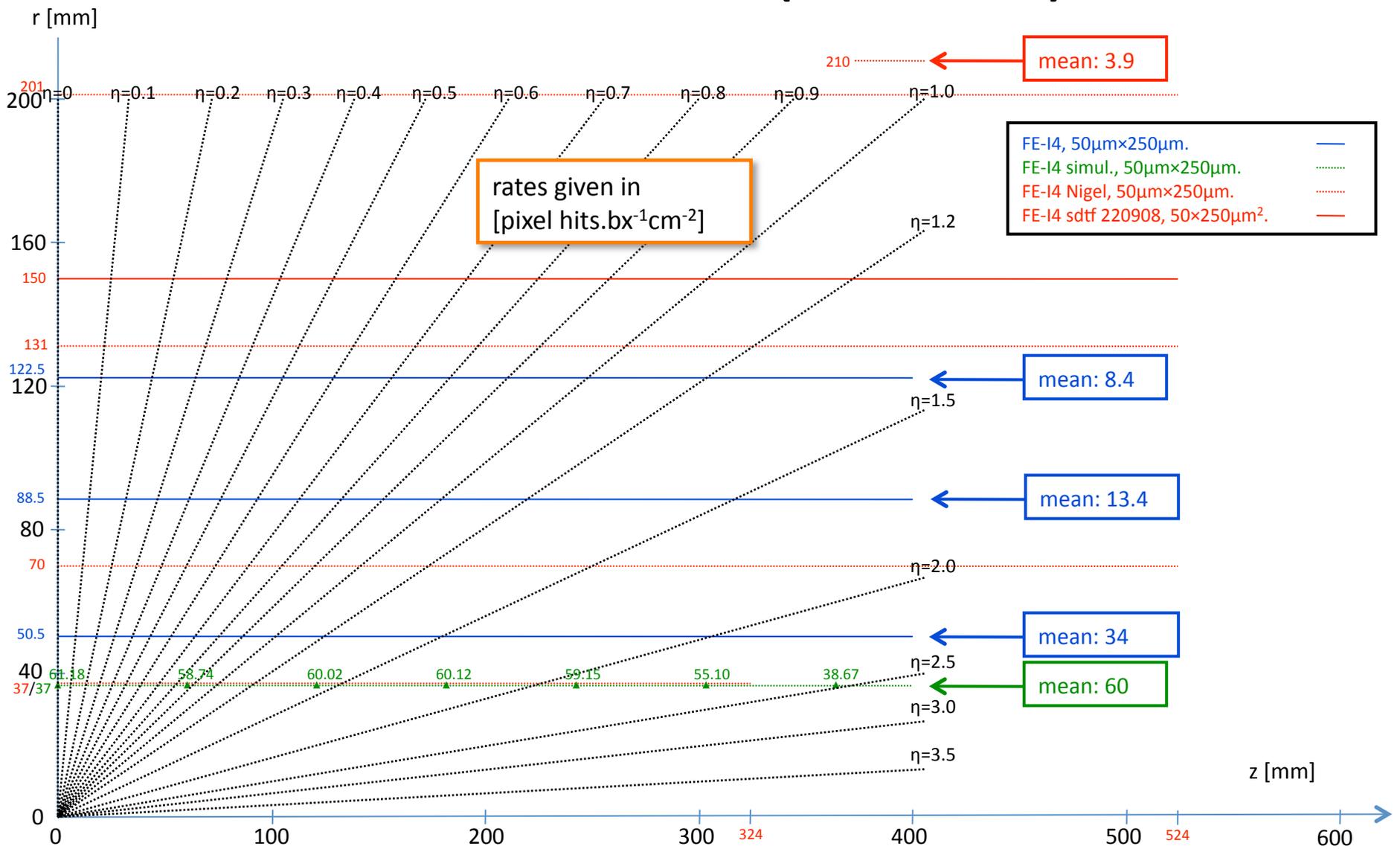
# Simulazioni: LHC full luminosity



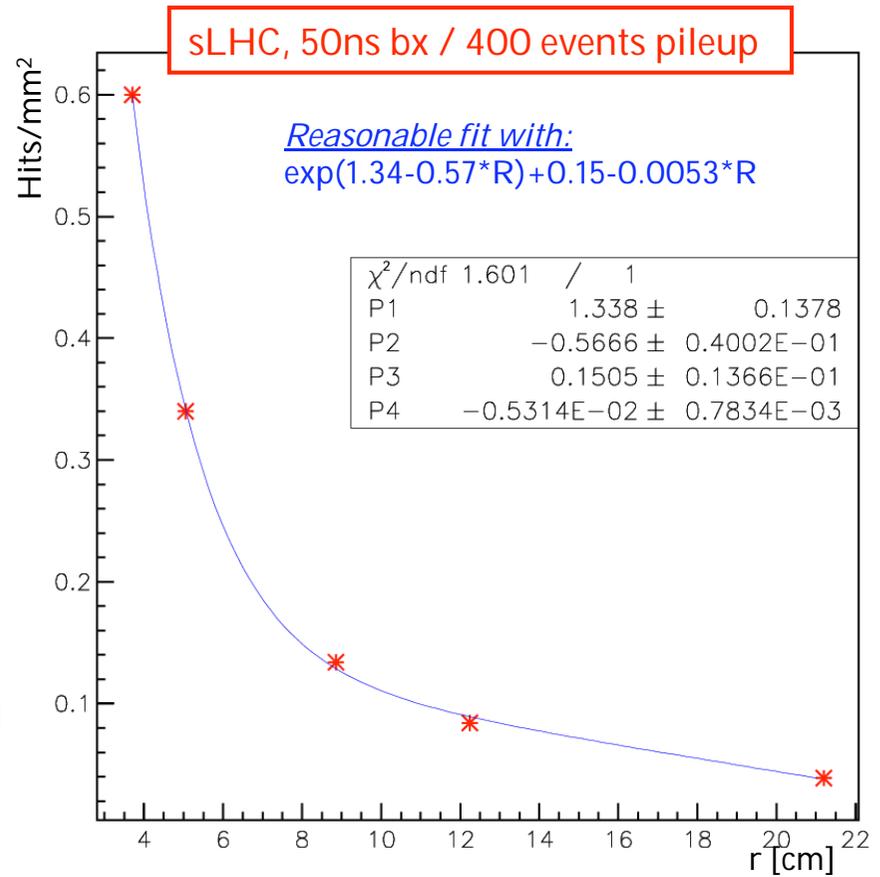
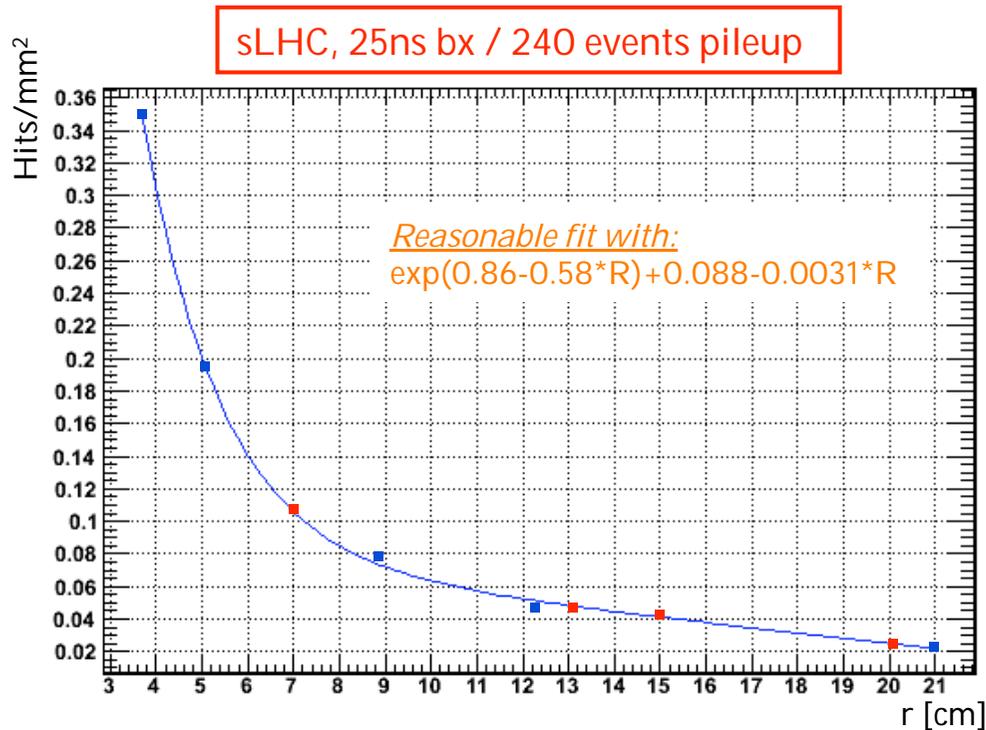
# Simulazioni: 10×LHC (25ns bx) / sLHC



# ↑ Simulazioni: 10×LHC (50ns bx) / sLHC



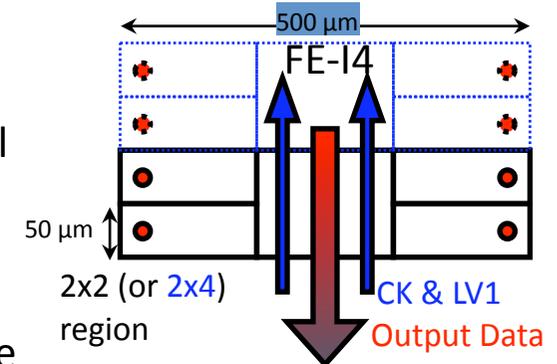
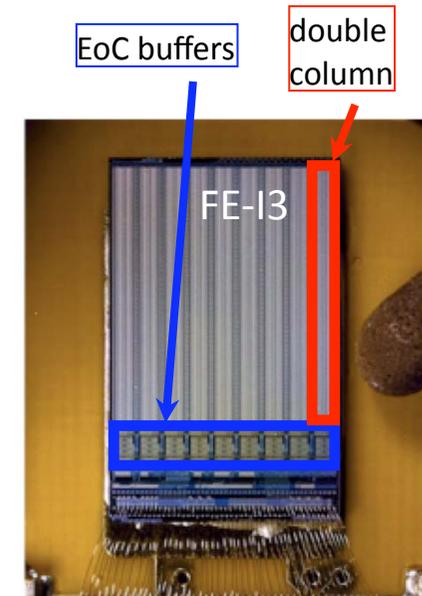
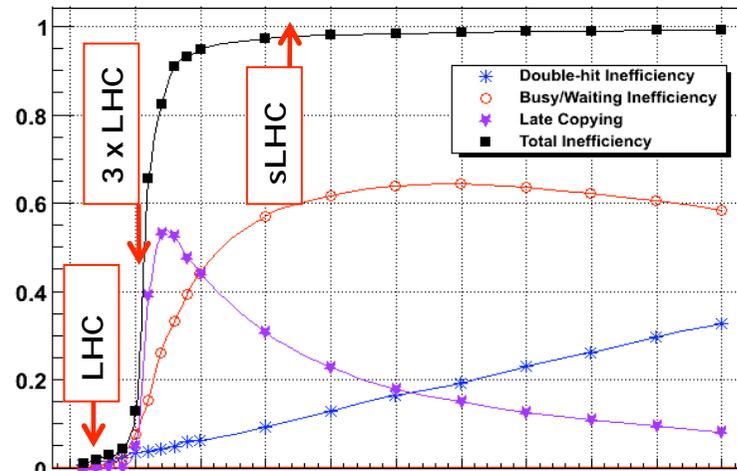
# Simulazioni: Raggi diversi



Radius layer [mm]	sLHC (25ns) [pix.bx <sup>-1</sup> .cm <sup>-2</sup> ]	sLHC (50ns) [pix.bx <sup>-1</sup> .cm <sup>-2</sup> ]
37	35	60
50.5	19.5	34
70	10.6	18.4
88.5	7.8	13.4
122.5	4.7	8.4
131	4.7	8.3
150	4.2	7.1
201	2.5	4.4
210	2.3	3.9

# Necessità di una nuova architettura

- L'occupazione di doppia colonna ed il numero di buffer di fine colonna implementati come nel FE-I3 non scalano bene con la potenza consumata e con l'aumento di occupanza. Tutti gli Hit vengono copiati ei buffer di fine colonna, ma solo < 1% vengono triggerati!
- L'idea è di **memorizzare tutta l'informazione localmente** nella regione che contiene i Pixel e di trasferire nei buffer di fine colonna solo i dati che sono stati triggerati.
- Memorizzare tutta l'informazione nei singoli Pixel non è possibile dato che un buffer per Pixel non sarebbe sufficiente e più di un buffer per Pixel non ci stanno.
- Pertanto l'idea è quella di raggruppare il maggior numero di Pixel in modo da formare "regioni locali" che possano condividere i singoli buffer in modo da ottimizzare la memoria necessaria.
- Occorre trovare un compromesso tra le dimensioni della "regione locale" e la complessità nell'implementare la logica necessaria ed il routing nella regione.

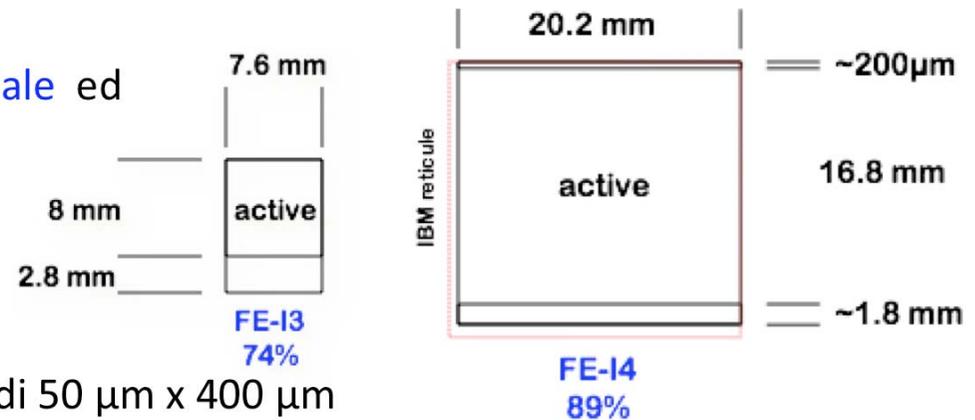


# Dimensioni e velocità di lettura

- La tecnologia da  $0.13 \mu\text{m}$  permette: chip più grandi, pixel più piccoli e maggiori velocità di lettura dei dati.

- Il nuovo chip di FE deve ridurre il materiale ed aumentare la frazione di area attiva.

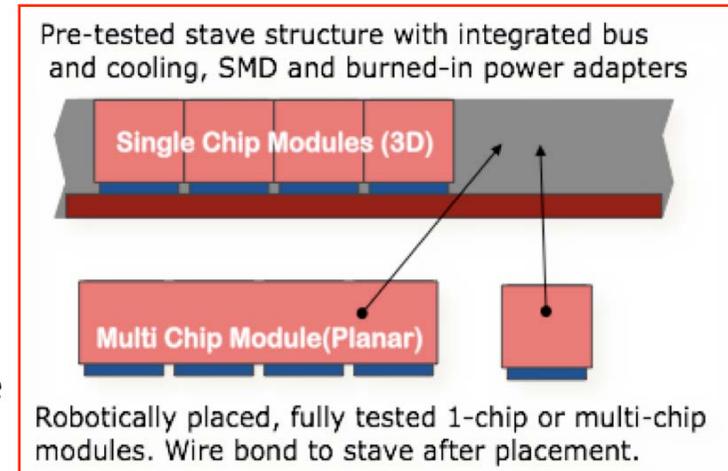
- Chip più grandi con wire-bond su di un lato solamente.



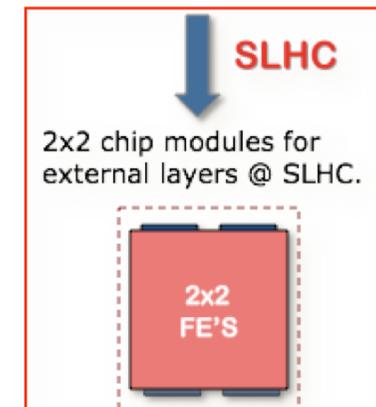
- FE-I3 ha 18 colonne x 160 righe di pixel di  $50 \mu\text{m} \times 400 \mu\text{m}$  organizzati in coppie di colonne in modo da condividere la logica digitale. Nel FE-I4 le dimensioni del pixel sono  $50 \mu\text{m} \times 250 \mu\text{m}$ , disposti in 80 colonne x 336 righe.
- La massima dimensione di un chip nella tecnologia CMOS8RF è di 19.5 mm x 21.0 mm.
- Un chip di dimensioni maggiori riduce il costo del bump-bonding a causa della necessità di prelevare, allineare e depositare un numero inferiore di circuiti integrati.
- Nel nuovo rivelatore a Pixel è possibile rinunciare all'MCC, dato che parte delle funzionalità ivi implementate saranno integrate nel circuito di Front End.
- Per sLHC la velocità di trasmissione sarà di 640 Mb/s, mentre per l'IBL di 160 Mb/s.

# Moduli per IBL & sLHC

- Si pensa di utilizzare il chip FE-I4 sia per l'IBL che per i due layer esterni del rivelatore a Pixel per sLHC.
- Il data rate è compatibile con [sLHC @12-30 cm](#).
- Questo ci permette di focalizzarci sull'IBL ed utilizzare il progetto come passo intermedio verso sLHC.
- L'architettura finale del chip di Front-End sarà la stessa e [solo il readout e la periferia del chip verranno cambiate](#) per adattarsi alle esigenze specifiche di sLHC.



Radius (cm)	IBL Bw (Mbit/s) [Module]	IBL Bw (Mbit/s) [Half Stave]	sLHC [25 ns] Bw (Mbit/s) [Module]	sLHC [25 ns] Bw (Mbit/s) [half stave]	sLHC [50 ns] Bw (Mbit/s) [Module]	sLHC [50 ns] Bw (Mbit/s) [half stave]
3.7	86	1290	258	3870	431	6465
7			328	5248	552	8832
16			132	2112	212	3392
20			96	1536	148	2368

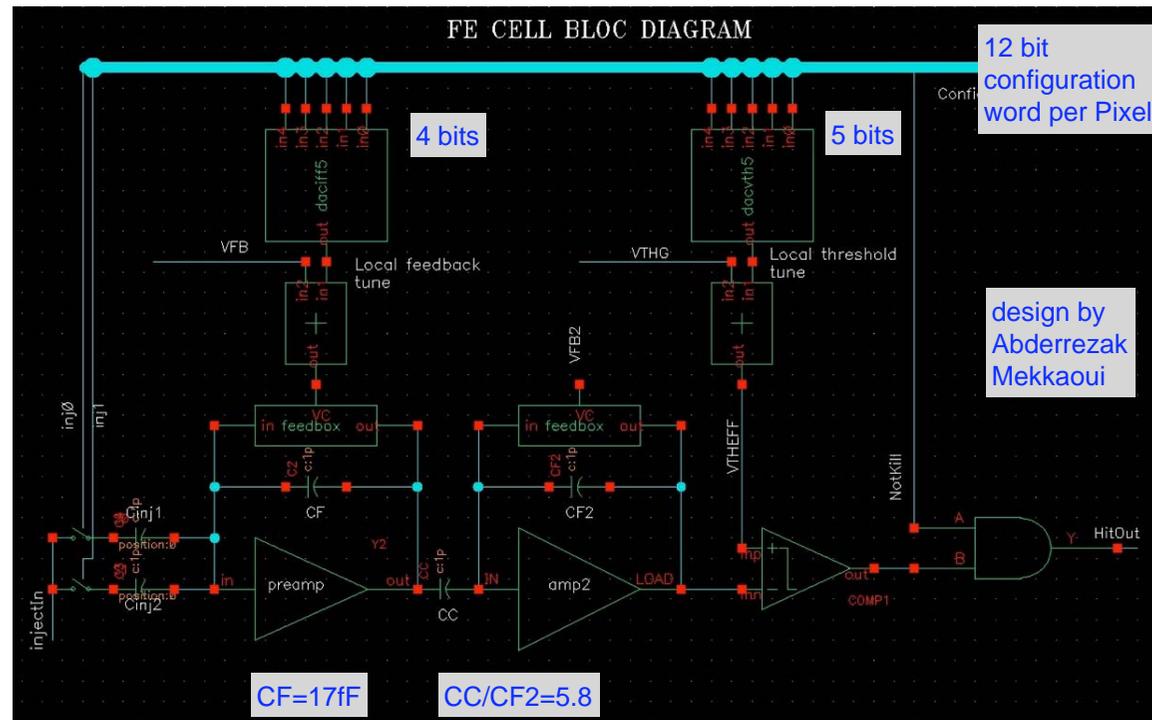


# FE-I4: Le specifiche

- Il nuovo B-Layer sarà a **3.7 cm** dal fascio.
- L'occupazione salirà di un fattore 4 per unità di area.
- Le bande passanti dei link aumenteranno di un fattore 4 per unità di area.
- Il **SEU** (Single Event Upset) e la dose di irraggiamento avranno un'importanza maggiore.
- Il pixel avrà dimensioni lineari di **50  $\mu\text{m}$  x 250  $\mu\text{m}$**  e la parte analogica del pixel occuperà circa il 50% dell'area.
- Le configurazioni potranno essere caricate a **40 MHz**.

Pixel size	<b>50 x 250</b>	$\mu\text{m}^2$
DC leakage current tolerance	100	nA
Pixel array size	<b>80 x 336</b>	Col x Row
Normal pixel input capacitance range	300-500	fF
Long pixel input capacitance range	450-750	fF
In-time threshold with 20ns gate (400pF)	4000	$e^-$
Hit-Trigger association resolution	25	ns
Sample pixel two-hit discrimination (time)	400	ns
Single channel ENC sigma (400fF)	300	e
Tuned threshold dispersion (max)	100	E
Charge resolution	4	Bits
ADC method	ToT	
Operating voltage range	1.2-1.5	V
Total analog supply current @400 fF	10	$\mu\text{A}$ / pixel
Radiation tolerance (specs met at this dose)	<b>200</b>	MRad
Average Hit rate	200	MHz/cm <sup>2</sup>
Trigger latency (max)	3.2	$\mu\text{s}$
Single chip data output rate	160	Mb/s
Maximum Trigger rate	200	kHz
Total digital supply current @ 100 kHz	10	$\mu\text{A}$ / pixel

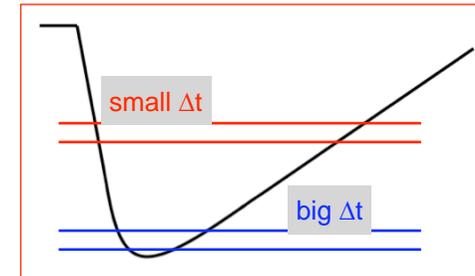
# FE-I4: la cella analogica



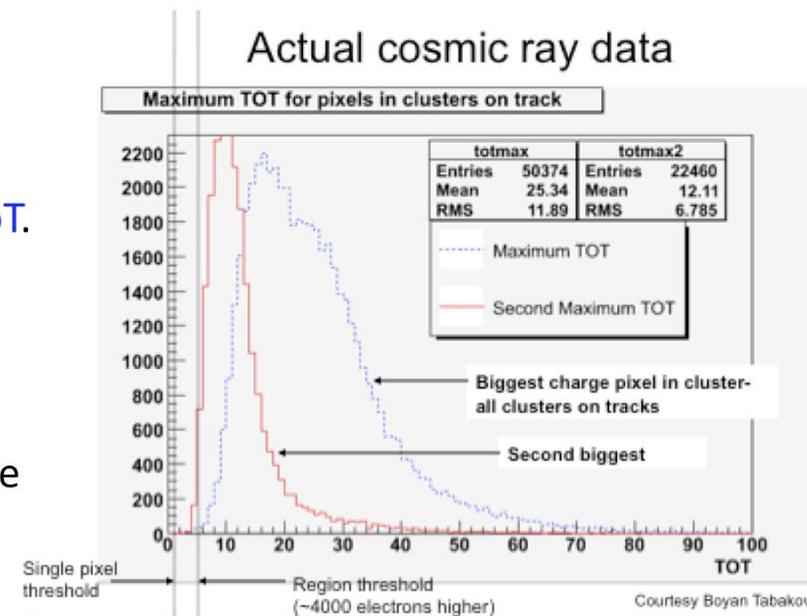
- Transistor d'ingresso realizzato con un triple-well NMOS. Il secondo stadio usa un PMOS come input.
- È un preamplificatore di carica ottimizzato per low power, low noise e fast risetime.
- Il circuito di feedback è realizzato mediante due FET, CF è di 15fF, e c'è un circuito di compensazione della corrente di leakage attivo e differenziale.
- L'uscita del preamplificatore va ad un comparatore con una soglia globale regolabile nel singolo pixel basato su di un DAC a 5 bit.

# FE-I4: la regione digitale

- Nel FE-I3 il comparatore era usato per:
  - Segnalare la presenza di una particella (comp. edge),
  - Misurare il tempo di arrivo (leading edge),
  - Misurare la carica, ToT (comp. width).



- Nel FE-I4 invece:
  - Usiamo il comparatore per **misurare il ToT**.
  - Richiediamo un (ToT > 50:75 ns) per **identificare una particella**.
  - In questo caso si usa il leading edge come **timestamp** per l'intera regione. Questo implica un time-walk basso!

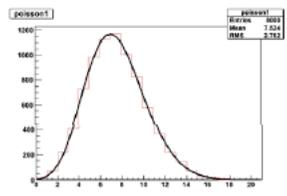


- Usiamo il ToT di impulsi piccoli solo per **informazioni di traccia**, nei clusters di Pixels locali.
- Si potrebbero usare i ToT piccoli come **“noise hits”** durante la calibrazione.

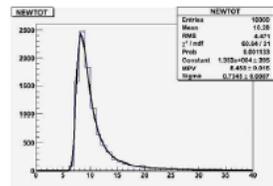
# Simulazioni dell'architettura

- Un framework formalmente corretto, in grado di simulare tutti gli aspetti legati alla realizzazione del chip è il prerequisito fondamentale per poter effettuare tutti i controlli necessari a produrre un circuito che rispetta le richieste.
- A Bonn è stato sviluppato un simulatore scritto in C++ che permette di utilizzare dati provenienti dalle simulazioni di fisica.
- La parte di Front-End analogico è descritta mediante Analog Verilog, quella digitale da un modello Verilog.
- I due diversi livelli di simulazione sono tra loro integrati per poter confrontare le varie opzioni disponibili.

Random data

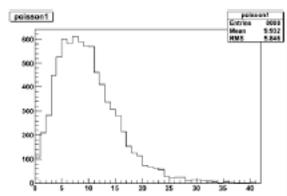


Hit probability from Poisson distribution

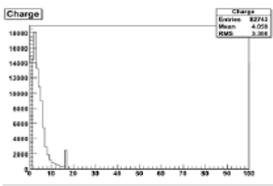


ToT = Landau/ADC

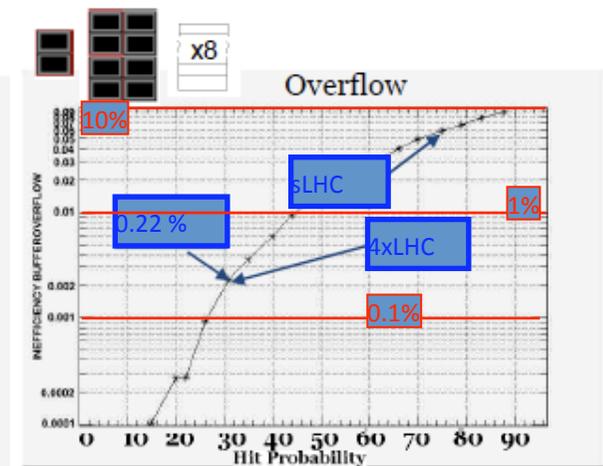
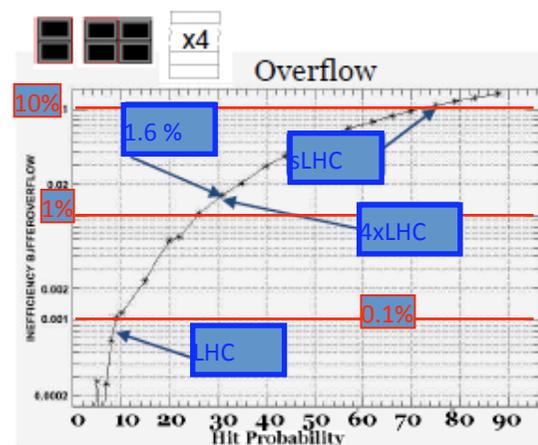
Physics input



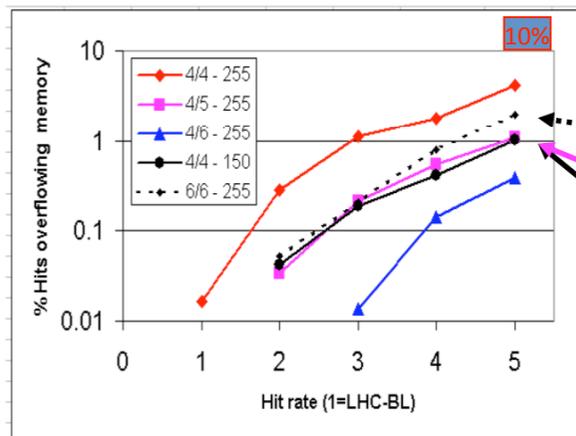
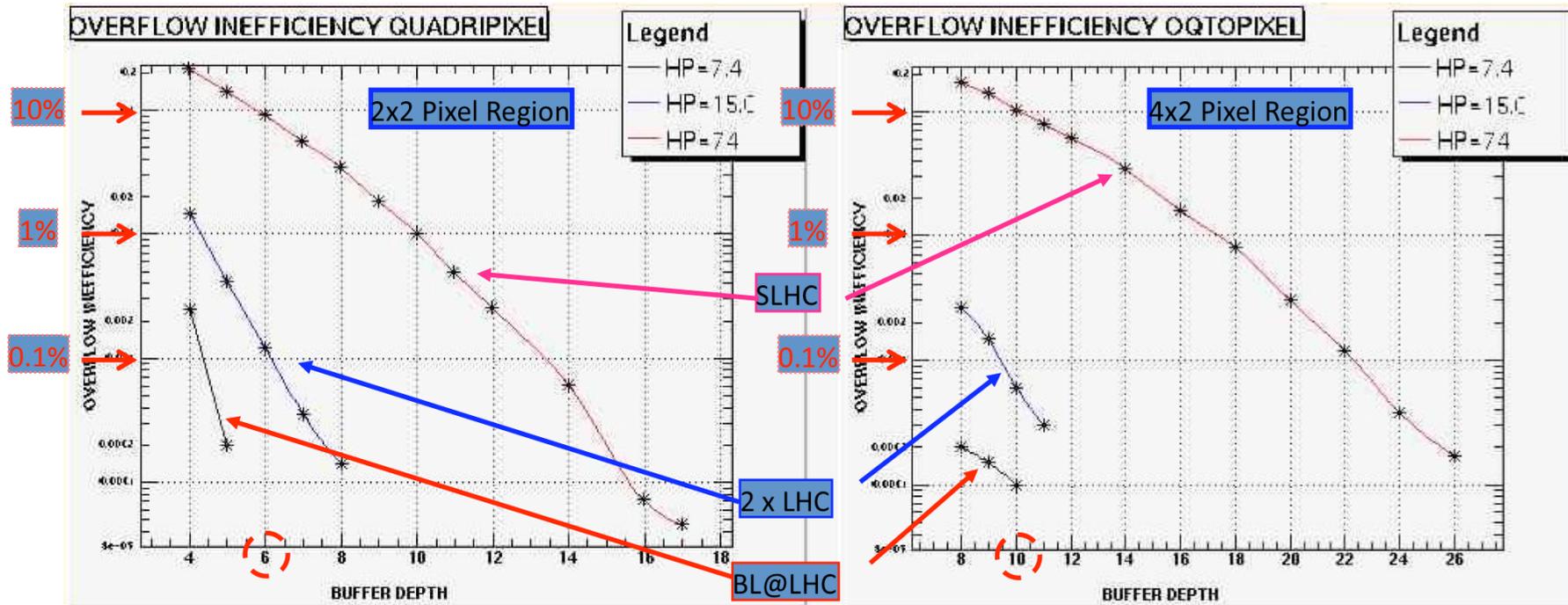
Hit probability - From physic samples



ToT - From physic samples



# Dimensionamento dei buffer



- Inefficienze in funzione del numero di Buffer.

Larger region

More Buffers

Faster Erase

Il numero di pixel raggruppati in una regione viene determinato in base alla simulazione ed ai constraint che derivano dal layout del blocco.

# Formato dei dati

## Requirements:

- Ci serve un protocollo seriale digitale.
- Dobbiamo concentrare dati provenienti da diversi chip.
- Dobbiamo gestire bandwidth molto diverse.
- Lo stesso link utilizzato per: **Data** + **Configuration** + **Monitoring**.

## Issues to be addressed:

- **Bandwidth** (minimizzazione, high link occupancy): Come trattare i problemi di bandwidth? Buffer overflow? Drop some data?
- **SEU**: Dobbiamo mantenere la sincronizzazione degli eventi (la perdita di alcuni dati non è un problema).
- **Redundancy**: Dobbiamo prevedere la possibilità di errori hardware.
- **DC balancing**: Serve? È safe in caso di SEU?

# Protocollo di trasmissione

Per l'IBL dobbiamo mantenere la compatibilità con l'hardware attuale: 40 Mb/s in downlink e 160 Mb/s sull'Uplink.

Clock e Dati separati su due linee distinte.

Per sLHC ci sono al momento contatti tra Pixel ed SCT per lo sviluppo di un protocollo comune che permetta di semplificare il readout dei due rivelatori.

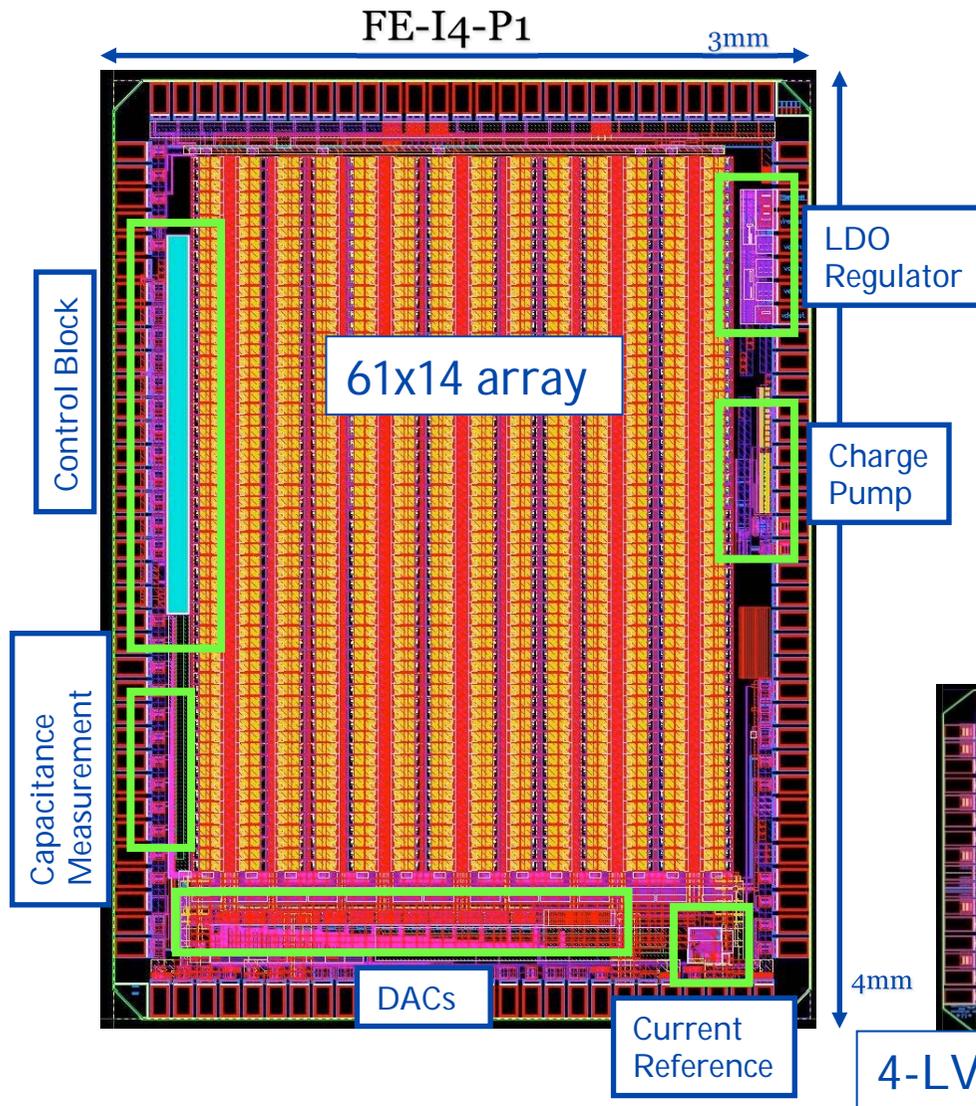
Questo è un campo dove sarebbe augurabile una maggiore integrazione anche tra ATLAS e CMS.

Ci sono alcuni progetti che si prefiggono questo sia a livello di CERN che di INFN.

Potrebbe portare ad un risparmio significativo ed ad una semplificazione notevole nel design dei sistemi di configurazione e readout dei rivelatori, ma è di MOLTO difficile realizzazione.

Occorre far interagire persone di sezioni diverse dell'INFN e soprattutto appartenente a due esperimenti "competitor".

# FE-I4\_proto1 collaboration



- Participating institutes:

Bonn, CPPM, Genova, LBNL, Nikhef.

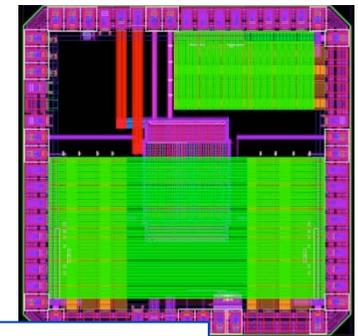
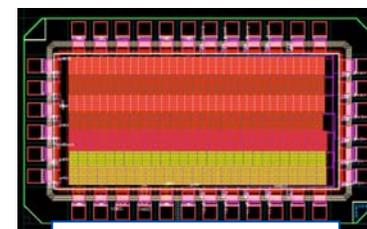
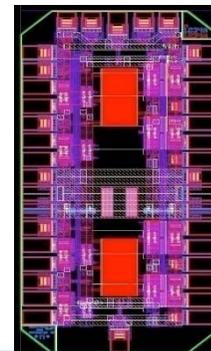
Bonn: D. Arutinov, M. Barbero, T. Hemperek, M. Karagounis.

CPPM: D. Fougeron, M. Menouni.

Genova: R. Beccherle, G. Darbo.

LBNL: R. Ely, M. Garcia-Sciveres, D. Gnani, A. Mekkaoui.

Nikhef: R. Kluit, J.D. Schipper



# Conclusioni

- Stiamo lavorando ad uno sviluppo legato all'IBL.
- Abbiamo iniziato il disegno di una nuova architettura che dovrebbe essere compatibile con i requirement che vengono da sLHC.
- Abbiamo realizzato alcuni prototipi, funzionanti, con la nuova tecnologia (IBM 0.13  $\mu\text{m}$ ) che dimostrano la fattibilità del progetto.
- Possiamo realizzare una prima versione di questo chip nel 2009 ed utilizzarla nel nuovo B-Layer dei Pixel di ATLAS.
- Sarà "almost compatibile" con l'hardware attuale in modo da poter runnare con il rivelatore attuale
- Ci sono delle prospettive di lungo termine molto interessanti legate a possibili sinergie tra diversi rivelatori.