



## SA-ADC per PixFEL

Francesco Forti <Francesco.Forti@pi.infn.it>

Mon, May 13, 2013 at 10:16 AM

To: Lodovico Ratti <lodovico.ratti@unipv.it>, Valerio Re <valerio.re@unibg.it>, Stefano Bettarini <Stefano.Bettarini@pi.infn.it>, Giuliana Rizzo <giuliana.rizzo@pi.infn.it>

Riflettendo un po' sulle specifiche dell'ADC per XFEL mi viene a mente che un approccio con Successive Approximation ADC ([https://en.wikipedia.org/wiki/Successive\\_approximation\\_ADC](https://en.wikipedia.org/wiki/Successive_approximation_ADC)) potrebbe essere interessante, soprattutto se usando il 65nm lo spazio necessario per la logica di controllo si riduce. Due miniconti:

- **clock**: per avere una conversione a 10 bit in 200ns ci vuole un clock di 20 ns cioe' 50MHz, visto che nel SA-ADC ci vuole Nbit colpi di clock (e non  $2^N$ bit). Non e' proibitiva come frequenza e ci sono abbondanti esempi in letteratura di SA-ADC a questa frequenza (vedi anche tesi di Casubolo a Pavia: [http://www.google.it/url?sa=t&rct=j&q=adc%20con%20approssimazioni%20successive&source=web&cd=7&ved=0CGAQFjAG&url=http%3A%2F%2Fsms.unipv.it%2FMasterTheses%2F2009Casubolo.pdf&ei=jIWMUYyrDYHLOI\\_1gNAH&usg=AFQjCNGUGDtNBpjozjL3EuApouMD\\_76rQ&bvm=bv.46340616,d.ZWU&cad=rja](http://www.google.it/url?sa=t&rct=j&q=adc%20con%20approssimazioni%20successive&source=web&cd=7&ved=0CGAQFjAG&url=http%3A%2F%2Fsms.unipv.it%2FMasterTheses%2F2009Casubolo.pdf&ei=jIWMUYyrDYHLOI_1gNAH&usg=AFQjCNGUGDtNBpjozjL3EuApouMD_76rQ&bvm=bv.46340616,d.ZWU&cad=rja) oppure quest'altra specifica di 90nm, anche se con caratteristiche diverse [https://www.google.it/url?sa=t&rct=j&q=&esrc=s&source=web&cd=1&cad=rja&ved=0CDYQFjAA&url=http%3A%2F%2Fsmartech.gatech.edu%2Fbitstream%2Fhandle%2F1853%2F33884%2Ftirunelvelikanthi\\_saravanan\\_201005\\_mast.pdf&ei=X5iQUbOWHO6v7AaCzoGAAQ&usg=AFQjCNG6vuzmz1LsCJ9DYXTQBGLC5IHDw&sig2=kH6OJm8x66z2IlmWrlwE1w&bvm=bv.46340616,d.ZGU](https://www.google.it/url?sa=t&rct=j&q=&esrc=s&source=web&cd=1&cad=rja&ved=0CDYQFjAA&url=http%3A%2F%2Fsmartech.gatech.edu%2Fbitstream%2Fhandle%2F1853%2F33884%2Ftirunelvelikanthi_saravanan_201005_mast.pdf&ei=X5iQUbOWHO6v7AaCzoGAAQ&usg=AFQjCNG6vuzmz1LsCJ9DYXTQBGLC5IHDw&sig2=kH6OJm8x66z2IlmWrlwE1w&bvm=bv.46340616,d.ZGU) )

- **readout** il SA-ADC di fatto fornisce in uscita i bit gia' serializzati (dal MSB al LSB) e si puo' quindi effettuare la trasmissione **durante** la conversione, negli stessi 200ns. Naturalmente ci vuole la banda. Nell'ipotesi di usare is TSV per trasferire la lettura ad un chip digitale, si potrebbe pensare ad una linea ogni 8-16 pixels con un multiplexer che viaggia a 400MHz oppure 800MHz (se possibile). Quindi nei primi 20ns il multiplexer farebbe il giro di 8(16) pixels trasferendo il bit N (MSB); nei successivi 20ns farebbe di nuovo il giro trasferendo il bit N-1 e cosi' via. Rimane naturalmente il problema di memorizzare i dati sul chip digitale e non so quanti frame potremmo mettere. Alternativamente si puo' completare la conversione tenendo il risultato nel registro del SAR e leggere poi tutti i pixel serialmente alla velocita' che vogliamo

- **time interleave** alternativamente si potrebbe adottare uno schema con time interleave, in cui il DAC ed il SAR sono sharati tra piu pixel (vedi <http://ilo.technologypublisher.com/technology/11471#.UJCbiStmzxU>) che ha dei vantaggi in termini di area ma richiede maggiore performance al SAR e al DAC.

- **DAC** la versione spesso usata e' quella dello switched capacitor DAC, ma questo richiede condensatori calibrati con ratio di  $2^N$ bit, che per dispositivi integrati puo' essere proibitivo. Alternativamente si puo' usare la versione a ladder R-2R ([https://en.wikipedia.org/wiki/Resistor\\_ladder](https://en.wikipedia.org/wiki/Resistor_ladder)). Il settling time deve essere ovviamente meglio di 20ns, ma non credo sia impossibile da ottenere.

- **Precisione e non linearita'** Non so quale sia la precisione richiesta dalle applicazioni (anzi andrebbe capito). Questo approccio ha pero' una grande flessibilita': e' abbastanza semplice introdurre non-linearita' volute e calibrate nella conversione, basta rendere il DAC non lineare con pesi diversi dei bit. A seconda del tipo di concetto che utilizzeremo per la compressione del segnale questa flessibilita' ci puo' dare un importante vantaggio competitivo.

Facciamo qualche conto, a me sembra che questo approccio possa essere effettivamente vantaggioso piu' semplice da realizzare rispetto all'ADC a rampa con clock al GHz.

Ciao, Francesco