

PRIN-2009 UR – Pisa attività' e resoconto (\$)

S.Bettarini

27-28 Aprile 2013 - Milano

Sommario:

- A) Miglioramento delle prestazioni sensori CMOS-MAPS:
 - 3D
 - INMAPS
 - Arch. di r.o. per matrici di pixel:
 - Studio r.o. arch. avanzate
- B) Diamante:
 1. Assemblaggio circuito amplificatore a comp. discreti per studio waveforms (rise-time, pulse-height con $\beta \rightarrow$ CCD) con oscilloscopio digitale;
 2. Assemblaggio/u-saldatura su carrier e test su fascio Diamante(DIPIX)-ball bonded (by IZM) con SuperPix0
- C) Cooling in transizione di fase con u-canali (\rightarrow F. Bosi)

Attività in cui è coinvolta Pisa (Mod A: par.10)

1) Sensori

1.1 Miglioramento delle prestazioni dei sensori CMOS MAPS:
(efficienza, hit rate e ris. temporale):

Tecnologie 3D Chartered/Tezzaron, 4well INMAPS

1.2 Riv. a diamante con pixel grandi ma alta ris. temporale

3) Studio di architetture di readout avanzate della matrice di pixel

3.1 Architetture di readout veloci per matrici di pixel

4) Riduzione del materiale passivo nei sistemi di rivelazione

4.1 Sviluppo del cooling bifase in microcanali

Grazie alle sinergie con VIPIX/SuperB le attività sui punti 1.1 e 3.1 sono già in fase avanzata (vedi talk oggi pom.).

1.1 Sensori CMOS MAPS (1)

Come da Modello B di Pisa stato delle attività:

Fase I:

- Caratterizzazione in laboratorio della matrice 3D CMOS MAPS (realizzata con VIPIX) e studio di soluzioni specifiche per il miglioramento delle prestazioni dei sensori 3D CMOS MAPS precedentemente realizzati.
 - Test del layer analogico con sorgenti.
 - Test delle strutture 3D (matrice digitale 8x32) con nuova interconnessione.
- Ottimizzazione e layout di strutture di test CMOS MAPS nel processo quadrupla well INMAPS.
 - Realizzata sottomissione INMAPS (luglio 2011). Layout logica digitale in-pixel e matrice digitale 32x32.

1.1 Sensori CMOS MAPS (2)

Come da Modello B di Pisa stato delle attività:

Fase II:

- Ottimizzazione layout e sottomissione di strutture di test migliorate 3D CMOS MAPS nel processo 130 nm Chartered/Tezzaron.
 - In corso di finalizzazione il layout della matrice MAPS APSEL_VI per prossima sottomissione 3D: in corso

Fase III:

- Caratterizzazione in laboratorio delle strutture di test con processo INMAPS. Fatto.

Fase IV:

- Caratterizzazione in laboratorio delle strutture di test 3D CMOS MAPS.
 - Test alla ricezione delle strutture....

3.1 Architetture di readout per pixel

Fase I: Definizione delle specifiche.

- Dall'epoca della presentazione del PRIN (maggio 2010) definite meglio le specifiche per l'applicazione Layer0 SuperB.

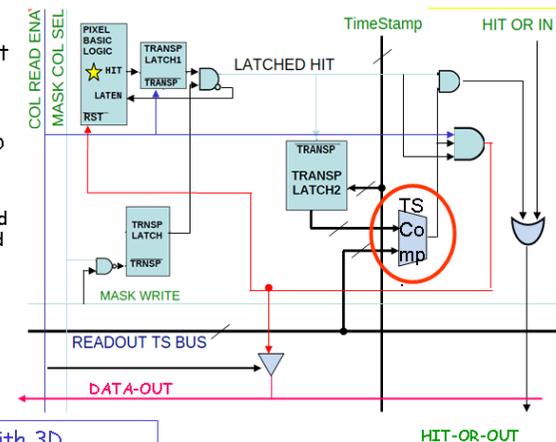
Fase II: Sviluppo dell'architettura di readout.

- Collaborazione con BO nello sviluppo del readout veloce per pixel (rate 100 MHz/cm², TS = 100ns, data push & triggered).

- Prima implementazione nelle matrici INMAPS 32x32: test-beam 2012
- Implementazione successiva nella prossima sottomissione 3D Chartered/Tezzaron per MAPS e FE per pixel ibridi.

Exploiting 3D integration for next submission: in-pixel logic with time-stamp latch for a time-ordered readout

- No Macropixel
- Timestamp (TS) is broadcast to pixels & pixel latches the current TS when is fired.
- Matrix readout is timestamp ordered
 - A readout TS enters the pixel, and a HIT-OR-OUT is generated for columns with hits associated to that TS.
 - A column is read only if HIT-OR-OUT=1
 - DATA-OUT (1 bit) is generated for pixels in the active column with hits associated to that TS



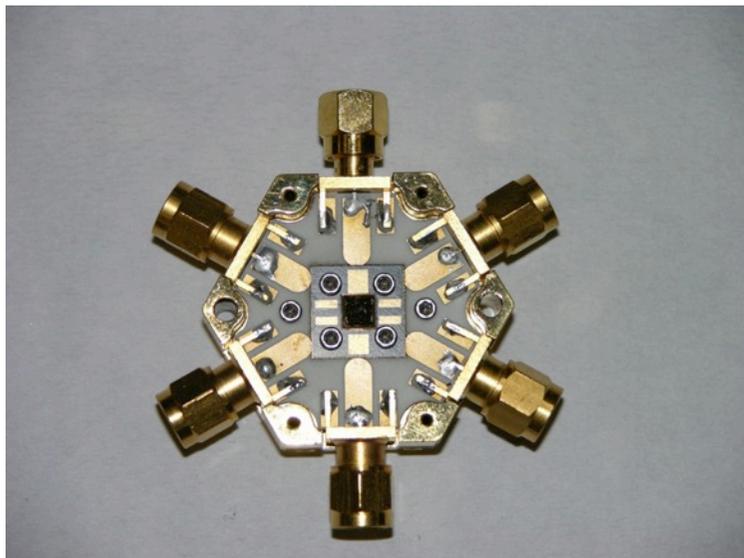
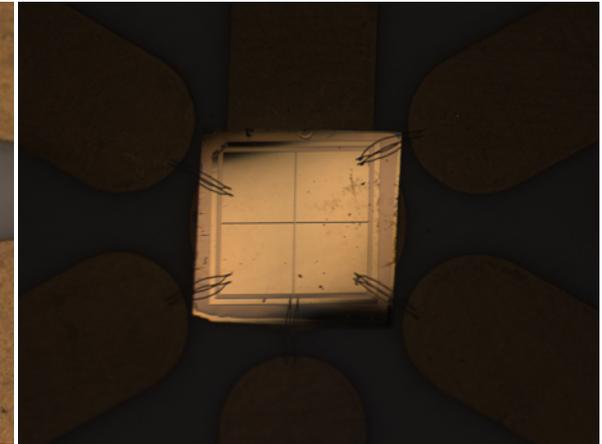
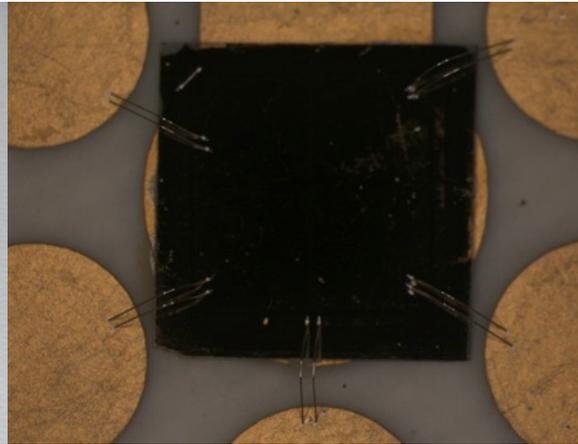
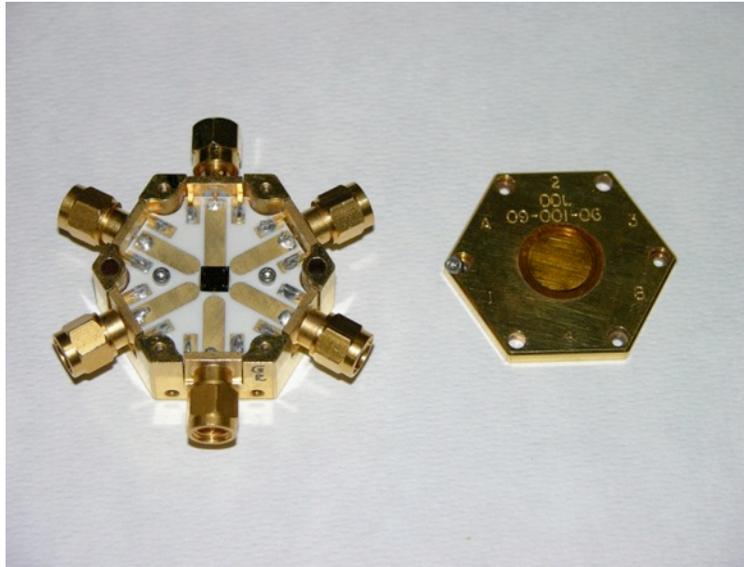
- More in pixel logic possible with 3D

Convergenza sulle attività con il diamante

- E' escluso la possibilità di connettere singoli canali veloci (\sim ns) sviluppati dalla collaborazione (65 nm)
- Vedi presentazione TS per:
 - Acquisizione sensori
 - Metallizzazione
 - Caratterizzazione statica
 - Connessione a catena di ampl. Calibrata
 - Test di raccolta di carica con sorgenti β
 - Connessione a amplificatore veloce

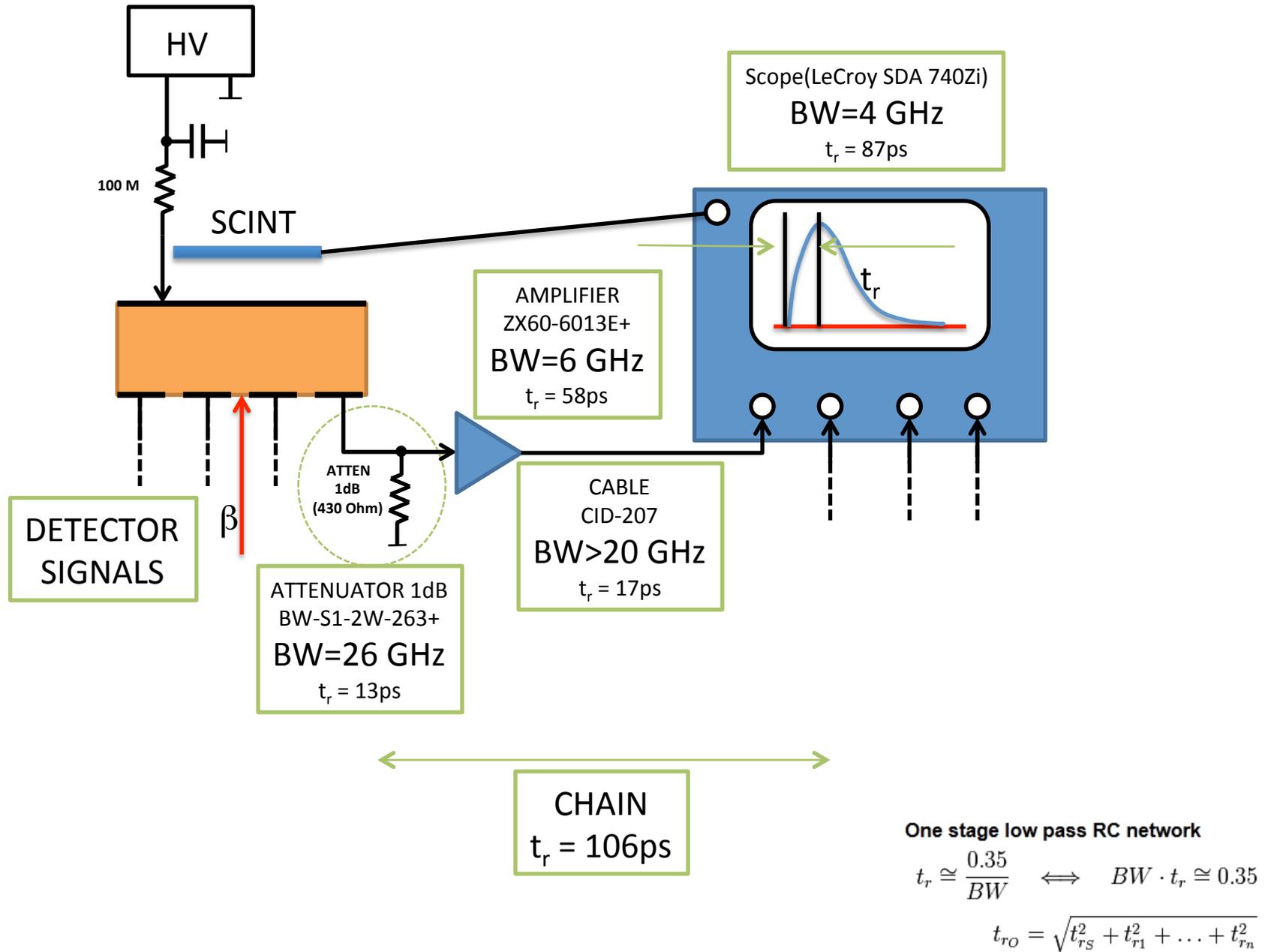
QUAD SC Diamond Detector

(4.7mm x 4.7mm - thickness=150/300 um)



Technical Specifications	
Detector type	High Purity CVD Diamond Single Crystal
Detector thickness	50,150,300 & 500 micron
Transmission	Thickness specific.
Bias voltage	Typically 0.3V/micron
Die size	4.7x4.7mm which includes 4 pads with guard ring and back electrode.
Metallization	Aluminium 100nm thickness.
Package size	Module 09-010-00 10x10x0.5mm with a centre 3mm hole over which the die is mounted. Package 09-001-06 ~40mm Diameter by 15mm thickness (6mm window).
	
Connection for package 09-001-06 A - Back electrode B - Guard Ring 1 - Electrode-1 2 - Electrode-2 3 - Electrode-3 4 - Electrode-4	

Segnale dal diamante: 36 e-h/um



Connectorized Amplifier

ZX60-6013E+

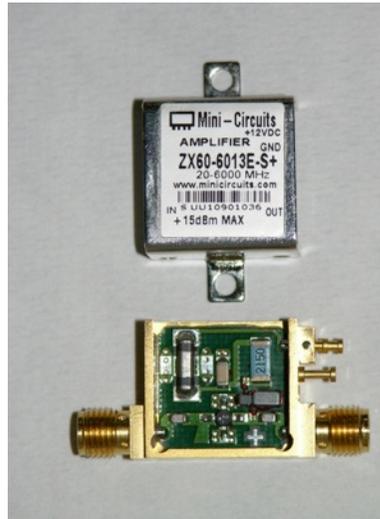
50Ω 20 MHz to 6 GHz

Features

- Wide Bandwidth, 20 MHz to 6 GHz
- Low Noise Figure, 3.3 dB Typ.
- Protected by US Patent 6,790,049

Applications

- Buffer Amplifier
- Cellular
- PCS
- Lab
- Instrumentation
- Test Equipment



CASE STYLE: GC957

Connectors	Model	Price	Qty.
SMA	ZX60-6013E-S+	\$49.95 ea.	(1-9)

+ RoHS compliant in accordance with EU Directive (2002/95/EC)

The +Suffix has been added in order to identify RoHS Compliance. See our web site for RoHS Compliance methodologies and qualifications.

Electrical Specifications at $T_{AMB} = 25^{\circ}\text{C}$

MODEL NO.	FREQ. (GHz) $f_L - f_U$	DC VOLTAGE @ Pin V+ (V)	GAIN over frequency in GHz Typ (dB)								MAXIMUM POWER (dBm) Output (1 dB Comp.) Typ. f_L f_U	DYNAMIC RANGE		VSWR (:1) Typ.				ACTIVE DIRECTIVITY (dB) Isolation-Gain Typ.	DC OPERATING CURRENT @ Pin V+ (mA)		
			0.1	1.0	2.0	3.0	4.0	5.0	6.0	Min.at 2 GHz		NF (dB) Typ.	IP3 (dBm) Typ.	In		Out			Typ.	Typ.	Max.
														$f_L - 3$ GHz	$3 - f_U$ GHz	$f_L - 3$ GHz	$3 - f_U$ GHz				
ZX60-6013E+	0.02-6	12.0	16.2	15.9	15.2	14.3	13.4	12.7	12.1	13.0	13.4	5.8	3.3	28.7	1.4	1.6	1.2	1.2	3-9	39	50



Simulazioni (by E.Paoloni):

- Troppo basso Segnale/Rumore (Larga BW → noise)

Da implementare su PCB (da ottimizzare per C_D)

SC Diamond Detector FE Electronics for MIPs Timing

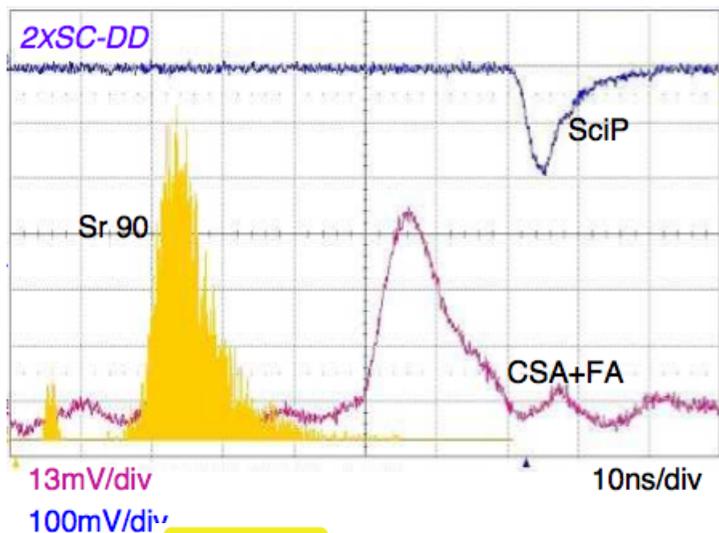
Andrei Caragheorgheopol

for

GSI – Darmstadt Group
and
NIPNE- Bucharest Group
of
NoRHDia Project

<http://www-norhdia.gsi.de/talks/2nd/cara.pdf>

NoRHDia2 Workshop



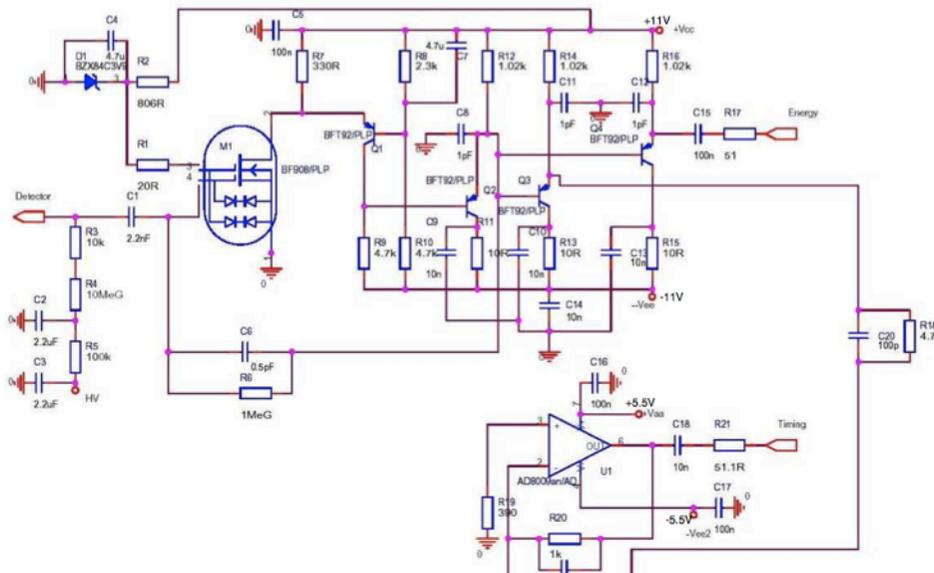
Summary

(dalla presentazione del 2005)

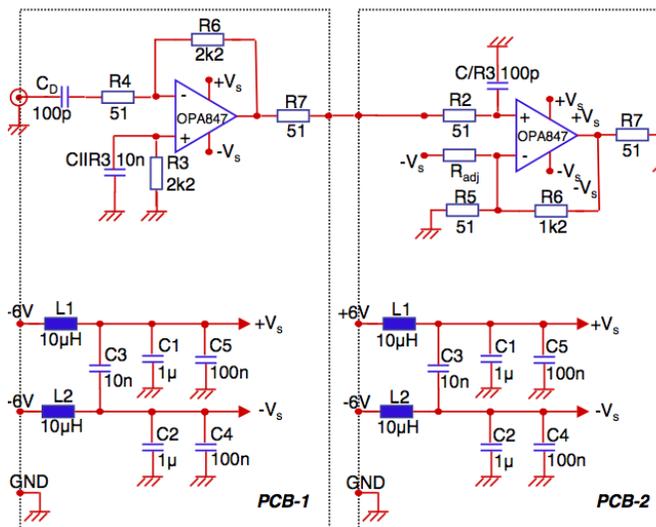
First results are promising

$S/N \approx 20$, $T_R \approx 1\text{ns}$

CSA and FA – circuit diagram

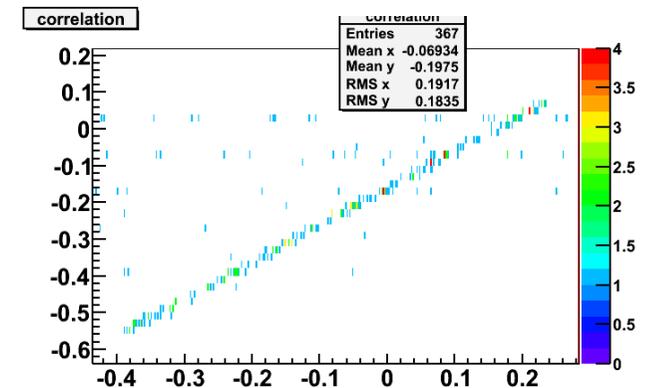
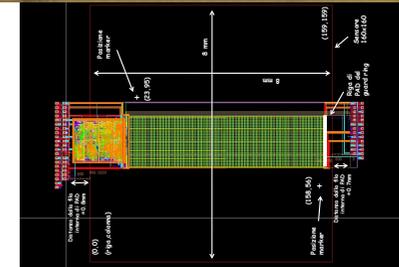
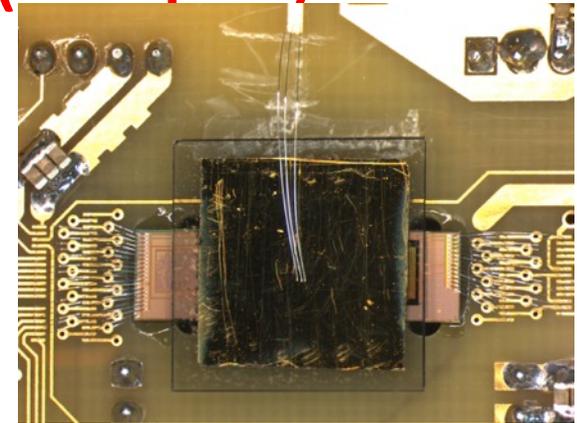


SA – circuit diagram



SuperPix0 con diamante (Diapix)

- u-saldatura (3chip) by INFN-PI
 - Test dei carrier: $V_{\text{bias}}=500\text{ V}$
 - Il substrato: 8mm x 8mm
- Caratterizzazione in lab.(non fatta):
 - Noise
 - Risposta alle β
- Caratterizzazione su fascio (1 chip):
 - Trovate correlazioni con i piani del telescopio: TB2012
 - Efficienza molto bassa: o(10%)
 - Calibrazioni: da capire
 - Test-stand da allestire con il DAQ(@BO)
- DIAPIX programma di fare un test-beam a CT ed uno a Desy (fondi AIDA, ATLAS-AFP):
 - Richiesta del firmware (sviluppato da Bo) da caricare su loro FPGA per DAQ
 - Interessati in qualche modo a partecipare o fornire qualche tipo di supporto (meccanica, setup, DAQ, manpower, altro...) ?



Resoconto economico

- Spesi: 17kE → 9/12 Ass. Ric.
- Da spendere:
 - Rendicontabili (fatture pagate entro il 16/10/13):
 - 2 kE attrezzature (strumentazione Lab.)
 - 20 kE altri costi di esercizio.
 - 10 kE da utilizzare x sensoristica TFD (vedi talk Filippo Bosi).
 - 10 kE contributo x possibile nuova sottomissione
 - Non rendicontabili (cofinanziare altra borsa?)
 - 18.9 kE