

Stato R&D su SVT-SuperB e prospettive future in Belle2

Pixel R&D Network Meeting
Milano 27-28 Marzo 2013

1. VXD in Belle2: pixel (PXD) + strip (SVD)
2. Possibile contributo italiano per VXD Day1
3. Criticita' di VXD e prospettive per upgrade in Belle2
4. Stato dell'R&D sulle varie opzioni per SVT-SuperB



Giuliana Rizzo
Universita' & INFN Pisa



Impressioni generali

- Collaborazione aperta e con basso impatto di “politica”
- Felici che ci uniamo a loro
- Approccio pragmatico e pratico ai problemi
 - “Facciamo e poi aggiustiamo piuttosto che ottimizziamo fino alla vite prima di fare”
- Abbastanza onesti sui problemi e debolezze
 - Fase avanzata di costruzione, ma ancora molto molto da dire e da fare
- Possibile contributo importante, non solo “di aiuto e servizio”. Utile per il successo del progetto.
 - Day1: un po’ di hardware, molto software
 - Phase 2: R&D + pezzi più grossi e rilevanti

Dal talk di Ushiroda

Issue 1

What are the tasks to be shared with talented and motivated people from SuperB?

- We are in construction phase of Belle II
- There must be no negative impact on our Day 1
 - R&D items for SuperB will never be our option for Day 1
- There are still tasks in short of manpower
 - Less in sensors/hardware, more in readout/software
- + their sophisticated ideas toward possible Belle II phase 2 (?)
 - Endcap calorimeter upgrade is one important but pending item
 - Let's *start talking about "phase 2"*. More discussions toward/ in July B2GM.

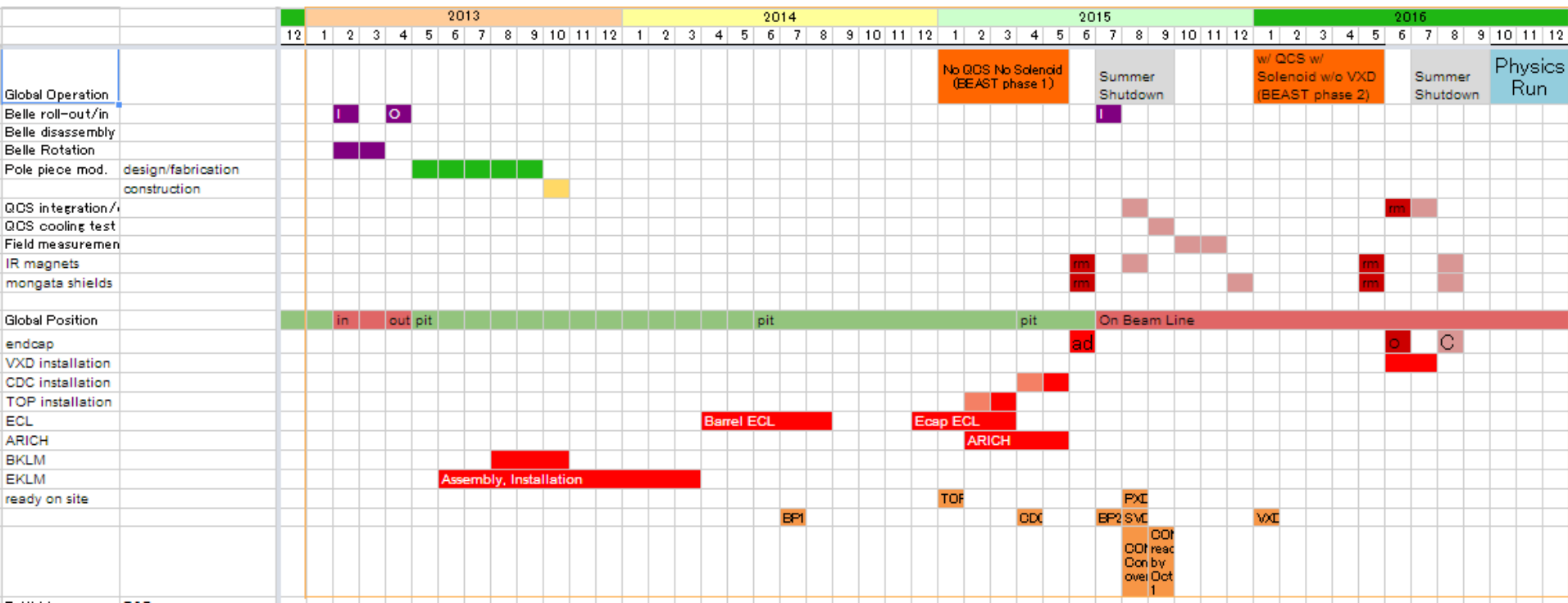
• Qui nessuna menzione di upgrade del vertice, ma anche in Belle2 c'e' la percezione che i pixel potrebbero necessitare un upgrade

→ Nella sessione di PXD c'era un talk su SOI pixels come possibile tecnologia per upgrade

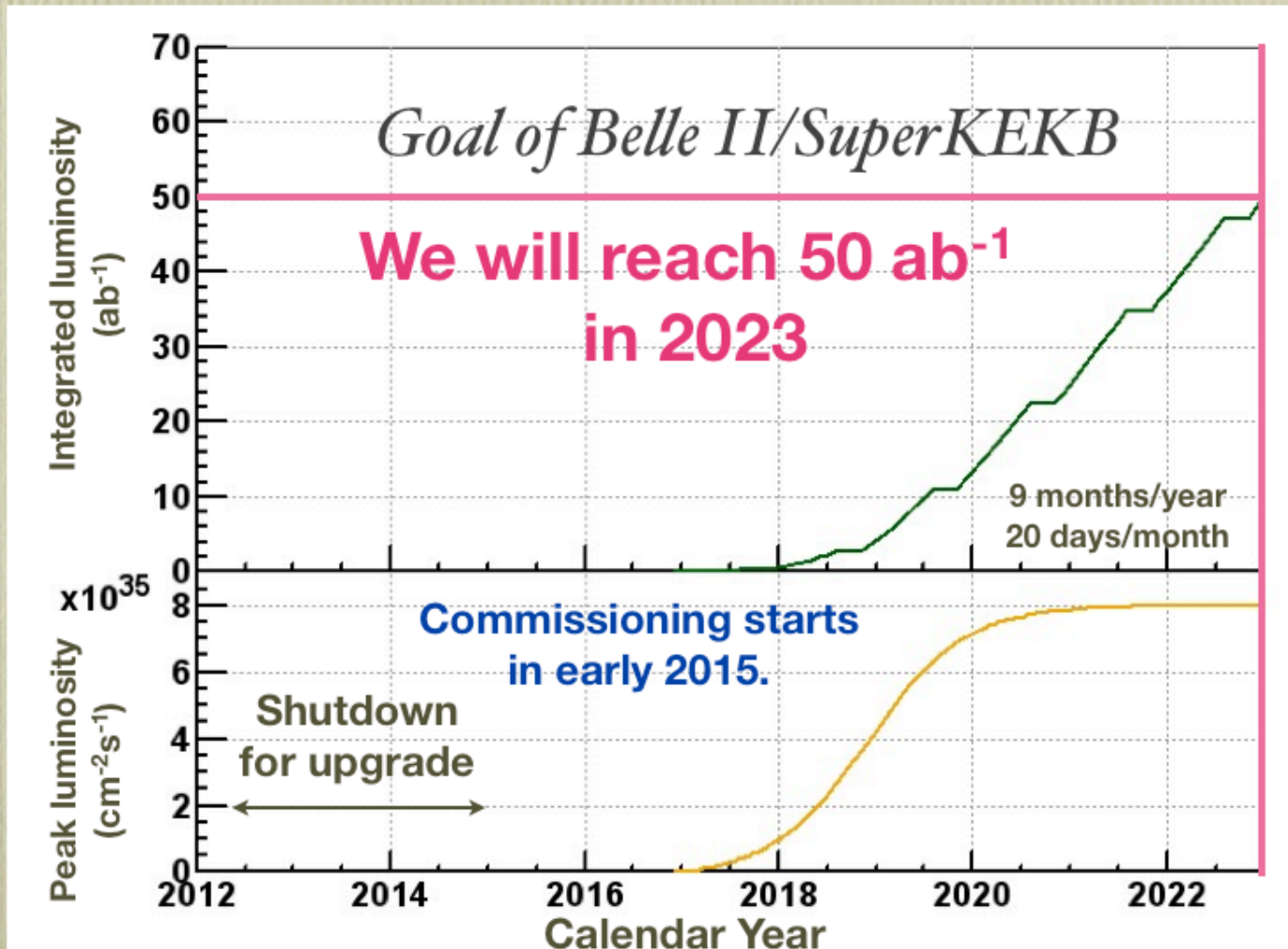
2013/3/4

Schedule

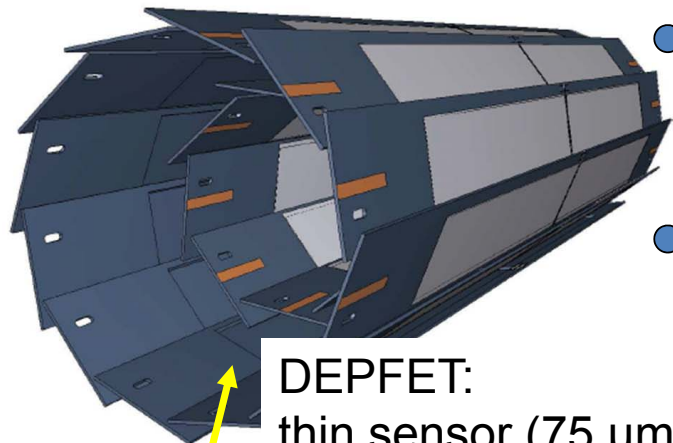
- Inizio 2015: Fasci circolanti senza detector e senza final focus (QCS)
- Fine 2015: Run di collisioni, ma senza SVD
- Ottobre 2016: Physics run con detector completo
- PXD+SVD ready @ KEK mid 2015
- Dettagli:
 - <https://docs.google.com/spreadsheet/pub?key=0Ap1uZWVWy6I0dFpSZzIMRllsTU9DM1Y1ZjBaN1o3NUE&gid=19>



SuperKEKB luminosity projection

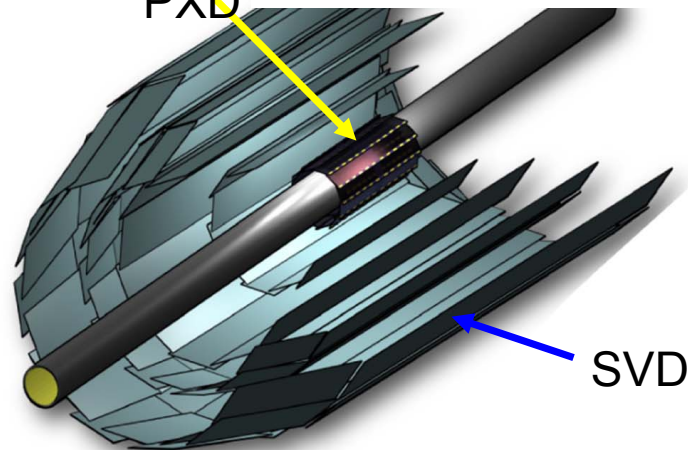


SuperKEKB: Nano beam option, 1 cm radius of beam pipe

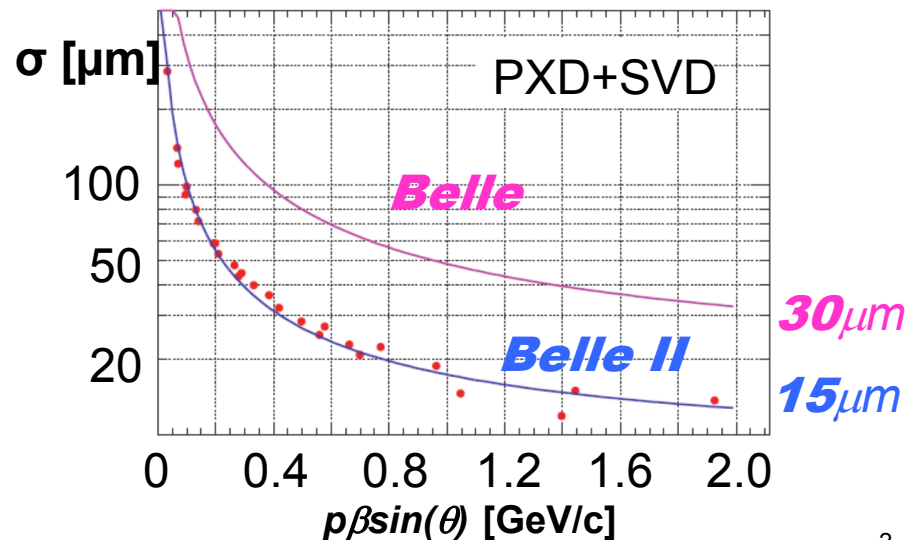


- 2 layer Si pixel detector (DEPFET technology) (R = 1.4, 2.2 cm) ← „PXD“
monolithic sensor thickness 75 μm (!), pixel size $\sim 50 \times 50 \mu\text{m}^2$
- 4 layer Si strip detector (DSSD) (R = 3.8, 8.0, 11.5, 14.0 cm) ← „SVD“

DEPFET:
thin sensor (75 μm)
unique worldwide



Significant improvement in z-vertex resolution



Total of 0.2% of X_0

2 layers: @1.4(2.2) cm

Pixels: 50 x 60(75) μm

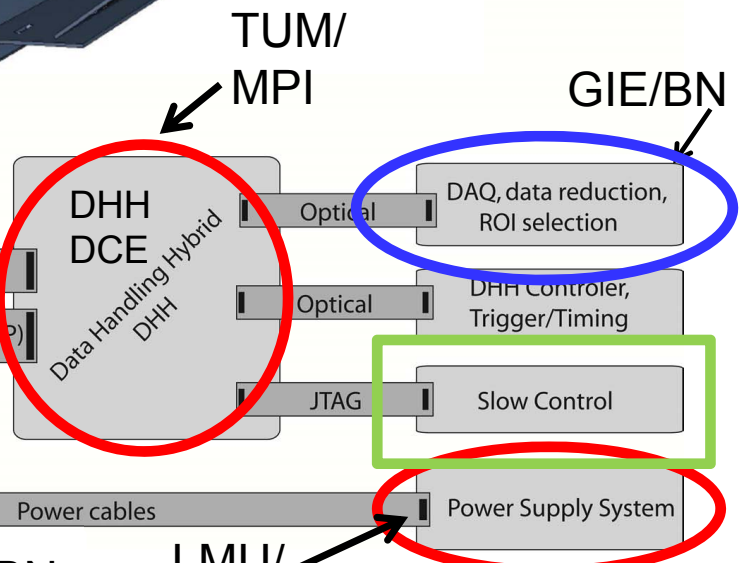
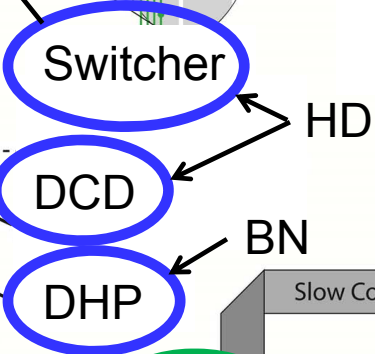
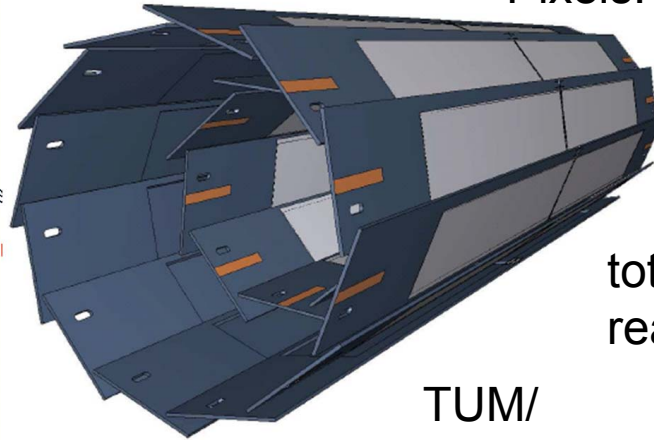
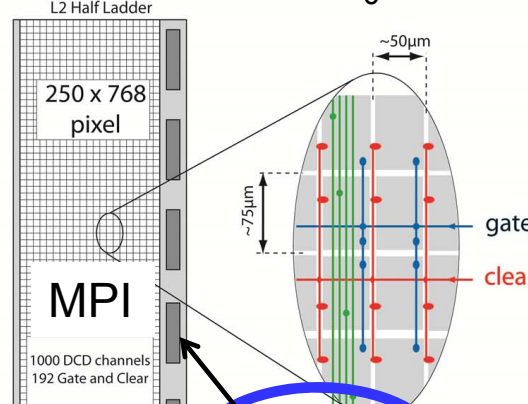
Thickness:
75 μm

total of 8 Mpx
readout: 20 μs

half
ladder:
768
rows

250
cols

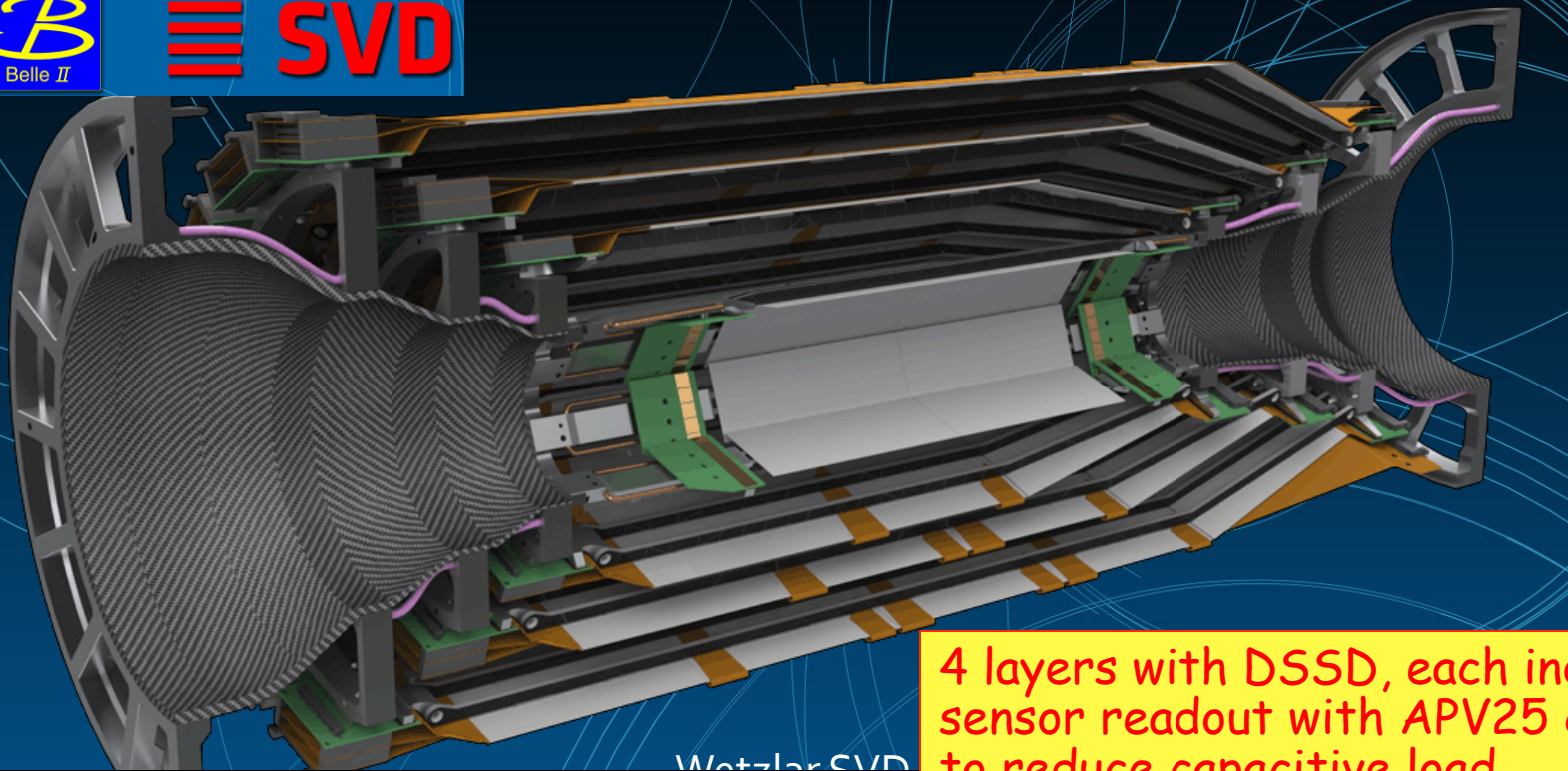
15 x
70
(85)
mm



Half-module
1.25x4.61(5.76) cm^2

total of 240 Gb/s !

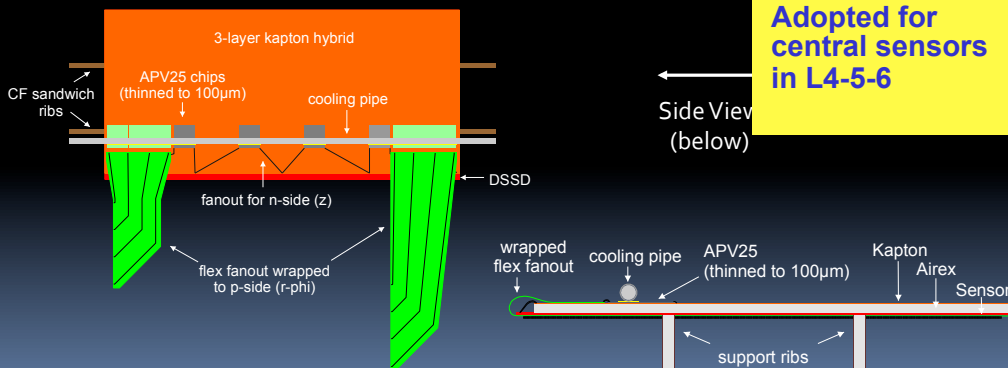
C. Kiesling, PXD-Session, 14th B2GM, KEK, Mar. 4-7, 2013



4 layers with DSSD, each individual sensor readout with APV25 chips, to reduce capacitive load

Origami Chip-on-Sensor Concept

- Low-mass double-sided readout
- Flex fanout pieces wrapped to opposite side
- All chips aligned on one side → single cooling pipe (D = 1.6 mm)

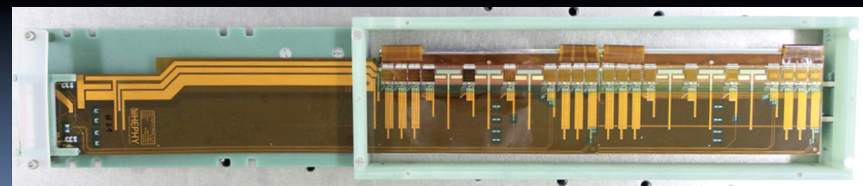


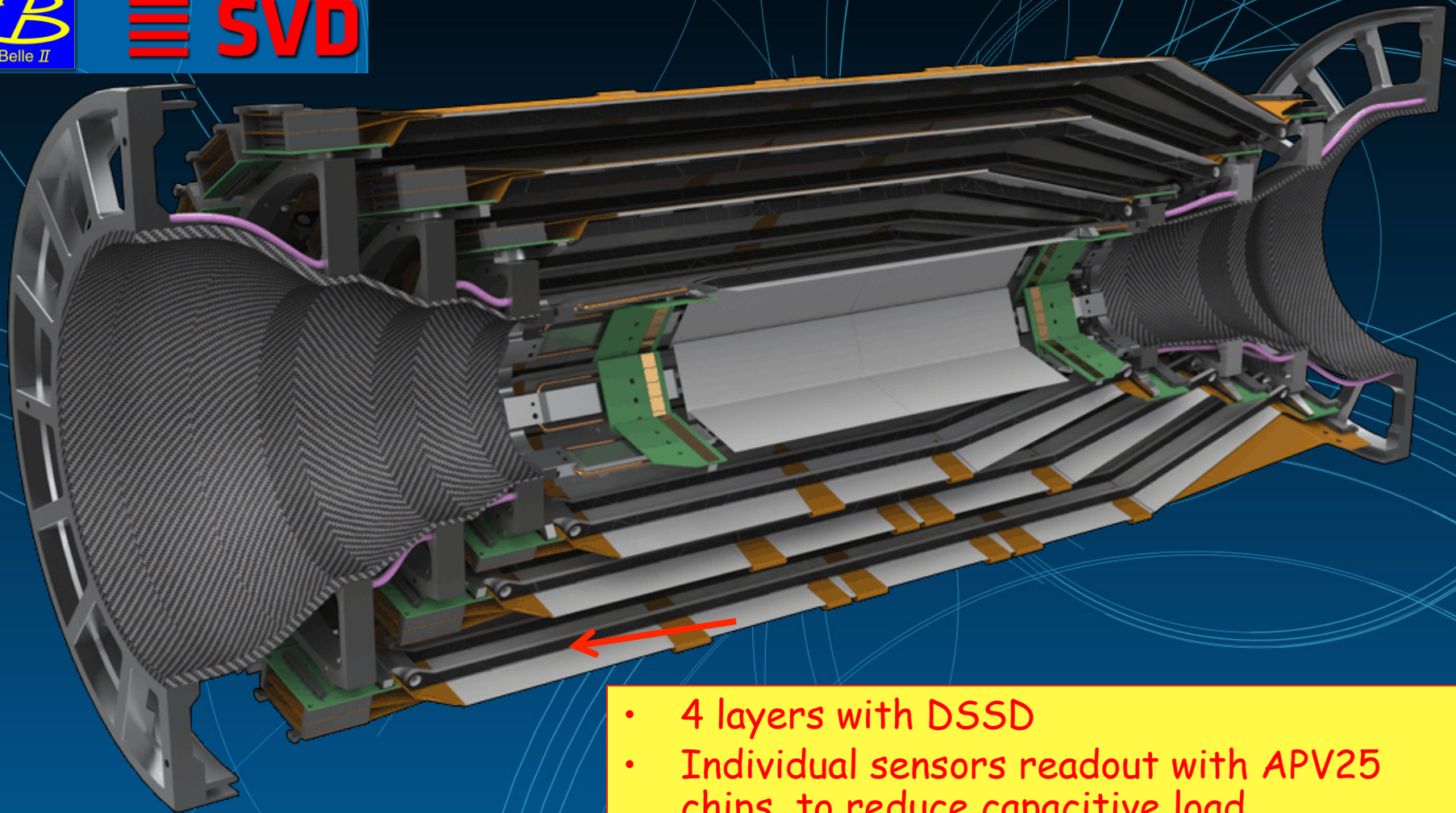
Origami Prototype Modules

- Single Origami module



- Double Origami module

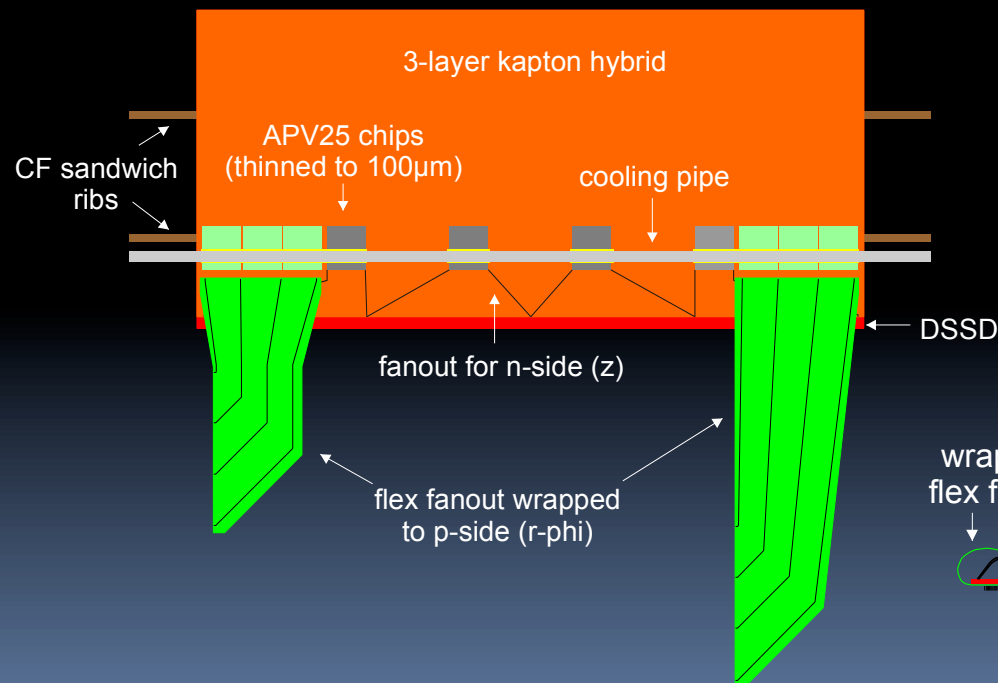




- 4 layers with DSSD
- Individual sensors readout with APV25 chips, to reduce capacitive load
- Origami chip-on sensor for central detector in L4-5-6
- Layer3 and Forward/Backward sensor in L4-5-6 have more conventional structure with chips on PCB hybrid

Origami Chip-on-Sensor Concept

- Low-mass double-sided readout
- Flex fanout pieces wrapped to opposite side
- All chips aligned on one side → single cooling pipe (D = 1.6 mm)

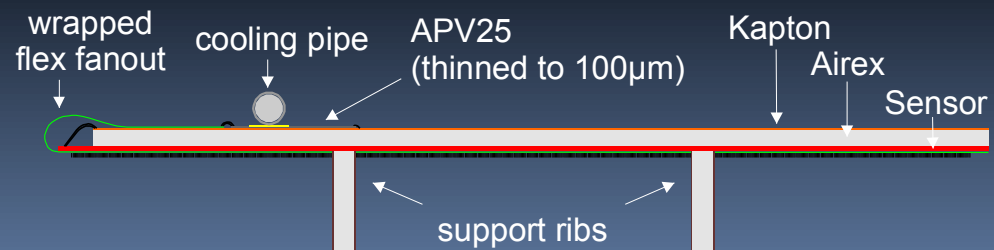
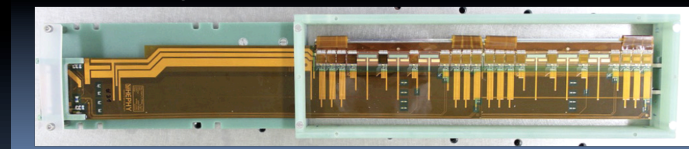


Origami Prototype Modules

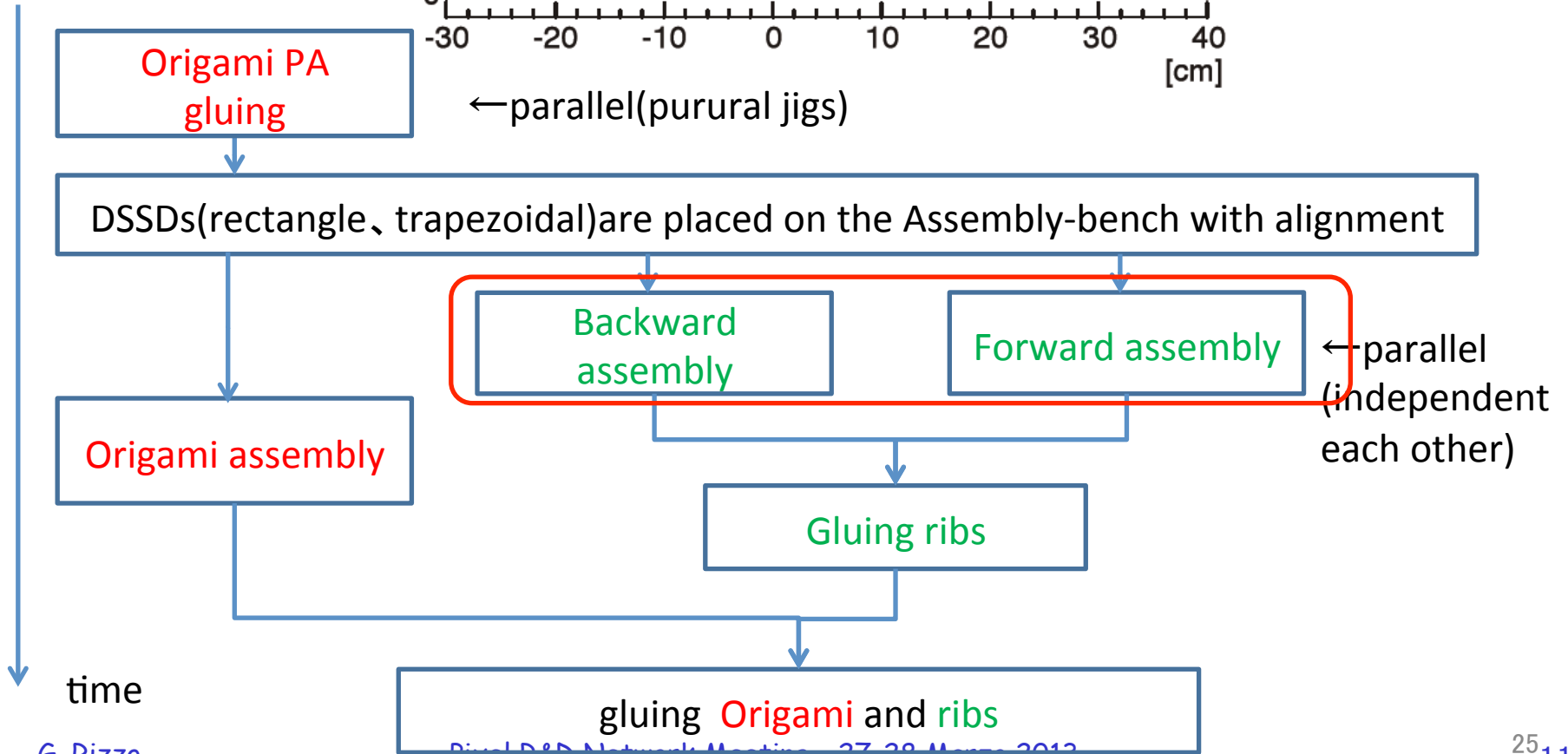
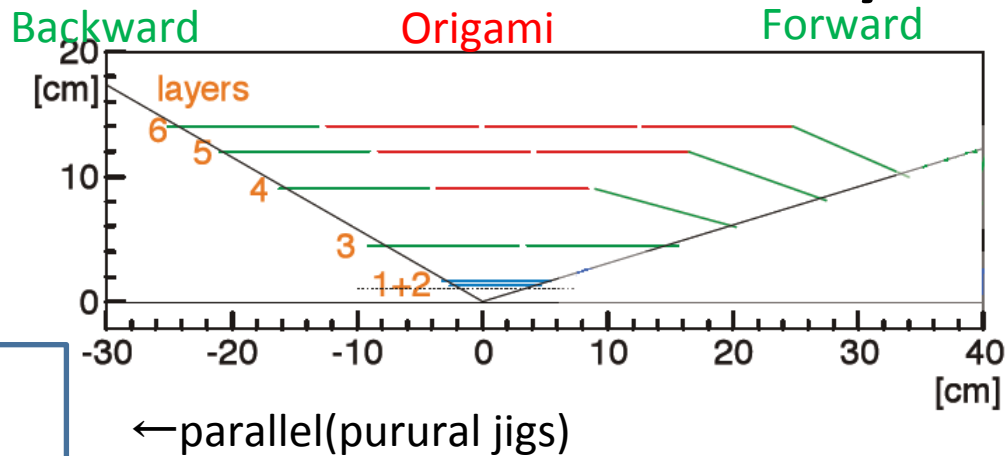
- Single Origami module



- Double Origami module



SVD ladder assembly flow



Possibile partecipazione a Belle2

- Task list fornita da Belle2 in
 - <https://agenda.infn.it/materialDisplay.py?contribId=0&materialId=2&confId=6095>
- Alcuni items gia' individuati in VXD:
 - Collaborazione assemblaggio ladders SVD
 - Forward/backward sensors for slanted layers (4-5-6) with simple layout (no origami)
 - Tracking
- Possibile collaborazione test sensori Micron wedge?
- Valutare la possibilita' di realizzare un modulo a triplets o strip r-phi - z con APV25, utile come backup solution in caso di non funzionamento DEPFET !
- R&D su possibile upgrade per PXD (next slides)

"Debolezze" di PXD in Belle2 (I)

- Timestamp nei DEPFET 20 us:
 - background occupancy nominale $> 1.5\%$ (fino a 2.5% in un modulo) molto vicino al limite ($\sim 3\%$) considerato accettabile per
 - bandwidth dei moduli
 - per la ricostruzione (deterioramento della risoluzione in funzione dell'occupancy, studio già fatto in Belle2?)
 - SE il background è più alto si ha inefficienza e peggioramento graduale delle performance.
 - Necessità di operare i DEPFET in "gated mode" per renderli insensibili durante il passaggio all'IP dei bunches "rumorosi" (in cui si è iniettato da poco). Passaggio 2 volte nei 20 us di TS ed occupancy 100%
 - Modalità gated provata su matrici di piccole dimensioni (con laser e fasci) ma solo in simulazione sulle matrici grandi/modulo. Primi prototipi PXD9 (matrici grandi) escono dal processo solo a metà 2014, un secondo batch a metà 2015!
 - SE questa modalità non dovesse realmente funzionare sul sistema finale, PXD è inutilizzabile per il 20% del tempo macchina.
- Pixel con sparsificazione e timestamp $< 1\mu\text{s}$ risolvono questi problemi

DHP 0.2 Tests

- Data processing
- SWITCHER sequencing
- Inter-chip communication
- Serial link

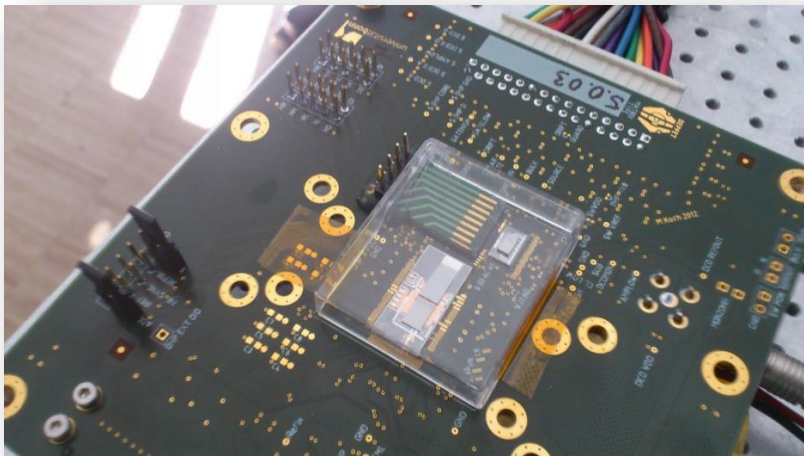
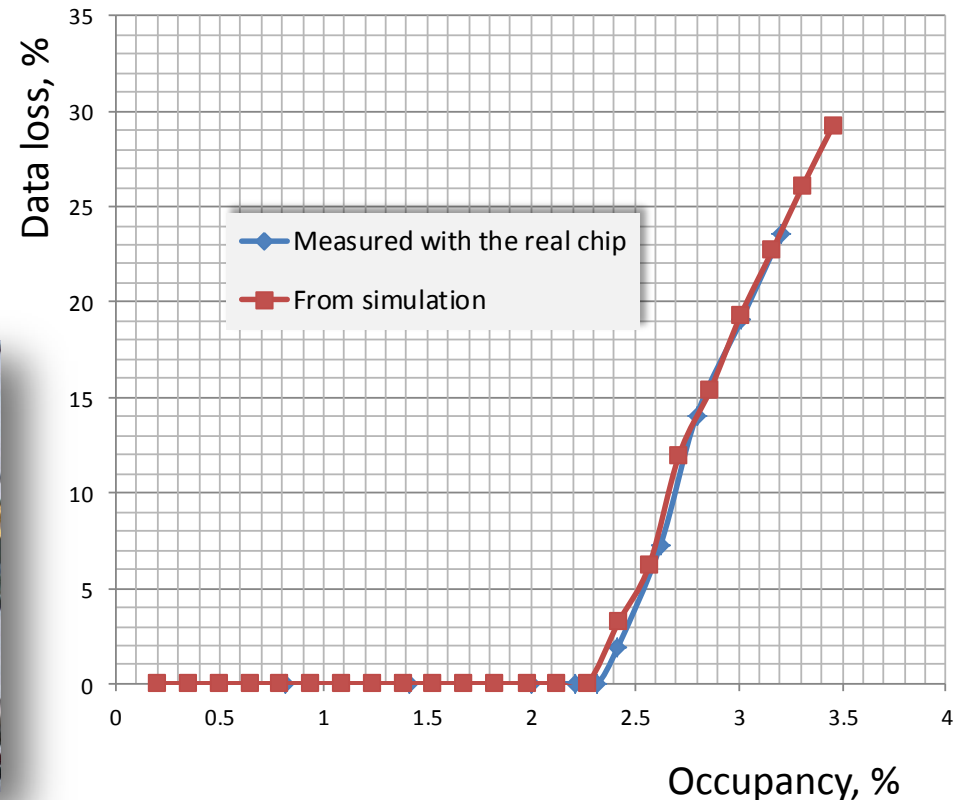
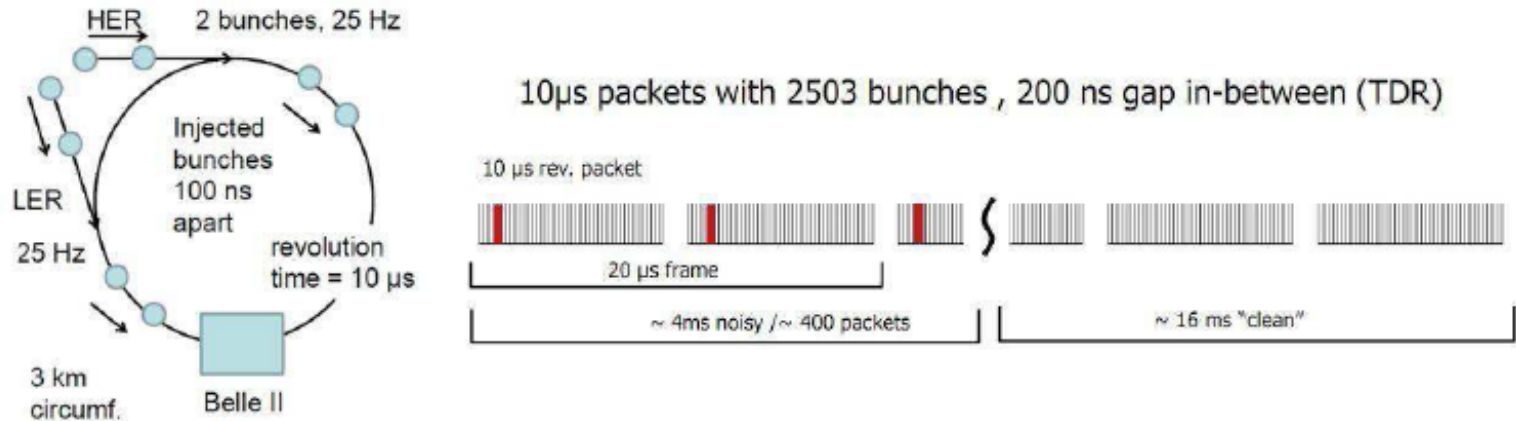


Photo of the hybrid 5 (without DEPFET matrix)

Un-triggered acquisition, DHP0.2 data loss characteristic as a function of the input data occupancy (C++ and real chip)



Continuous injection in superKEKB



Scheme of Injection [L. Andricek]

Noisy bunches fill the DEPFET matrix with background hits (twice in 20μs integration time)

-> hit overlay, pattern recognition impossible

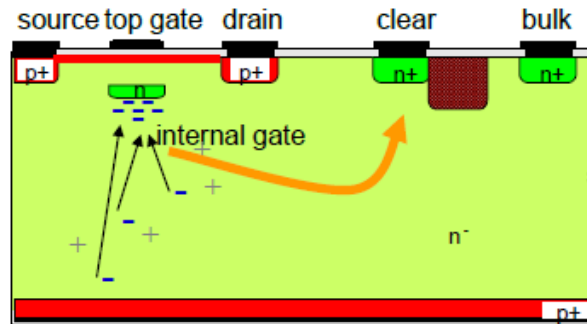
-> saturates bandwidth

May take 4 ms to cool down (as in KEKB)

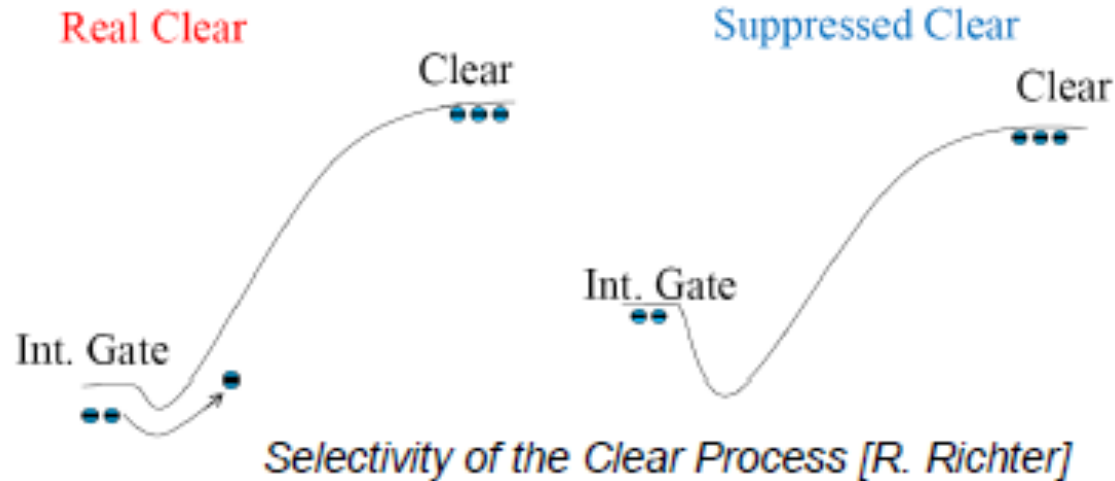
=> solution: gate ('blind') DEPFET during passage on noisy bunches

Gated Operation

In normal clear operation
 the gate is pulsed
 negatively
 (repels electrons)
 The clear is pulsed
 positively
 (attracts electrons from
 internal gate and bulk
 underneath)



In gated mode the gate is
 not pulsed,
 Remains attractive for
 electrons
 The clear is pulsed
 positively,
 Attracte electrons fro,
 bulk underneath



"Debolezze" di PXD in Belle2 (II)

- Radiation Damage:
 - TID 12.5 Mrad @ 50 ab⁻¹ + 25% da synchrotron radiation
 - Not negligible but tolerable for DEPFET? (check this)
 - **Neutroni?** Le loro stime attuali quotano 0.8×10^{11} n/cm²/yr, ma NON includono l'effetto di e⁻ da coppie che danno un danno equivalente a $\sim 1/20$ dei n da 1 MeV!
 - Dopo recente iterazione con Hiro Nakayama, responsabile del bckg in Belle2, la loro nuova stima includendo le coppie e' $\sim 2.5 \times 10^{12}$ n/cm²/yr
- "This is much larger than the fluence by real neutrons only, and close to the DEPFET hardware requirement (10^{13} n/cm² in 10 years)."
- E' importante capire meglio le loro stime anche per l'applicabilita' dei MAPS.

Alcune considerazioni generali (I)

- Qualunque R&D che vogliamo portare avanti non puo' essere solo finalizzato all'applicazione Belle2 pixel/strip upgrade (che non sono certi e quindi poco difendibili) ma deve poter avere sbocchi su altri fronti (FEL o altro) per poter essere presentato come progetto di R&D in GRV (oltre che eventualmente in GRI, quando diventasse una possibile applicazione per Belle2)
- L'architettura digitale sviluppata (sparsificazione e fast timestamp < 1us) permette l'applicazione con rate fino a ~ 100 MHz/cm² con buona efficienza del readout.
- I prototipi sviluppati (o in sottomissione) NON sono ancora oggetti finali e la parte periferica richiederebbe ancora parecchio lavoro per essere matura per un esperimento.
 - necessario manpower esperto addizionale su questo item!
 - Per proporli per Belle2 andrebbe creata una collaborazione con gruppi gia' coinvolti in PXD.

Alcune considerazioni generali (II)

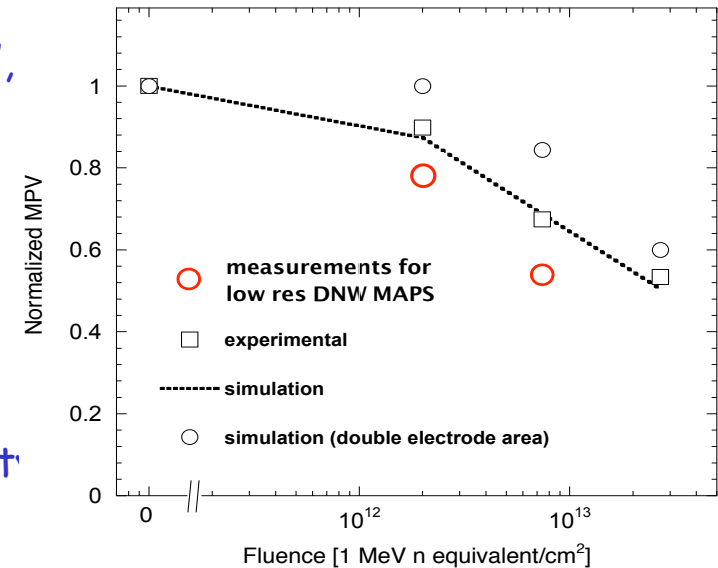
- Per la realizzazione di un modulo pixel multichip anche la questione del pixel bus ragionevolmente sottile (0.15% X0?) NON e' ancora risolta.
- Oltre a questi aspetti le diverse tecnologie su cui ci siamo concentrati hanno ancora vari problemi intrinseci non risolti (next slide).
- Altri problemi, capiti, assumo possano essere risolti con lavoro dedicato, con poche iterazioni: comparatore lento, dispersione di gain in 3DTC, dispersione in soglia Superpix0

Pending Issues on pixel R&D (I)

MAPS -2D INMAPS:

- induzione dal digitale su epi layer ad alta resistività, molto forte e non capita, ne compromette l'applicabilità (effi max misurata ~ 80%)
- Buona radiation hardness con epi layer ad alta resistività, ma ottimizzazione del sensore cmq necessaria per aumentare efficienza di raccolta
- 2.5×10^{12} n/cm²/yr in Belle2 (my best guess)
- Quale target per Belle2? 4 anni full lumi senza safet factor?

⁹⁰Sr 3x3 cluster signal



MAPS -3D Tezzaron/Chartered

- Turn around time e affidabilità delle interconnessioni 3D poco attendibile fino ad ora. Ora forse le cose stanno migliorando: nuovo run appena uscito sembra migliore (nuovi chip della nostra I sottomissione saranno in test a breve per verificarlo)
- Nei wafer con buona interconnessione, già testati, risultati promettenti come qualità delle interconnessioni e l'induzione NON è presente (layer digitale isolato!)
- Nuova sottomissione in fase di finalizzazione.
- Radiation hardness marginale per Belle2?
 - $S_{cluster}/N \sim 20$ before irradiation $\rightarrow S/N \sim 10$ after 3 yr @ full lumi

Pending Issues on pixel R&D (II)

• Hybrid pixel

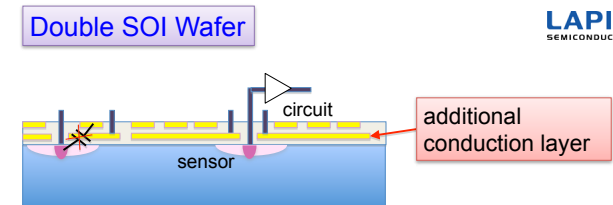
- Superpix1 50x50 um pitch in next 3D submission!
- Troppo spessi per Belle2?
- Integrazione verticale con Tmicro permette ulteriori assottigliamenti ?
- Rad hardness adeguata per Belle2
- Se pixel ibridi sottili sono accettabili per Belle2 potrebbe aver senso realizzare "a breve" Superpix65 nm, anche inserendo un po' di blocchi periferici necessari oer fare un passo ulteriore?
 - Aggrega manpower, interesse per altre applicazioni?

• SOI

- Nuova tecnologia per noi, ma recenti sviluppi (SOIPIX) Lapis, 0.2 um (ex OKI) la rendono forse piu' solida di prima per problemi di back gate effect, cross-talk e rad hardness

Table 6.2: Layer0 module material budget for the different technologies under evaluation.

Layer0 Module Material Budget (X_0)			
	Striplets	Hybrid Pixel	CMOS MAPS
Sensor	0.21%	0.11-0.21%	0.05%
FE-chip+bump bonding		0.14-0.19%	
Multilayer bus or fanout	0.15%	0.15-0.30%	0.15-0.30%
Module Support & ground plane (include cooling for pixels)	0.09%	0.15%	0.15%
Total Material Budget (X_0)	0.45%	0.55-0.85%	0.35-0.50%



- Shield transistors from bottom electric field
- Compensate electric field generated by the trapped hole in the BOX.
- Reduce crosstalk between sensors and circuits.

Chip di FE per strip/striplets (I)

- Il chip **potrebbe** essere potenzialmente interessante anche per altre future applicazioni, visti gli alti rate che permette di sostenere con l'architettura progettata (target 2 MHit/s/strip - Layer0 triplets), ma in questo momento non abbiamo un target ovvio!
 - un FE chip di questo tipo **potrebbe** essere utilizzato in Belle2 per rimpiazzare APV25 per un upgrade di SVD e permettere moduli con readout chip non in zona attiva. **MA** attualmente non e' previsto un upgrade di SVD e non sarebbe necessario se non ci sono failures degli origami modules.
- Il progetto, sia analogico che digitale, e' in fase avanzata:
 - Chip con canale singolo (layers esterni) gia' sottomesso a Nov 2012 (MI)
 - Design canali veloci (layers interni) a PV-BG.
 - Simulazione ad alto livello dell'architettura readout (BO-PI) completata.
- **Per realizzare il prototipo a 64 ch (gia' finanziato) serve cmq parecchio lavoro e dobbiamo decidere se davvero valga la pena di affrontarlo viste le attuali prospettive di utilizzo.**
 - I blocchi periferici che si svilupperebbero (o importerebbero dal CERN) in IBM 130 nm, potrebbero essere usati per un eventuale chip di pixel? (Serializzatore o altro)

Chip di FE per strip/striplets (II)

- E se provassimo il prototipo per le strip in 65 nm? (con meno canali, costi?), il lavoro fatto per finalizzare questo prototipo potrebbe essere riusato? Per i pixel a 65nm? Per acquisire esperienza sulla tecnologia?
 - Costo via CERN 65 nm 12 mm² (area minima) ~ 5kE/mm²
 - Finanziamento attuale 45kE per IBM 130, 16 mm² (?) ~ 2kE/mm²
- Va valutato se possibile formalmente, visto che l'impegno era su IBM 130nm
- Se invece decidiamo che non vale la pena di fare il prototipo per le strip, ne' 130 nm ne' 65 nm, ha senso pensare di usare quel finanziamento per un primo prototipo Superpix65nm (se ci orientiamo verso questa tecnologia per I pixel per il progetto di GRV?)
- Quale area ci possiamo permettere? Eventualmente aggiungendo altri fondi disponibili?

Tecnologia bus/fanout kapton-AI multilayer & low material

Iniziato sviluppo con CERN con passi fino a 65-70 μm .

- 2 prototipi pixel bus multilayer prodotti. In test il II prototipo
 - 1 prototipo Fanout 2 layers per stripsets disegnato e ordinato
- Pixel bus sottile necessario se vogliamo proporre pixel per Belle2
 - Rivalutare le specifiche sapendo che:
 - Lavoriamo triggered
 - Rates forse piu' bassi (no safety?)
 - Power dissipation hybrid pixel vs MAPS
 - Fanout multistrato per eventuale modulo strip o stripsets per Layer0 Belle2 con APV25?

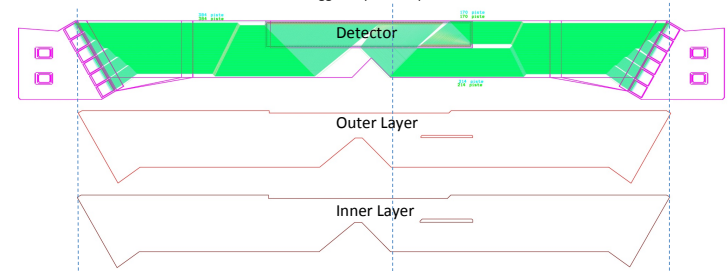


Fanout (layer 0)

M.Citterio(Mi)

A layout has been completed based on two layers:

- Trace pitch is 68 μm , "soft corners" used
- The traces are staggered plane to plane



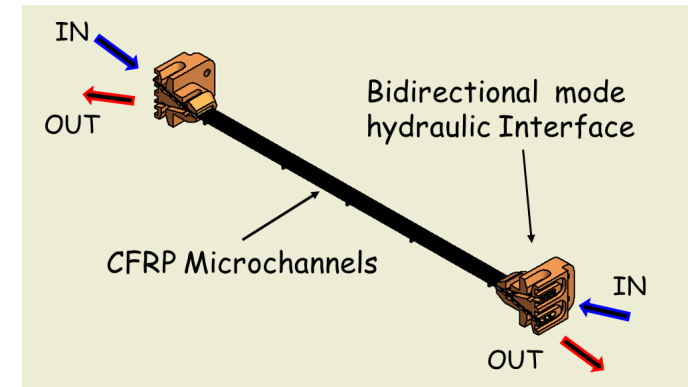
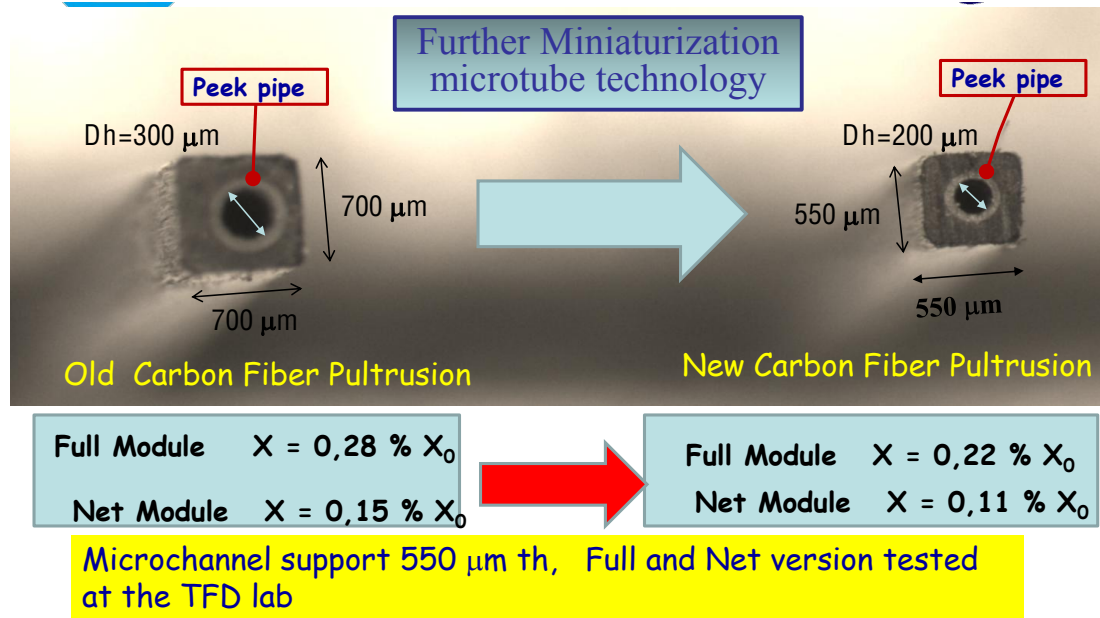
Cu based fanout

Sensor	rad length cm	thickness cm	rad length %	density g/cm ³
Si sensor	9.37	0.02	0.213447172	2.329
Fanout				
Cu lines	1.436	0.00045	0.031337047	8.98
Glue	35.5	0.0025	0.007042254	1.2
Kapton	28.5	0.004	0.11386014	1.42
Support CF	25.5	0.022	0.052955315	1.7
Total Material			0.409152311	

Al based fanout

Sensor	rad length cm	thickness cm	rad length %	density g/cm ³
Si sensor	9.37	0.02	0.213447172	2.329
Fanout				
Al lines	8.9	0.001	0.011235955	2.7
Glue	35.5	0.0025	0.007042254	1.2
Kapton	28.5	0.004	0.11386014	1.42
Support CF	25.5	0.022	0.052264223	1.7
Total Material			0.364320127	

Pixel support with μ cooling



27

F. Bosi, A. Bernardelli – 4th SuperB Collaboration Meeting, La Biodola, –June 2, 2012

- Cooling su microtubi con evaporativo (CO_2) sarebbe da sviluppare nell'ottica di una possibile applicazione in Belle2, dove un sistema con CO_2 e' usato in VXD.

Alcune conclusioni

- Su quale tecnologia ci concentriamo per futuro R&D ?

- In questo momento le nostre MAPS singolo layer INMAPS high res o MAPS 3D (doppio layer) low res, pur avendo l'architettura giusta, hanno performance marginali per applicazione in Belle2 e non sono pronte per essere proposte per un upgrade PXD.
- **MAPS INMAPS 3D** potrebbero risolvere il problema dell'induzione e essere abbastanza rad hard per Belle2.
 - tutto da verificare che siano processabili e quanto costose!
- Quale altra applicazione chiara, oltre all'upgrade di Belle2, per proporre la tecnologia MAPS INMAPS 3D in GRV?

- Se **pixel ibridi sottili** sono accettabili in Belle2 (quale spessore max e' accettabile? vertical integration con TMICRO permette assottigliamenti ulteriori rispetto a bump-bonding?), lo sviluppo di pixel ibridi a 65 nm offre dei vantaggi sociologici (aggrega manpower), ma e' piu' costoso (~2-3 volte) di quello a 130 nm.
- Se il 65 nm non e' strettamente necessario per le altre applicazioni che vogliamo perseguire in GRV (FEL ?) difficile procedere in questa direzione?

Backup



DEPFET-Collab. @ Belle II



Original Collaboration: DEPFET pixel detector @ ILC (since 2002)
now: design, deliver and operate the PXD for Belle II

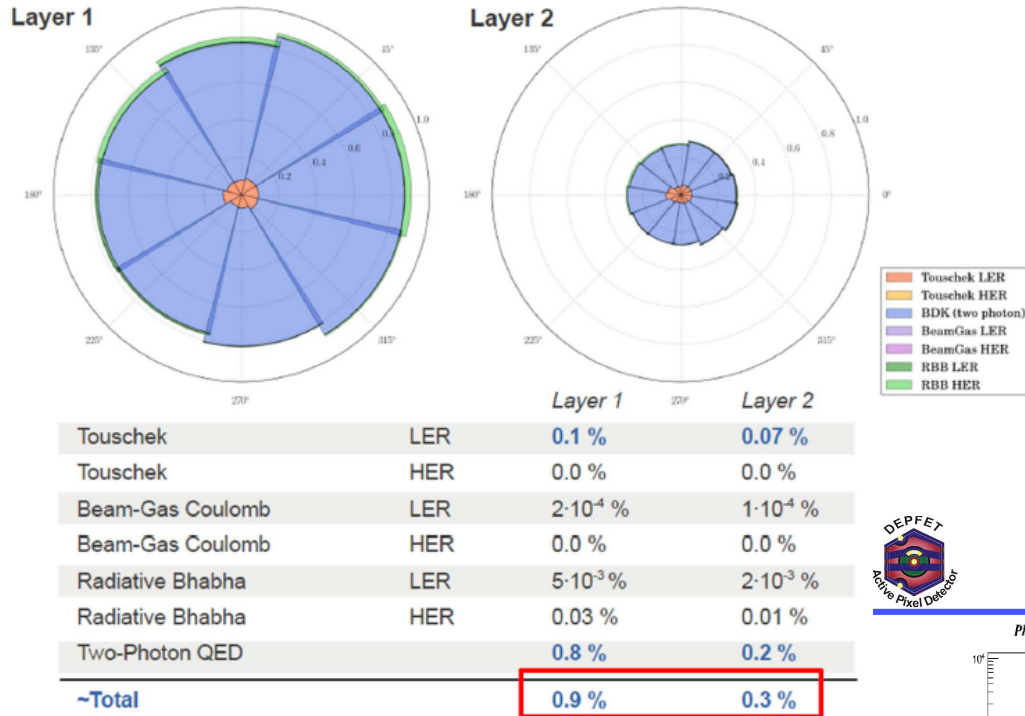
IHEP Beijing, China (Z.A. Liu)
Charles University, Prague, Czech Rep. (Z. Dolezal)
DESY Hamburg (C. Niebuhr)
University of Bonn (N. Wermes, H. Krüger)
University of Heidelberg (P. Fischer, I. Peric)
University of Giessen (W. Kühn, S. Lange)
University of Göttingen (A. Frey)
University of Karlsruhe (T. Müller, M. Feindt)
Ludw.-Max.-University, Munich (J. Schieck)
MPI for Physics, Munich (HG.Moser)
Technical University, Munich (S. Paul, A.Knoll)
Struct. Biol.Research Center, KEK (S. Wakatsuki)
IFJ PAN, Krakow, Poland (M. Rozanska)
University of Barcelona, Spain (A. Dieguez)
CNM, Barcelona, Spain (E. Cabruja)
IFCA Santander, Spain (I. Vila)
IFIC, Valencia, Spain (C. Lacasta)

DEPFET@Belle II

Management:

- Project Leader
C. Kiesling (MPI)
- Technical Coord.
H.-G. Moser (MPI)
- IB- Board
Chair: Z. Dolezal (Prag)
- Integration Coordinator
Shuji Tanaka (KEK)

Background in PXD is still evolving



Occupancy and radiation dose not negligible but tolerable

Scale with luminosity => 12.5 Mrad @ 50 1/ab

But: synchrotron radiation still missing!

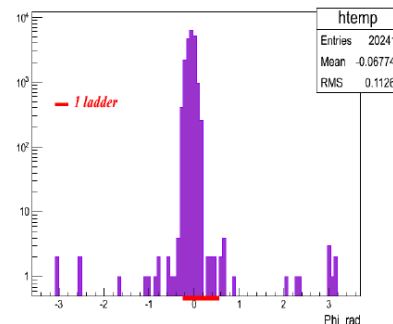
Moser, B2GM, March 7, 2013



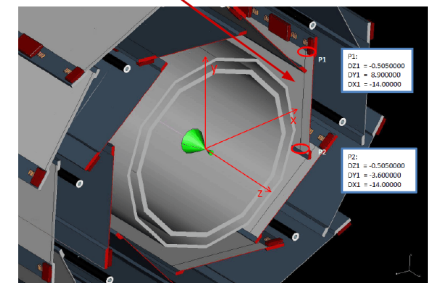
Synchrotron Radiation



Phi distribution of SynRad in Be part of beam pipe



Ladder with highest occupancy



LER: (0.6 +/- 0.15 % (essentially in one module, other 0.05%))
Misalignment (0.5mm) => 1.0 +/- 0.4 %

HER: 0.5 % (more or less uniform)

Again, significant, together with other background just at the limit.

At least the hot spot from the LER should be shielded

Radiation damage: only 1/1000 of photons convert in sensor oxide (adds ~25%)

Preliminary, low statistics

DHP 0.2 Tests

- Data processing
- SWITCHER sequencing
- Inter-chip communication
- Serial link

Un-triggered acquisition, DHP0.2 data loss characteristic as a function of the input data occupancy (C++ and real chip)

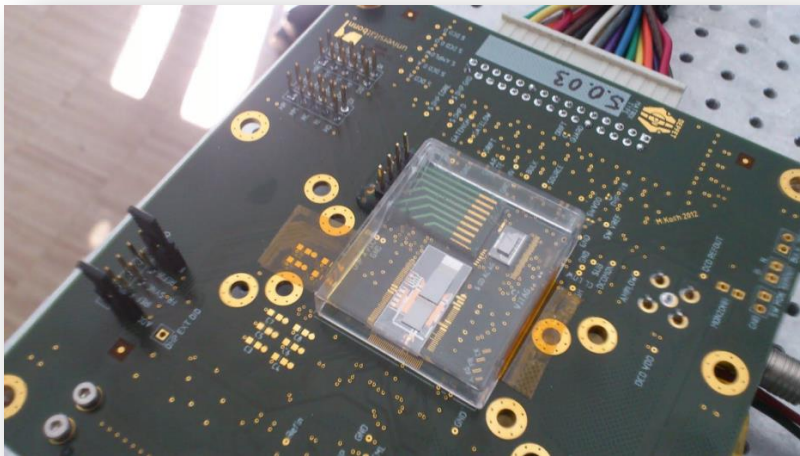
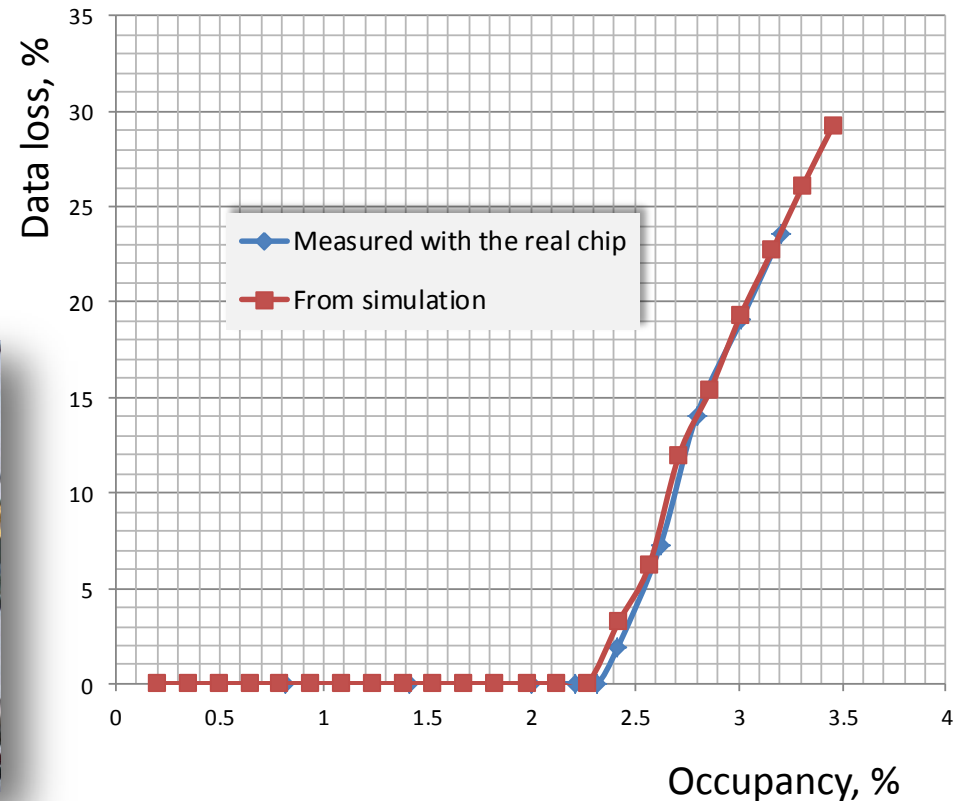
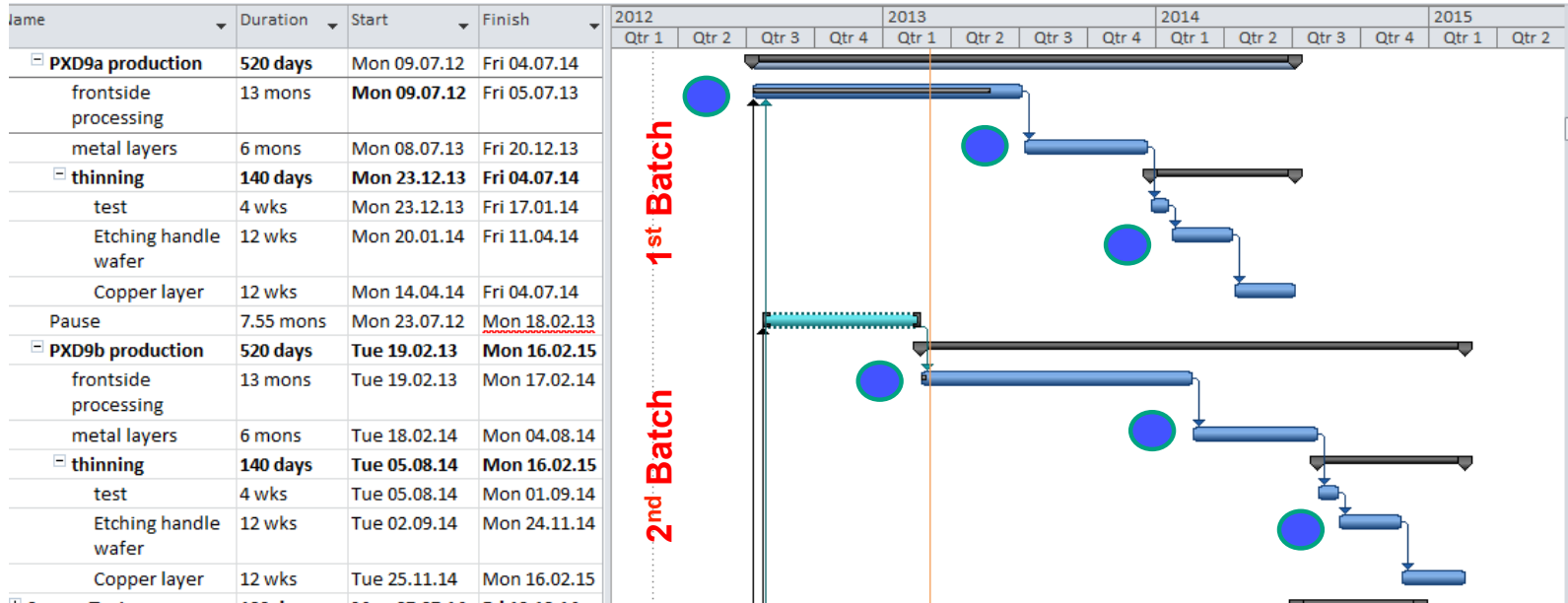


Photo of the hybrid 5 (without DEPFET matrix)

PXD9 sensor production



- **Front end process: Implantation, Dielectrics, Polysilicon (gates)**
=> 90% for first batch, 3 months ahead of schedule
- **Metal layers: two aluminum layers**
=>Very critical in terms of yield
=>Needs tests of the layout (complex routing, signal propagation): **wait for EMCM tests!**
- **Back end process: Thinning & copper deposition**

Front-end for triplets/strips

- Triplets (layer 0) and strips (layer 1 to 5) are the baseline option for the SuperB vertex detector
- Very hard (if possible at all) to cope with such a large span of detector capacitances (from 10 pF in the innermost to 70 pF in the outermost layer) and hit rate values (from 1 MHz/strip to 20 kHz/strip) with a single design
- Proposed solution
 - fast readout channel (25 ns to 200 ns peaking time) for low capacitance/high hit rate layers (0 to 3)
 - slow readout channel (from 400 ns to 1 μ s peaking time) for high capacitance/low hit rate layers (4 and 5)
- Amplitude information available through local A/D conversion with time over threshold techniques
- Digital readout architecture virtually the same for both readout channels (pipeline depth requirements are less severe for the slow front-end)

• **LAYOUT of first FE chip prototype (64 ch fast and slow + auxiliary blocks) is starting (IBM 130 nm). Submission Nov. 2012 with funding 2012 (45 kE – sblocco sj PV)**

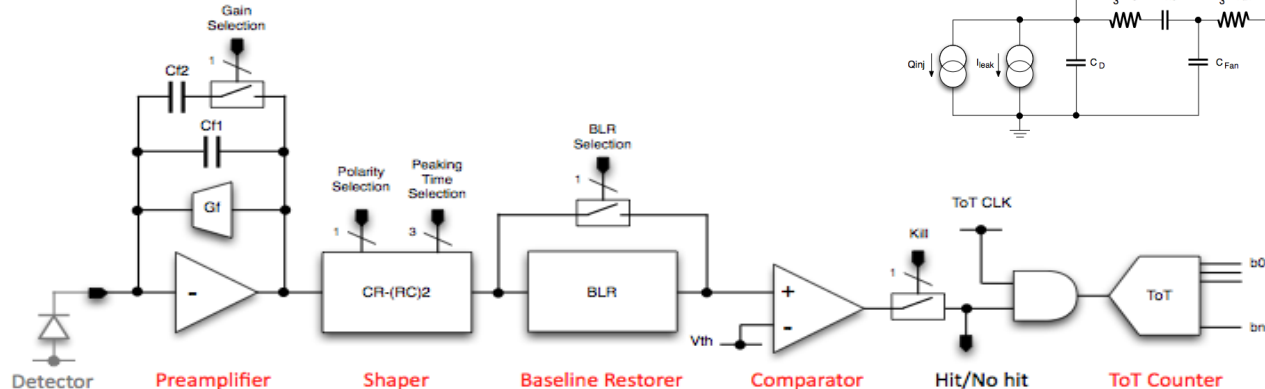
FE chip for Triplets/Strip (Analog)

PV/MI

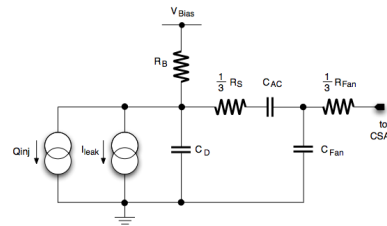
Layer	View	Shaping time	S/N at the start of data taking	S/N in 75 ab-1	S/N in 75 ab-1 x5 bkg	Hit rate/strip KHz	Efficiency Analog Nominal	Efficiency Analog with x5 safety factor
0	1	25	18	18	17	186	0.99	0.96
0	2	25	18	18	17	186	0.99	0.97
1	phi	75	22	21	18	170	0.98	0.92
1	z	75	34	30	21	134	0.98	0.91
2	phi	100	22	21	18	133	0.98	0.90
2	z	100	36	31	21	133	0.98	0.88
3	phi	150	28	23	16	115	0.96	0.82
3	z	150	36	29	19	79	0.98	0.90
4	phi	375	21	19	14	25	0.98	0.92
4	z	375	28	23	15	13	0.99	0.94
5	phi	750	22	20	16	16	0.98	0.89
5	z	750	30	26	19	9	0.99	0.93

- Analog FE simulation well advanced:
- Analog front-end for fast and slow channels simulated
 - the shaping time flexibility [25;200, 400-1000] ns will allow a S/N optimization in the actual background conditions. See table →
- Inefficiency due to pile up evaluated (analog dead time) with nominal & x5 bckg
- Hit time resolution simulated (important to reduce offline time window and related background occupancy)

Analog channel block diagram



Detector model used for the ENC evaluation



Strip Chip Architecture Simulations

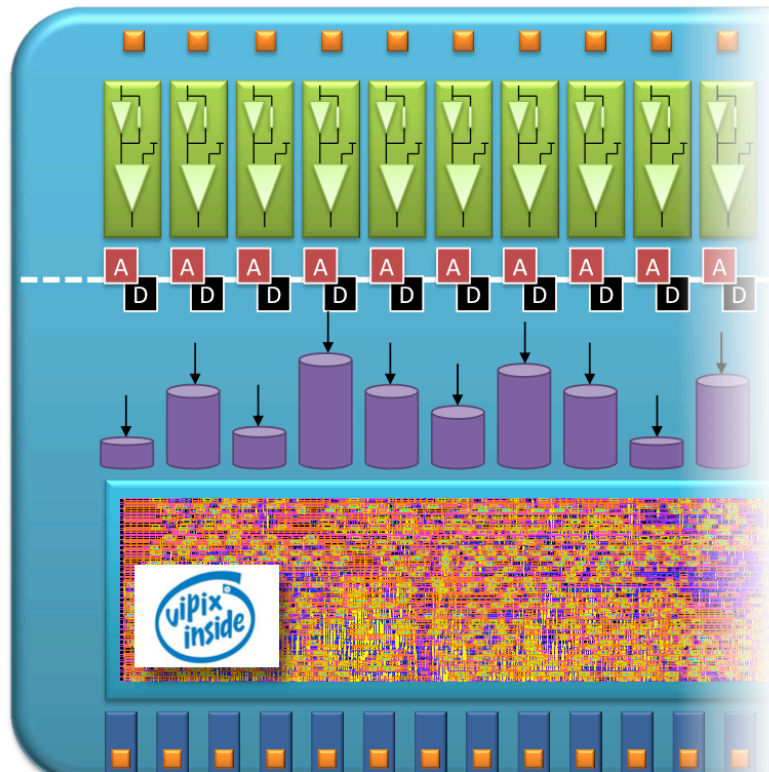
Conditions:

- **Trigger latency** 6 us
- **Trigger rate** 200 kHz. (SuperB nominal: 150 kHz)
- **Statistics:** Tens of *ms* of operation simulated (→ millions of hits)
- MC hit rate trimmed to **Layer 0 expected rates** with **x5 S.F.**
- **Time stamp resolution:** 30 ns (33 MHz BC clock)

Results:

- ~ **100 % efficiency** observed (digital only)
- Trigger buffers optimal depth: **32 hits**
- Logical verification of the architecture **OK**

The Strip/Striplet front-end Chip Diagram



128 input channels
Analog Front-End:
 • Pre-amplification
 • Discrimination
 • A/D conversion
 • 4-bit Time Over Threshold

Analog PV/MI

----- Analog / Digital boundary

Digital Hit buffers
 • Time Stamp
 • ToT

Control in-strip logic - PI

----- Trigger0 Selection

Digital Readout:
 • Control logic
 • Trigger handling
 • Hit encoding
 • Formatted output

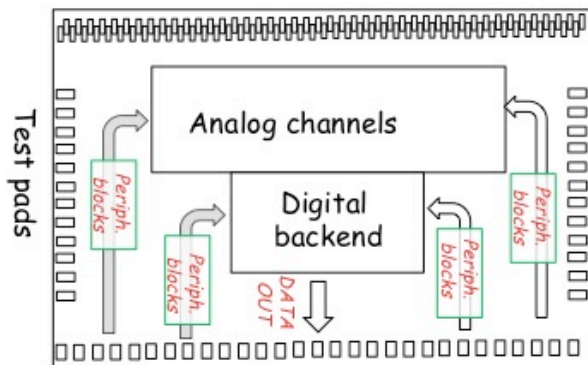
Readout Architecture - BO

Digital output / control pads

Responsability

Milestones for FE chip development

- 4Q 2012: first test structures, 64 channels (fast and slow front-end), auxiliary blocks
- 4Q 2013: first fully operational prototype chip - 128 channels (fast and slow readout) + test structures
- 4Q 2014: production run
- Account for some contingency after the first or the second step

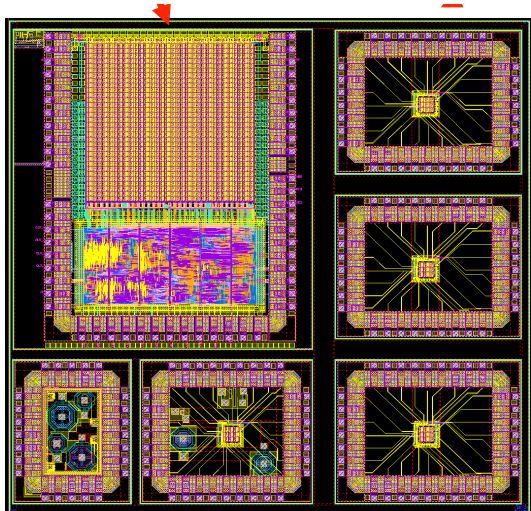


Auxiliary blocks (PV/MI/BO/PI+ Valencia) + some blocks developed from CERN IBM 130 nm

- First meeting with S. Marchioro in June.

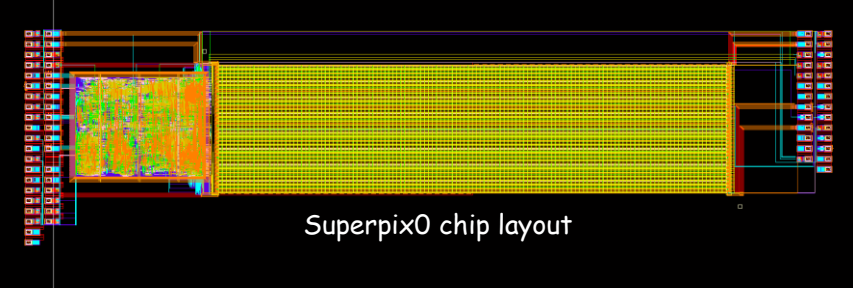
• LAYOUT of the first FE chip prototype (64 ch fast and slow + auxiliary blocks) is starting (IBM 130 nm). Submission Nov. 2012 with funding 2012 (45 k€ – sblocco sj PV)

32x32 pixels 50x50 μm , 180 nm

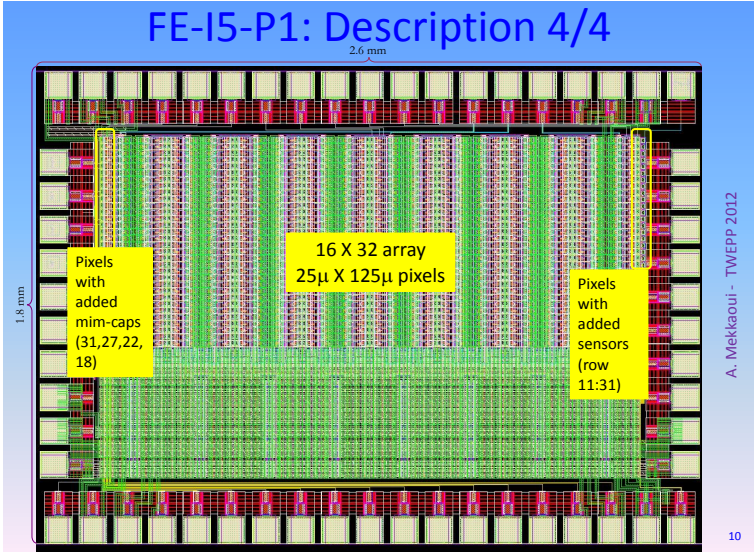


INMAPS Chip (5x5 mm²)

32x128 pixels 50x50 μm , 3x10.4 mm², 130 nm

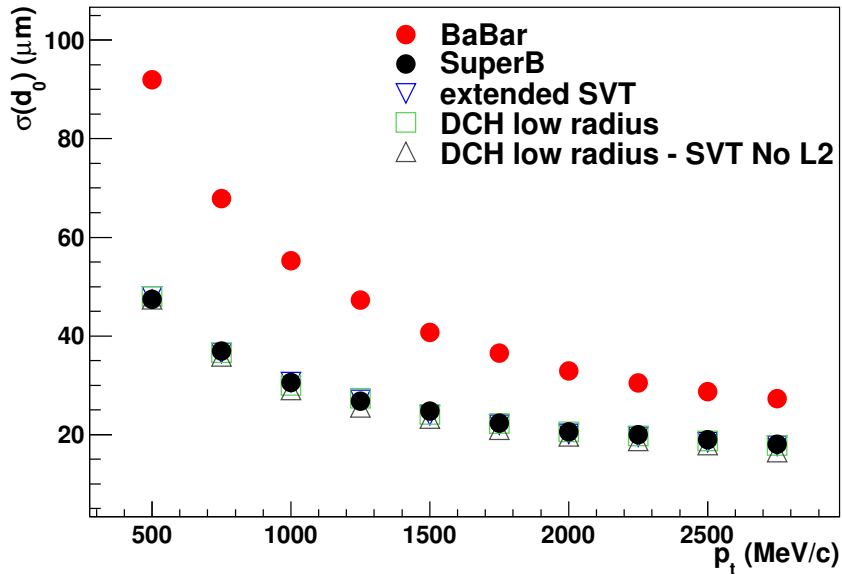


Superpix0 chip layout



A. Mekkaoui - TWEPP 2012

SuperB TDR performance



Significant improvement in z-vertex resolution

