

NA62

M. Sozzi - Riunione servizio elettronico INFN Pisa

Gennaio 2013

Esperimento in costruzione

Coordinamento TDAQ a Pisa

1 “dry run” e 1 run tecnico 2012

Produzione 2013

Installazione 2013-14

Prima presa dati fine 2014

Critical path (manpower Pisa)

TDC board



- 20 schede realizzate
- Produzione completa 2013 (totale 110 schede)
- Firmware abbandonato dall'autore, riscritto e simulato, in corso di **finalizzazione e validazione**.
- Distribuite, test sull'esperimento con vari rivelatori 2012.
- **Setup di test completo** da allestire a Pisa.

TEL62 - Past



- 15 schede realizzate e distribuite
- Problemi di **montaggio**
- Test parziale (solo con funzionalità limitate e firmware parziale) in technical run 2012
- Alcune **modifiche minori** sicuramente necessarie (schedina DC/DC conv.)

Non si è ancora potuto **validare** il progetto e testare se la scheda possa raggiungere le prestazioni richieste (1 MHz rate) o se siano necessarie **modifiche sostanziali**

TEL62 - Present

- Effettuate riparazioni in sede e da ditta esterna
- Implementazione test confrontabile con setup CERN per validare il progetto
- Ottimizzazione e test della parte di firmware esistente (parte di acquisizione)
- Realizzazione schedina DC/DC converter per valutazione componente da utilizzare
- Decisione su dimensioni FPGA

TEL62 - Future

SE NON NECESSARIA MODIFICA DEL PROGETTO:

- Produzione completa 2013 (totale ~100 schede)
- Identificare e testare nuova ditta per montaggio
- Completare acquisizione componenti
- Preparazione di un setup di test automatizzato
- Completamento firmware acquisizione
- Scrittura firmware trigger
- Comunicazione tra schede: schedine di interfaccia e scrittura firmware
- Pannelli frontali e meccanica schede
- Test run al CERN in 2013 e 2014
- Installazione e test al CERN

Manpower attuale

- M. Sozzi
 - J. Pinzino (dottorando II anno)
 - F. Spinella 70% (firmware, sistema di test)
 - M. Minuti 50% (firmware, test)
 - AdR cofinanziato su fondi PRIN (firmware, test, produzione)
- [Rinnovo art. 2222 / 23 E. Pedreschi non approvato]

Possibili sviluppi futuri ?

- Processore centrale di Livello 0
(responsabilità INFN abbandonata forzatamente da Pisa)
- Hardware di interfaccia per progetto trigger su GPU
(FIRB vinto, inizio Aprile 2013)