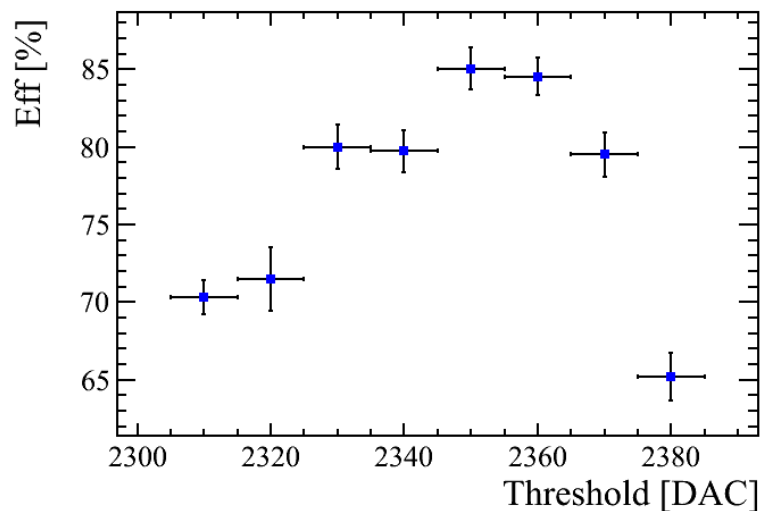


# INMAPS: indagine induzioni

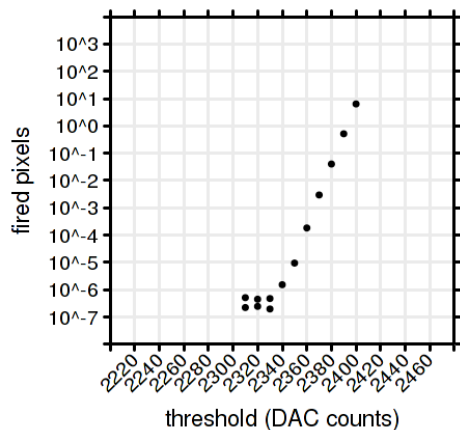
Test a Pisa dopo il testbeam al Cern

# Drop of efficiency due to induction due to readout activity?

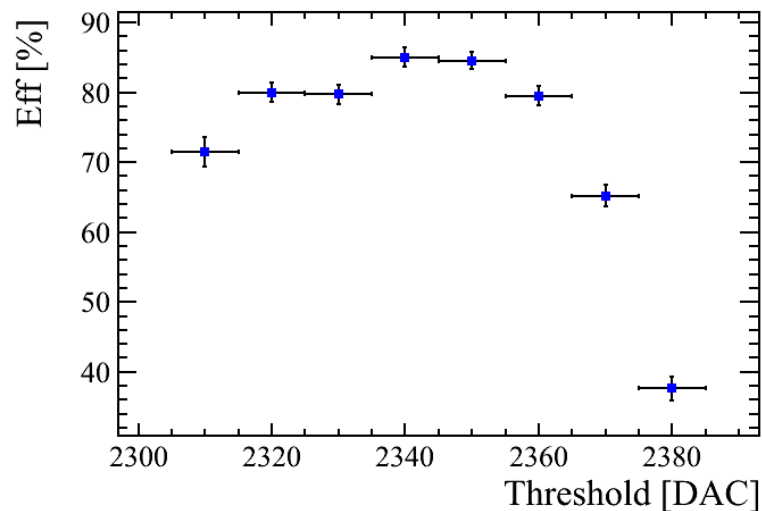
## CHIP 13



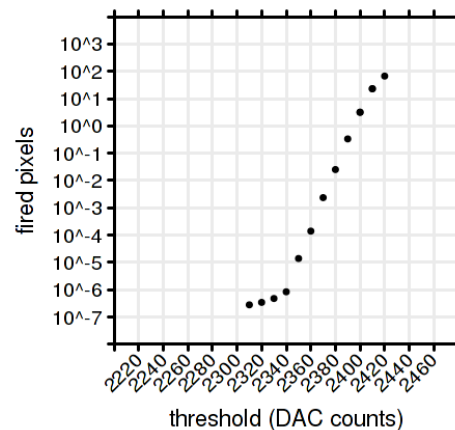
chip #13, fired pixels vs. thr



## CHIP 14

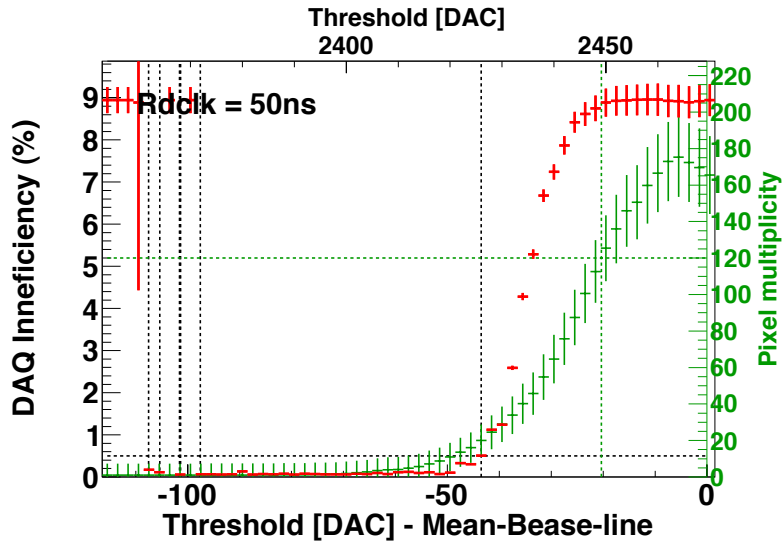


chip #14, fired pixels vs. thr

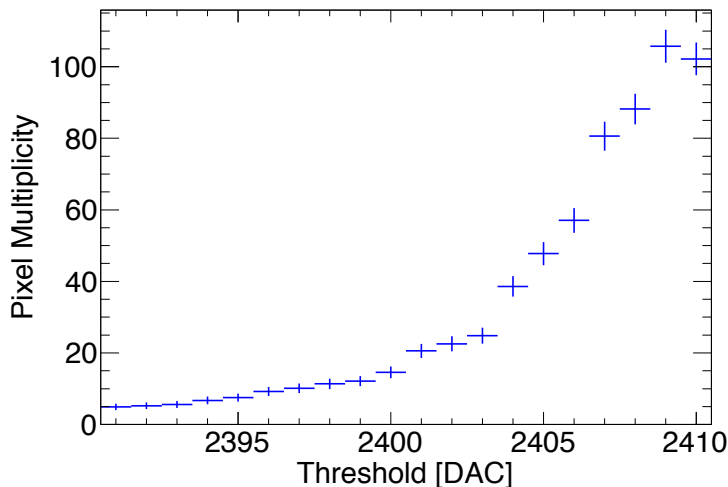


# Pixel multiplicity different when readout is active

“standard” calibration mode

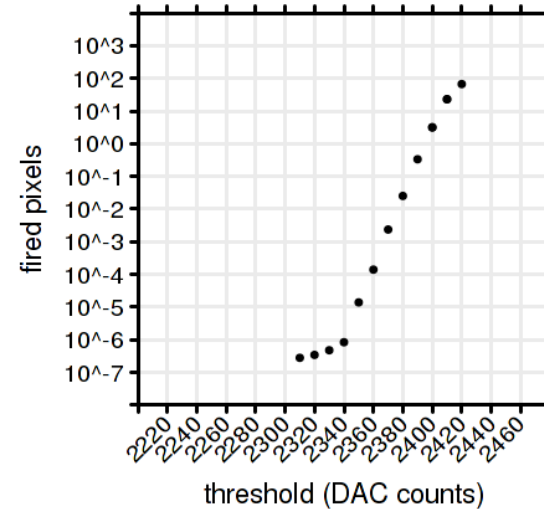


Average Pixel multiplicity



Testbeam data

chip #14, fired pixels vs. thr



“data taking” calibration mode

# Calibrazioni vs data taking

- La modalita' di calibrazione, utilizzata sia in lab che in testbeam, e' diversa dal modo operativo di presa dati durante il run di fisica, per due motivi principali:
  1. in calibrazione i pixel non possono scattare (master latch enable disabilitato) quando il readout e' attivo e legge i pixel. Questa modalita' ha varie motivazioni, che non elenco qui, ma rende "invisibili" eventuali effetti di induzione causati dal readout
  2. in calibrazione vengono abilitate solo poche colonne alla volta, perche' i barrel sul chip sono dimensionati per la fisica e quindi non per gestire lo scatto contemporaneo di tutti i pixel della matrice, che avviene con soglie "vicine" alla baseline.
- La valutazione delle possibili induzioni sui chip INMAPS era stata fatta alla ricezione dei primi chip a bassa resistivita' (con le matrici 3x3 analogiche) e non si erano osservati effetti significativi. Anche sulle matrici 32x32 digitali (bassa resistivita') avevamo fatto alcune prove (non estensive) con calibrazioni modificate, per avere il readout attivo mentre i pixel erano abilitati allo scatto, ma non si era visto niente di strano.

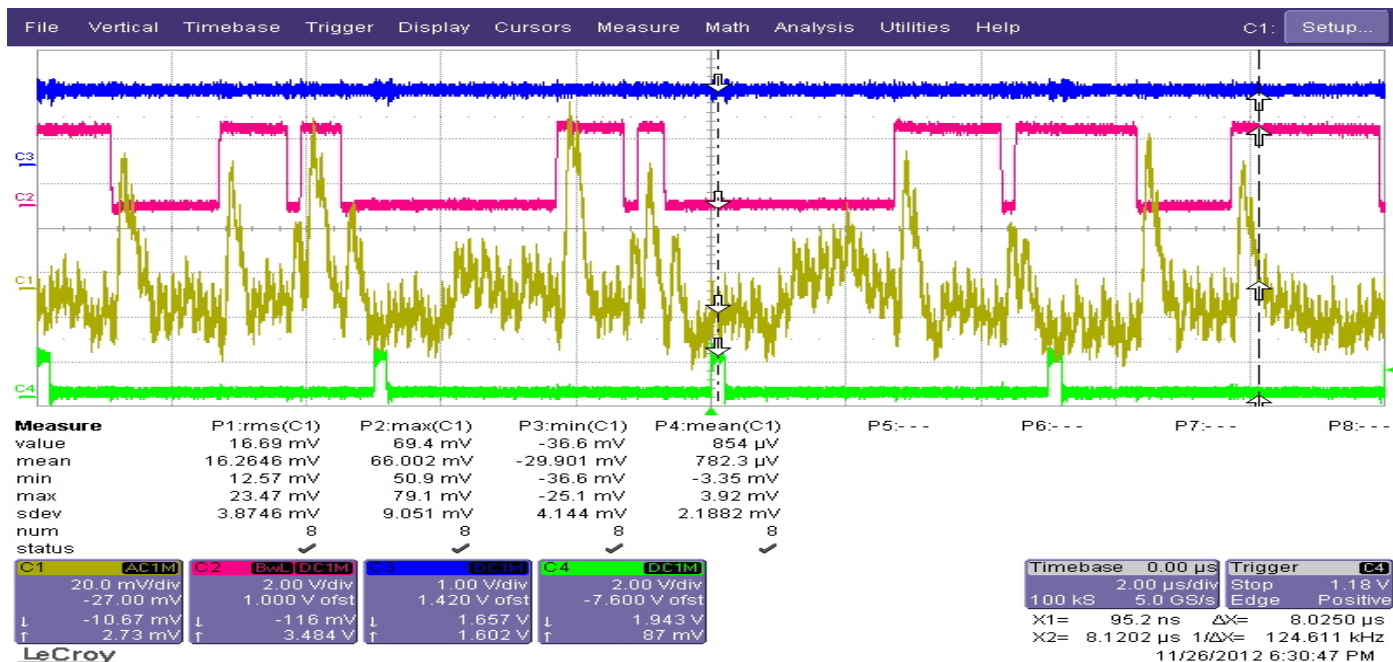
Poi i problemi visti sul comparatore avevano concentrato tutti gli sforzi e l'argomento induzione non e' stato piu' indagato.

# Indicazioni dagli studi di induzione in Lab.

- Le calibrazioni con la sequenza di data taking e RDCLK=60 ns (simile ai 50 ns di testbeam) indicano un numero di pixel scattati simile (anche maggiore) a quello visto in testbeam e si notano induzioni sull'uscita analogica sia positive che negative MA non induzioni da colonna (vedi slides successive)
- Il numero di pixel che scattano quando la soglia è  $\sim 2370$  DAC (inizio del calo di efficienza) sembra troppo piccolo per causare inefficienza legata al fatto che un pixel è già scattato prima su induzione e quindi non riscatta sul passaggio della traccia.
- Le indicazioni dai test in lab sembrano far pensare ad un'inefficienza legata al fatto che ci sono segnali indotti positivi che durano 1-2 us (quando il data valid va alto per far passare le parole TS anche senza pixel scattati) creando inefficienza quando una traccia passa mentre il segnale è positivo.
- Questi tempi positivi (e le inefficienze) aumentano se scattano più pixel, quando la soglia si avvicina alla baseline

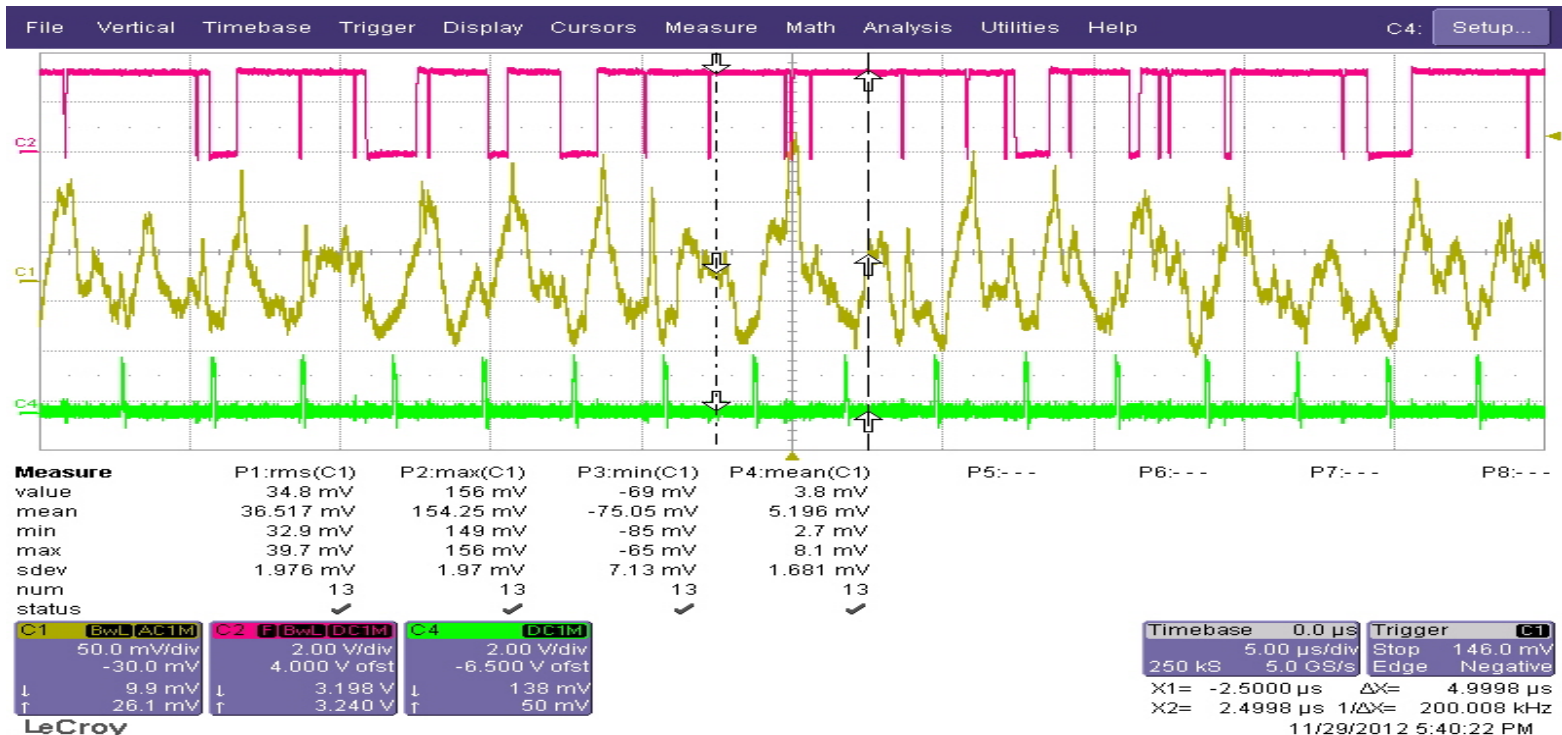
# Calibrazione con modo operativo data taking

- BC 5 us, master latch enable (MLE) abilitato sempre, solo 4 colonne per sottomatrice abilitate, RDclk=200 ns
- Soglia sul chip 2420 DAC (baseline 2470 DAC). **Chip 14 (high res)**
- Uscita analogica pixel 31 31 (giallo) durante la calibrazione
- BLU= MLE, ROSA=data valid, VERDE=BC
- Si nota induzione fino a 80 mV, ma positiva, quando i dati escono dal chip. Il segno dei segnali indotti non spiega l'aumento di scatti visto in testbeam (il segnale da particelle e' negativo e le soglie sono sotto la baseline)
- L'effetto e' molto meno marcato nei chip a bassa resistivita'.



# All column enabled and RDclk as in testbeam 1

- BC 5 us, MLE abilitato sempre, tutte le colonne abilitate, RDclk=60 ns
- Soglia sul chip 2400 DAC (baseline 2470 DAC). **Chip 14 (high res)**
- Uscita analogica pixel 31 31 (giallo) , BLU= MLE, ROSA=data valid, VERDE=BC
- Si nota induzione positiva fino a 150 mV e anche negativa fino a 50 mV e piu' (forse undershoot!), durante tutto il BC (il readout e uscita dati e' sempre presente).
- Difficile quantificare l'entita' dell'effetto ma il segno, anche negativo, dei segnali visti e' compatibile con aumento di scatti visto in testbeam ed anche con quello registrato in questa calibrazione. Altri effetti nella slide successiva.



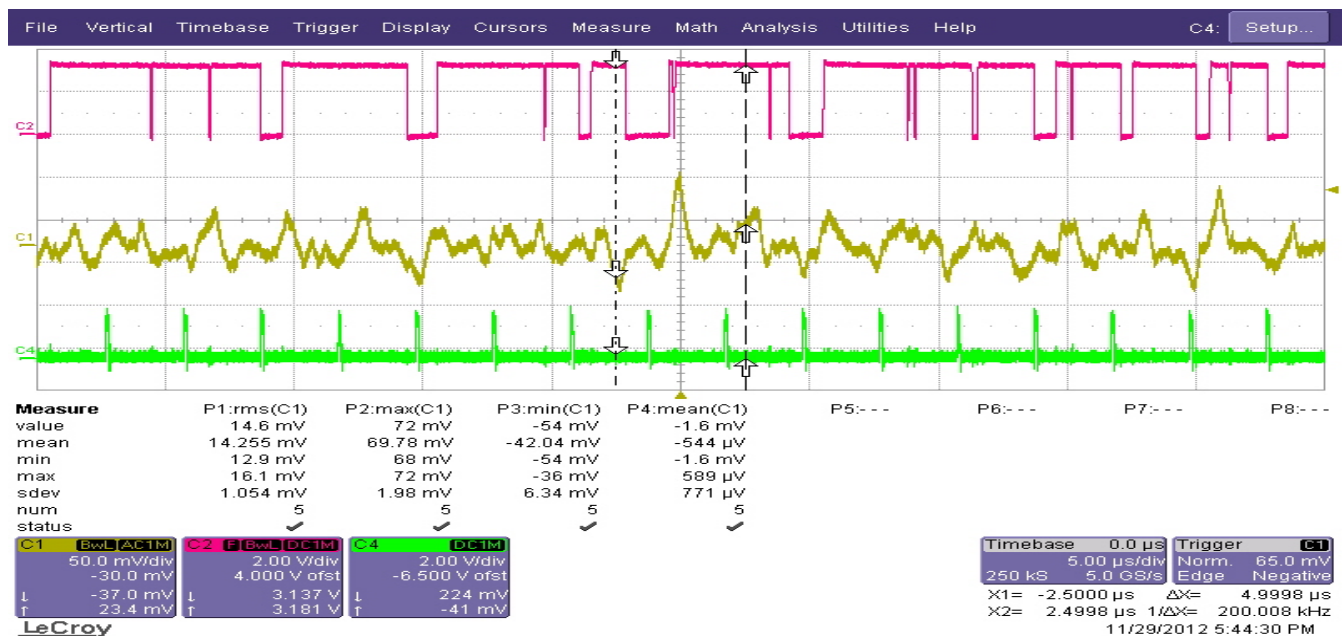
# All column enabled and RDclk as in testbeam 2

- L'aumento di scatti rispetto alla calibrazione precedente sembra maggiore di un semplice fattore 4 (32 colonne abilitate invece di 8), ma va quantificato, ed e' anche maggiore aumentando il clock di readout da 200 ns a 60 ns!
- Va confrontato con le misure del numero di scatti durante il data taking in testbeam ma sembra riprodotto l'effetto.
- Non si notano scatti contemporanei di intere colonne o righe (come ci si potrebbe aspettare) da un accoppiamento delle piste di riga e colonna che scorrono sui pixel
- Sembrano invece scattare di piu' i pixel nella parte di matrice sotto (vicina al readout), anche questo da quantificare.
- L'effetto e' molto meno marcato nei chip a bassa resistivita' (slide successiva)



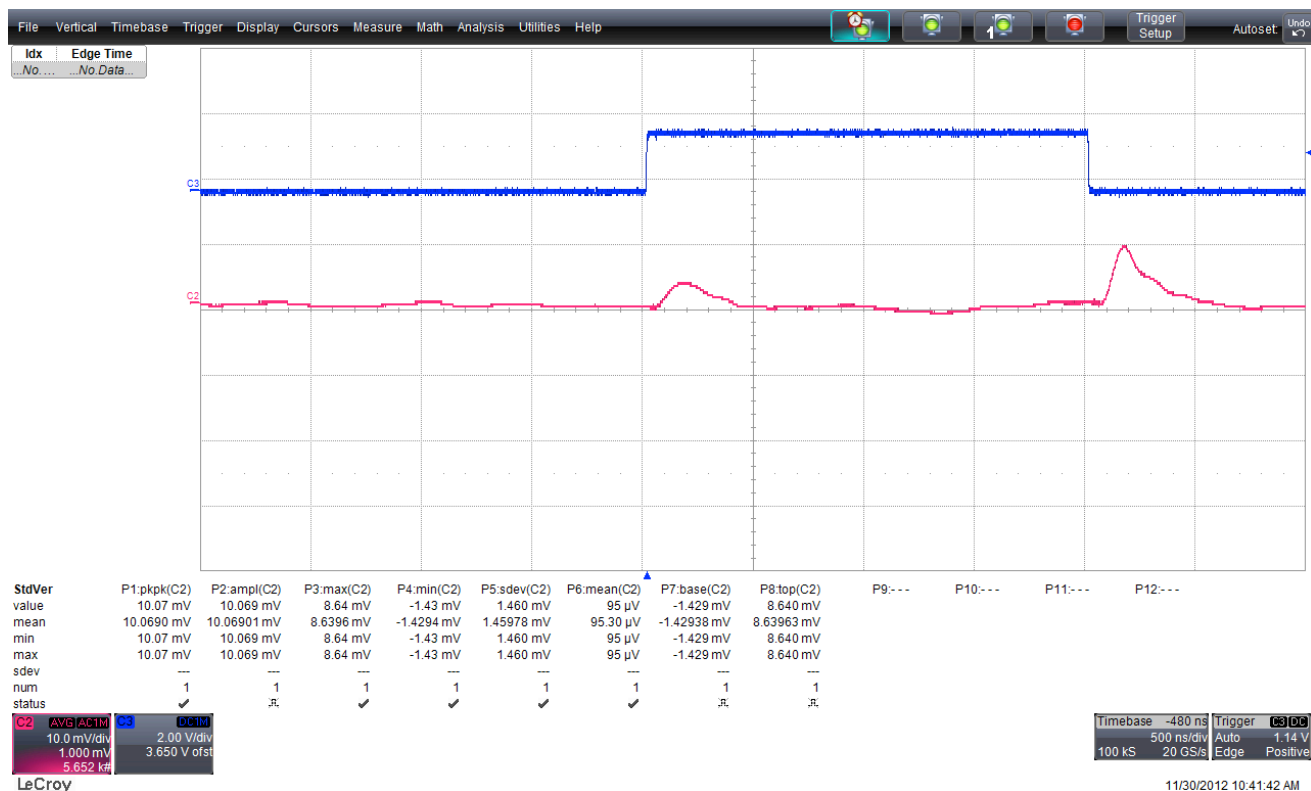
# All column enabled and RDclk as in testbeam with a low resistivity chip

- BC 5 us, MLE abilitato sempre, tutte le colonne abilitate, RDclk=60 ns
- Soglia sul chip 2410 DAC (baseline 2450 DAC? ). **Chip 5 (low res)**
- Uscita analogica pixel 31 31 (giallo) , BLU= MLE, ROSA=data valid, VERDE=BC
- **Si nota induzione positiva e anche negativa circa un fattore 3 piu' bassa di quella vista nell'alta resistivita'.**



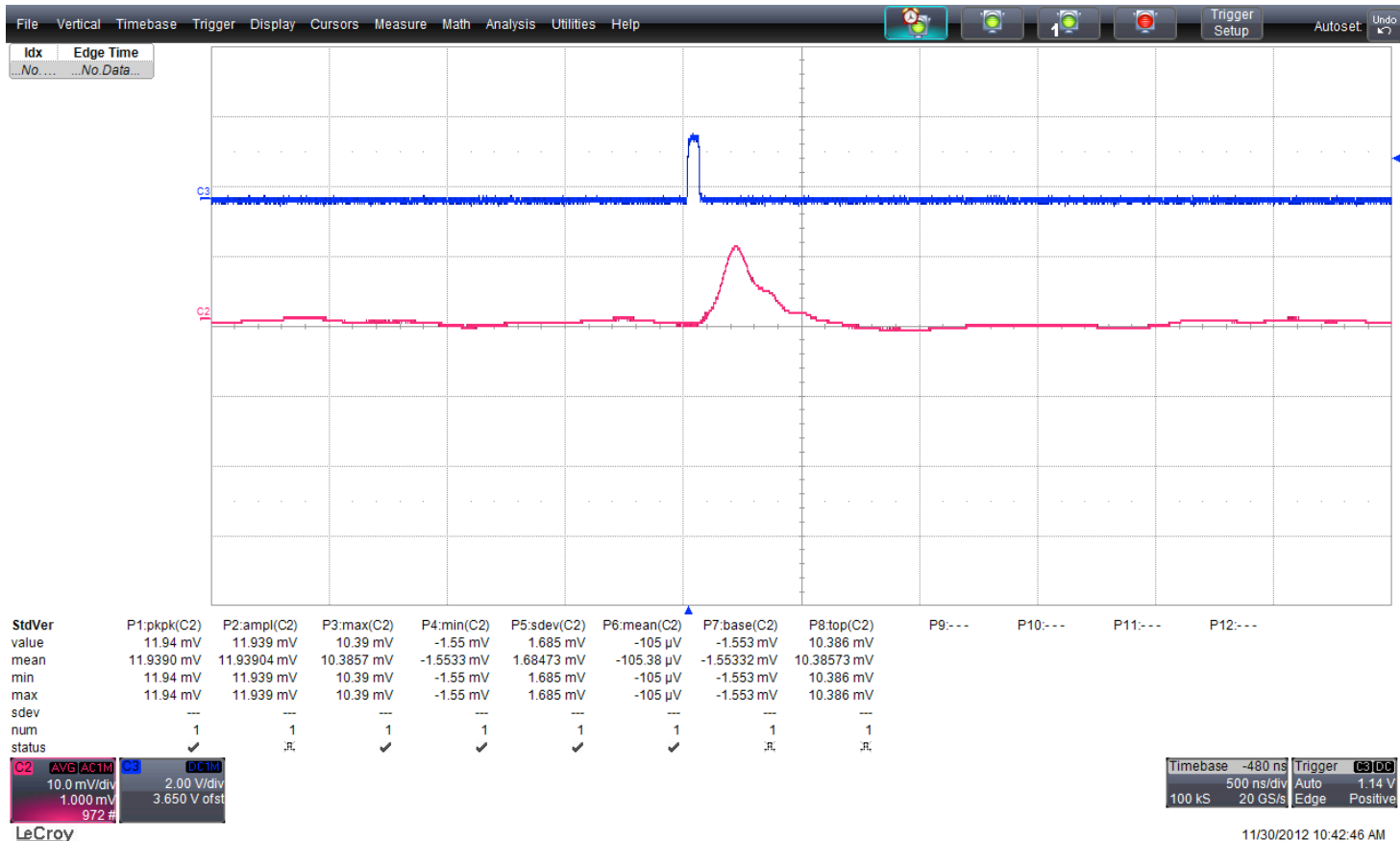
# Induzione sulla 3x3 analogica da piste digitali

- Chip 41 (high res) fronti/impulsi di vario tipo da 1.8 V (in blu allo scope) mandati sulle piste digitali che passano nelle vicinanze del pixel danno I seguenti segnali sull'output analogico del pixel centrale.
- **NOTA: il segnale indotto e' lo stesso stimolando una qualunque delle piste (sembra indipendente dalla posizione).**



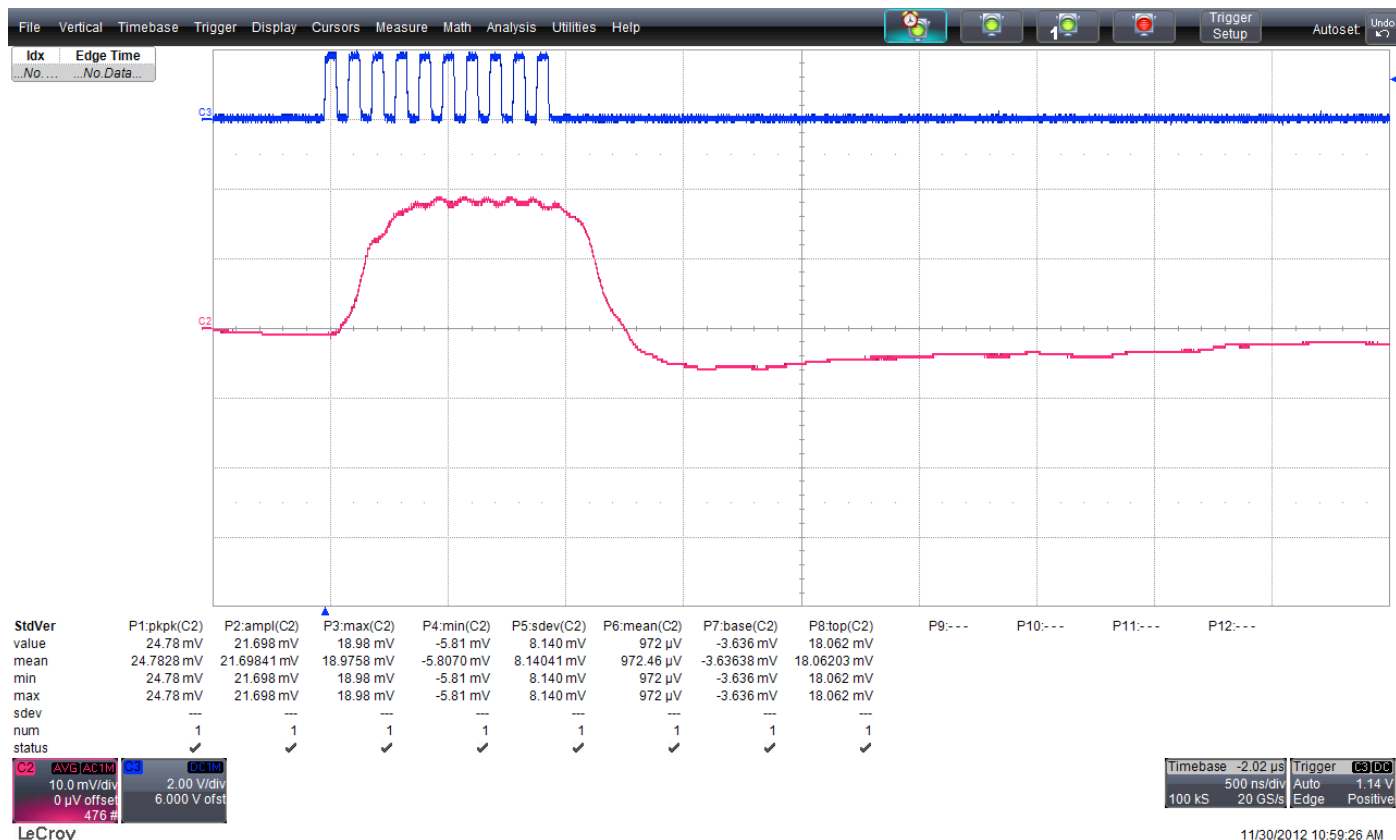
# Induzione sulla 3x3 analogica da piste digitali

- Chip 41 (high res) fronti/impulsi di vario tipo da 1.8 V (in blu allo scope) mandati sulle piste digitali che passano nelle vicinanze del pixel danno I seguenti segnali sull'output analogico del pixel centrale.
- **NOTA: il segnale indotto e' lo stesso stimolando una qualunque delle piste (sembra indipendente dalla posizione).**



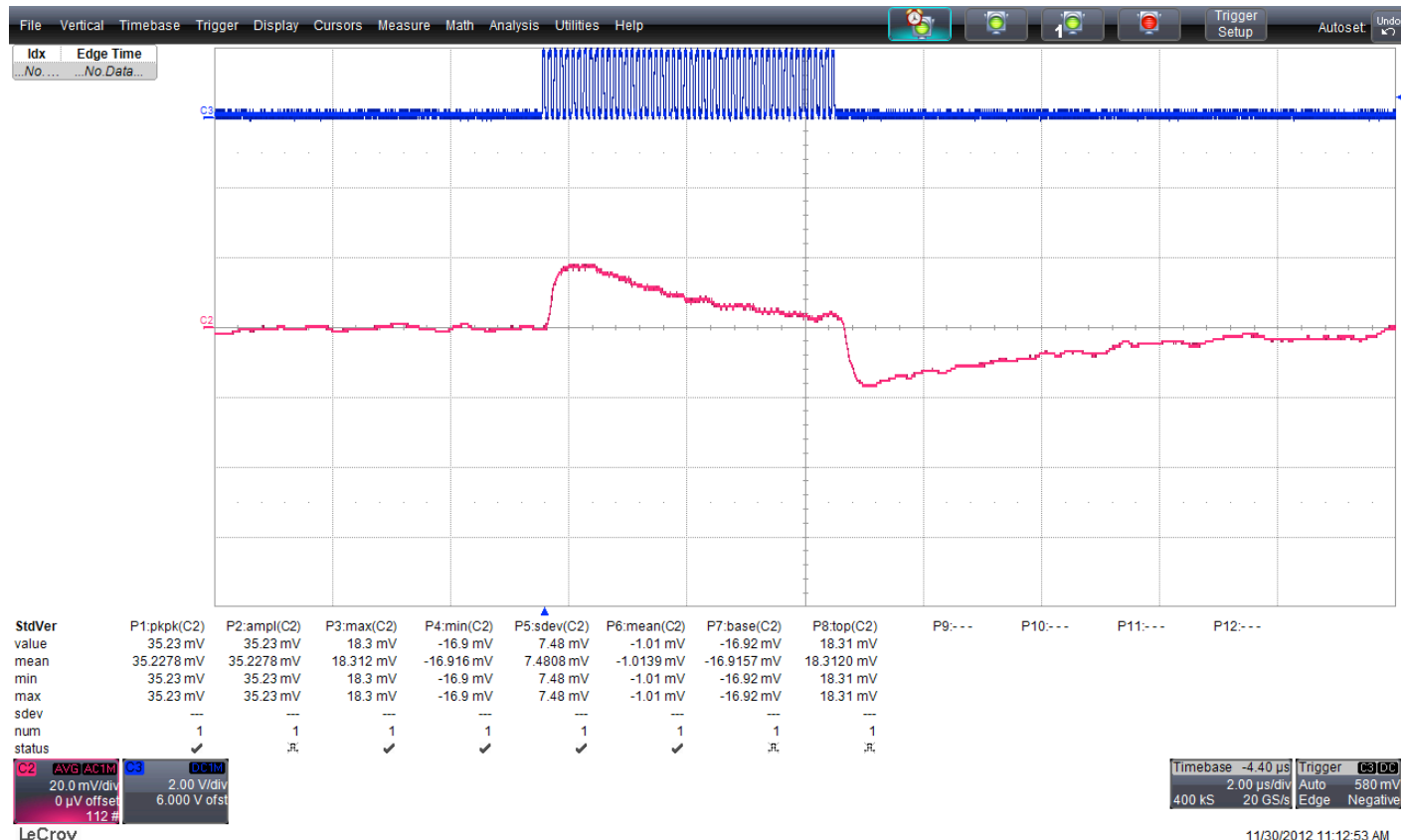
# Induzione sulla 3x3 analogica da piste digitali

- Chip 41 (high res) fronti/impulsi di vario tipo da 1.8 V (in blu allo scope) mandati sulle piste digitali che passano nelle vicinanze del pixel danno I seguenti segnali sull'output analogico del pixel centrale.
- **NOTA: il segnale indotto e' lo stesso stimolando una qualunque delle piste (sembra indipendente dalla posizione).**
- **Aumentando il numero di impulsi inizia un undershoot negativo che puo' far scattare I pixel .**



# Induzione sulla 3x3 analogica da piste digitali

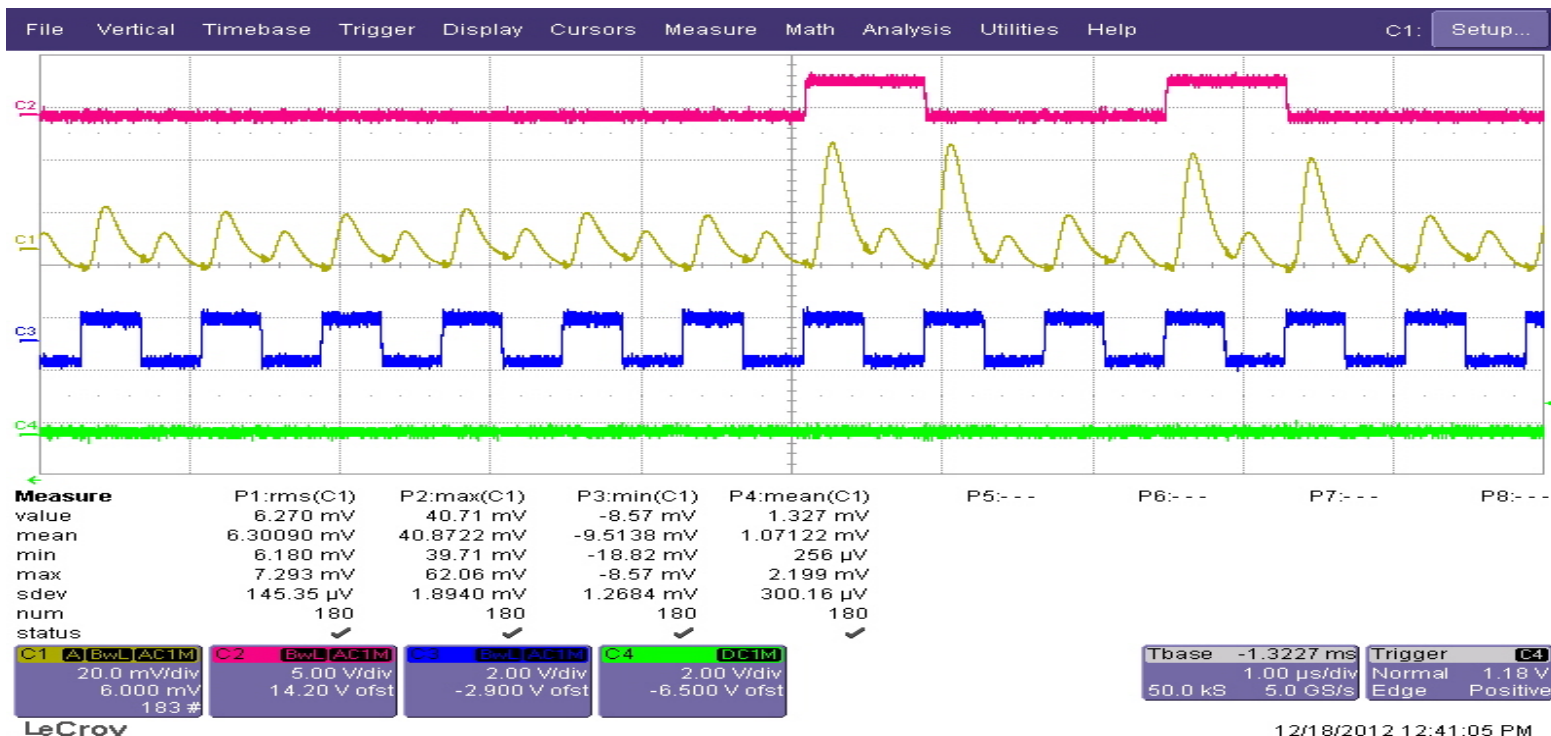
- Chip 41 (high res) fronti/impulsi di vario tipo da 1.8 V (in blu allo scope) mandati sulle piste digitali che passano nelle vicinanze del pixel danno I seguenti segnali sull'output analogico del pixel centrale. **NOTA: il segnale indotto e' lo stesso stimolando una qualunque delle piste (sembra indipendente dalla posizione).**
- Aumentando il numero di impulsi inizia un undershoot negativo che puo' far scattare I pixel.
- Dopo un certo numero di impulsi non sembra aumentare piu' l'undershoot .



# Induzione da readout clock e altri segnali digitali attivi

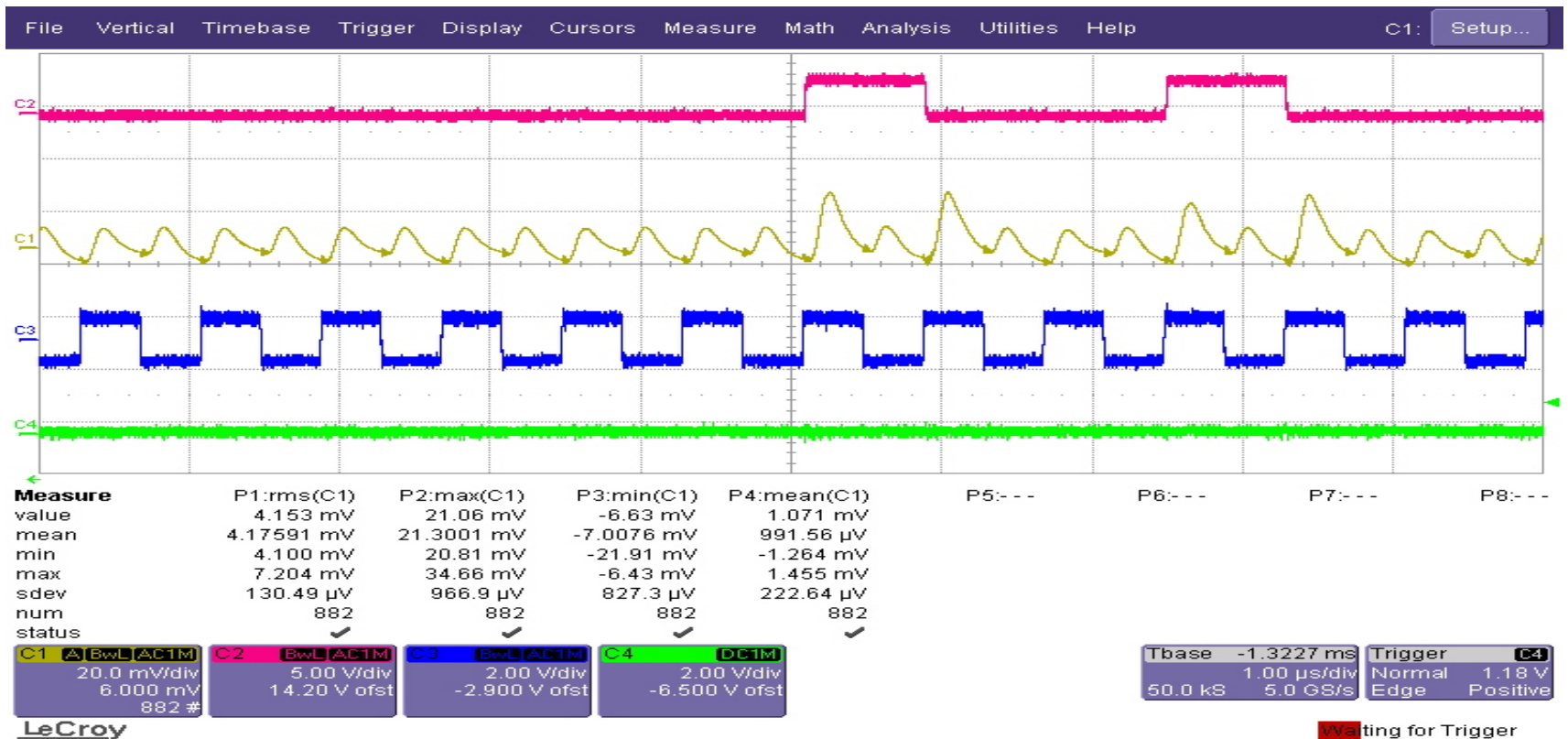
- Fronti del RDCLK ben separati rispetto ai tempi del segnale indotto, per distinguere gli effetti:
- 100 ns di salita e ~ 200 ns di discesa
- Induzione positiva su entrambi i fronti (~ 20 mV su salita, ~12 mV su discesa del RDCLK)
- Le induzioni si sommano e quando arriva il DATA VALID, sincrono con RDCLK, ho altri 20 mV
- Se nella parola TS, sincrona con DV, ci sono altri bit alti il segnale indotto e' anche piu' alto

- BLU= RDCLK, ROSA=data valid, VERDE=BC
- VDDIO=VDDCORE=1.8V



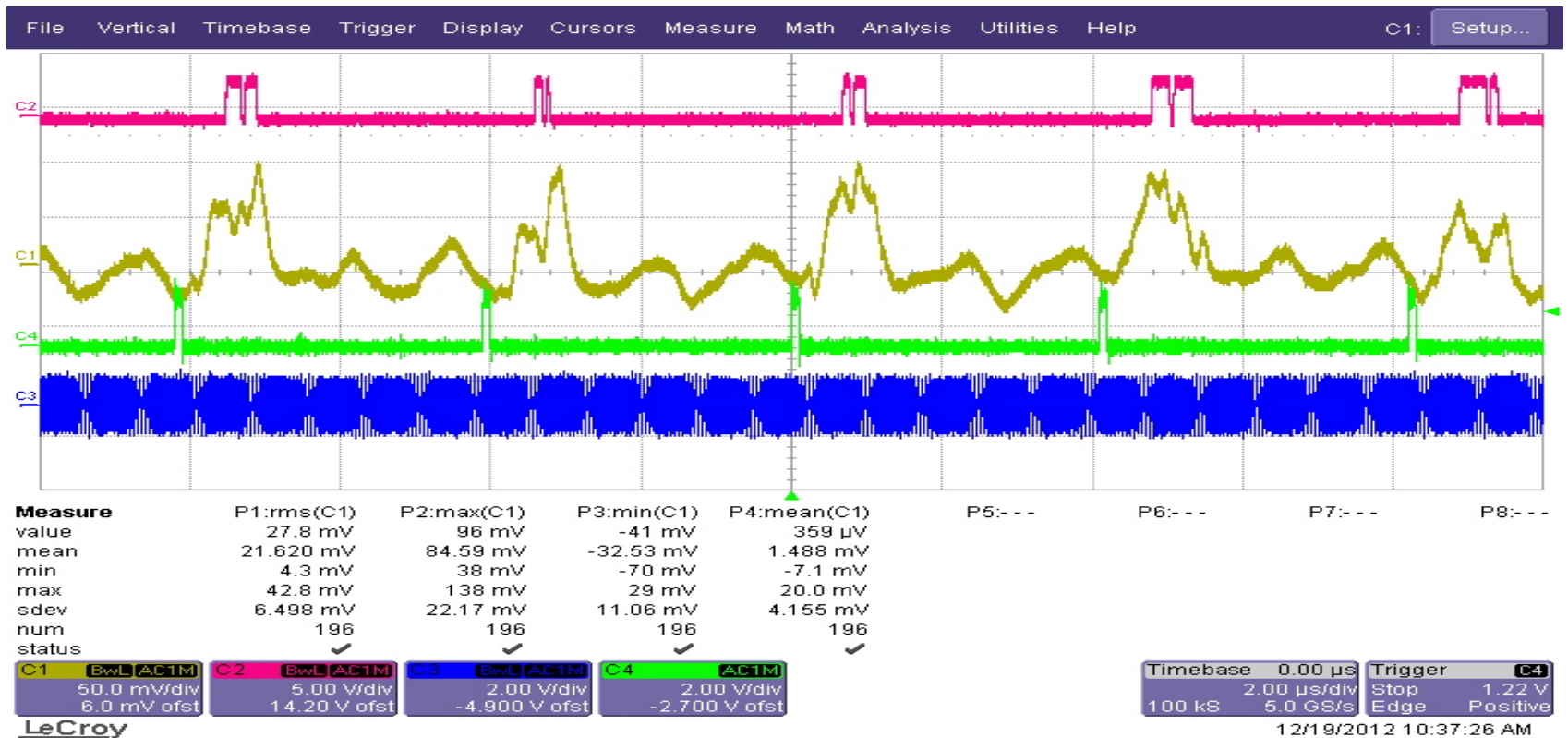
# Induzione da readout clock e altri segnali digitali attivi

- BLU= RDCLK, ROSA=data valid, VERDE=BC
- VDDIO=VDDCORE=1.3V



# Induzione da readout clock e altri segnali digitali attivi

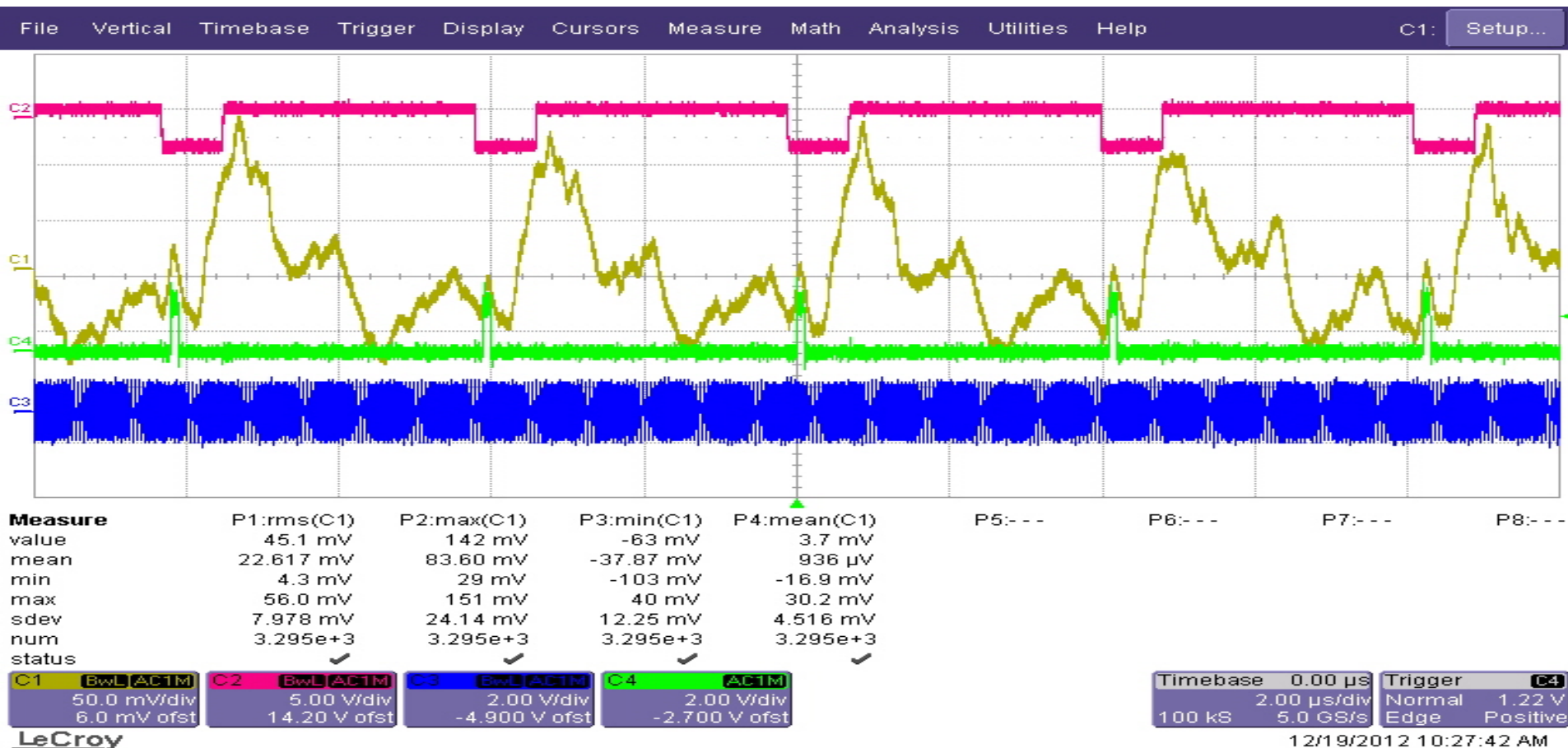
- BLU= RDCLK, ROSA=data valid, VERDE=BC
- VDDIO=VDDCORE=1.8V
- THR=2390 DAC, RDCLK=50 ns





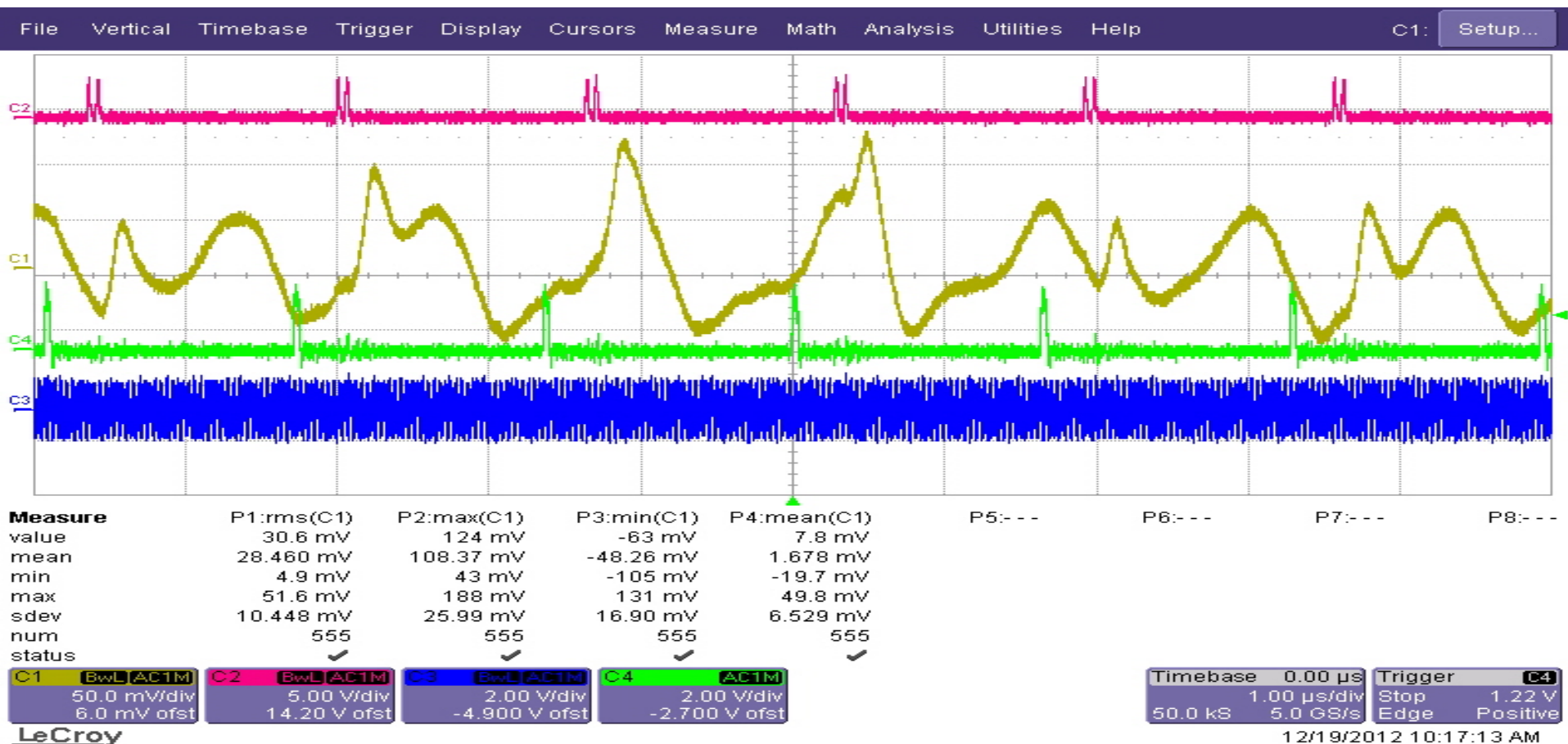
# Induzione da readout clock e altri segnali digitali attivi

- BLU= RDCLK, ROSA=data valid, VERDE=BC
- VDDIO=VDDCORE=1.8V
- THR=2470 DAC, RDCLK=50 ns



# Induzione da readout clock e altri segnali digitali attivi

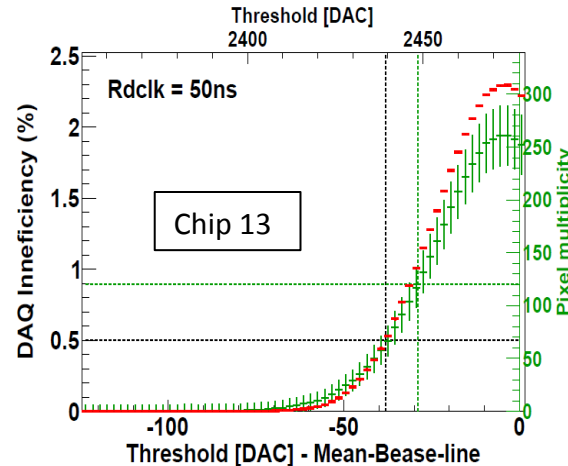
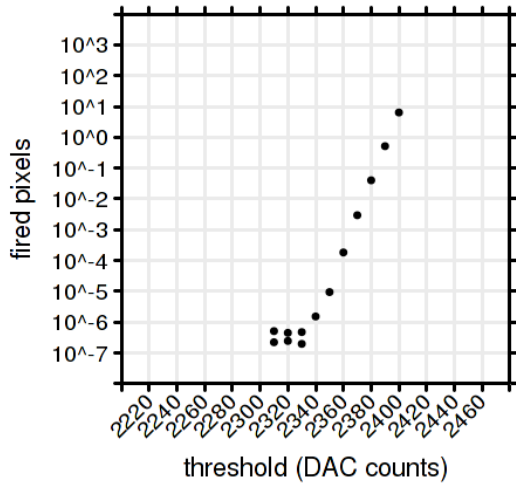
- BLU= RDCLK, ROSA=data valid, VERDE=BC
- VDDIO=VDDCORE=1.8V
- THR=low DAC, RDCLK=20 ns



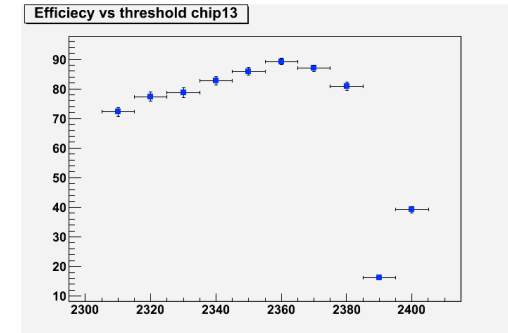
backup

- Number of pixel fired in calibration mode (right plot in green) and in data taking mode (left) very different

chip #13, fired pixels vs. thr



FIFO overflow above 2440



chip #14, fired pixels vs. thr

