

# VIPIX - Vertically Integrated PIXEL

Sistemi a pixel per tracciatori sottili di particelle cariche basate su tecnologie ad integrazione verticale

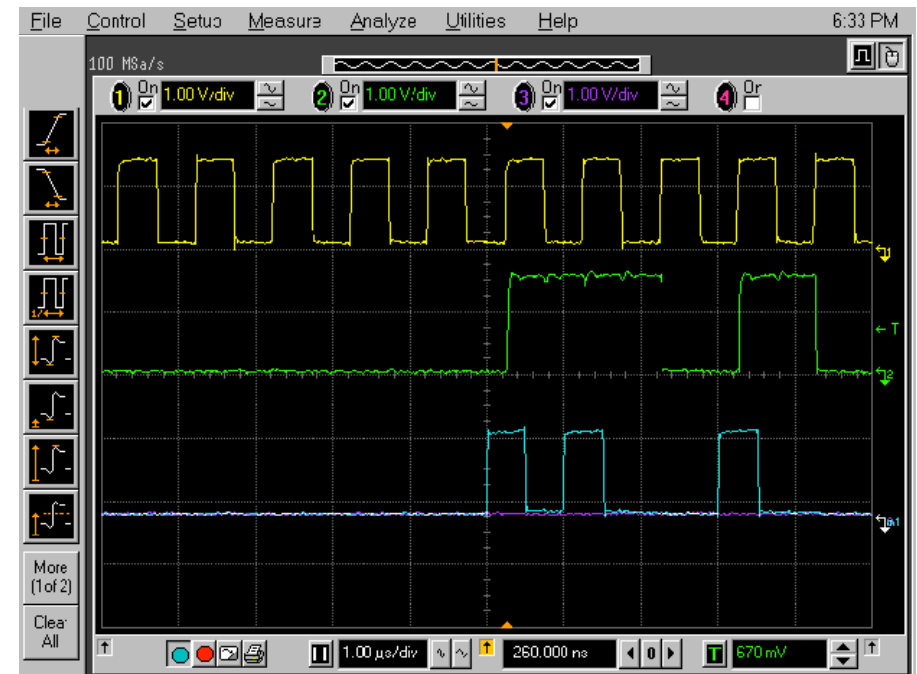
Programma di attività e preventivo di spesa  
2013

Sezione di Pavia

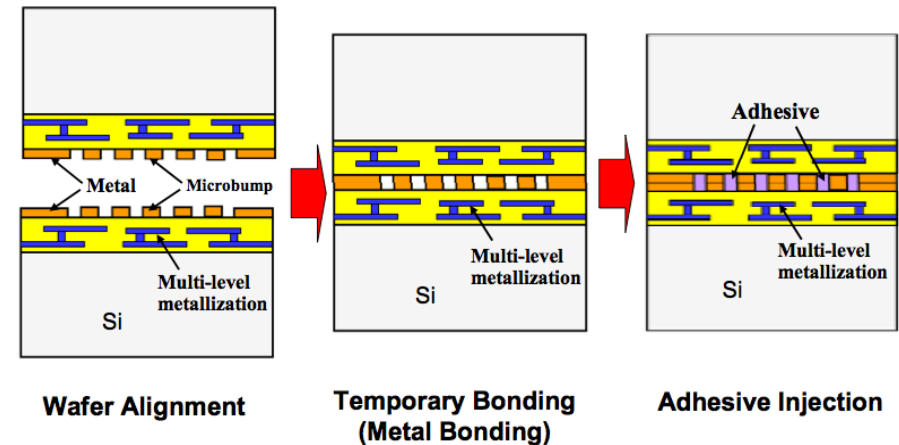
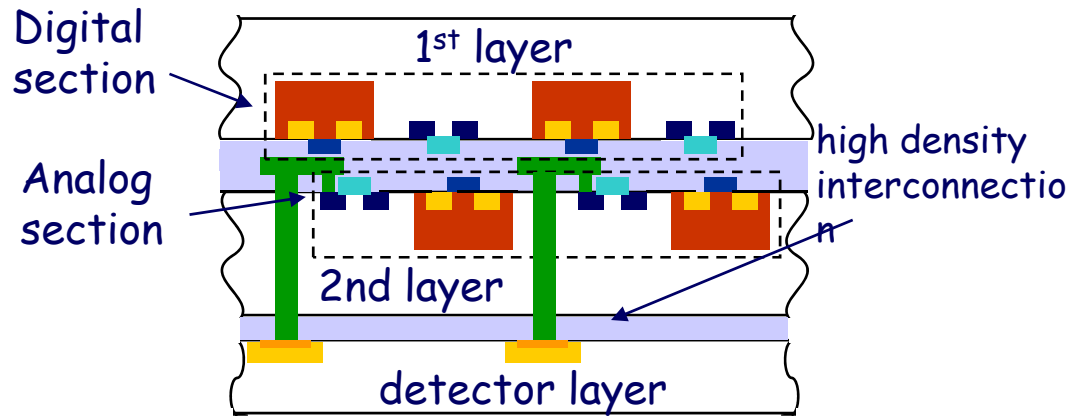
INFN Pavia, Consiglio di Sezione, 11 luglio 2012

# Motivazioni per la richiesta di proroga

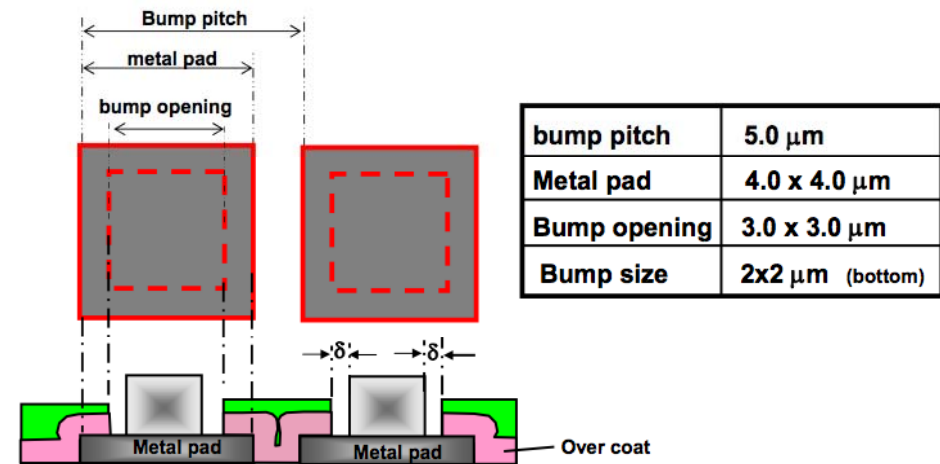
- L'ultimo run di integrazione verticale (con wafer riciclati, nuovo run atteso con 18 wafer di rimpiazzo) ha fornito dispositivi 3D completamente funzionanti
- Questa buona notizia è uno stimolo a proseguire e portare a termine l'attività di progettazione e caratterizzazione dei chip 3D Superpix1 (front-end per pixel ibridi) e ApselVI (MAPS)
- Intendiamo utilizzare i fondi concessi nel 2012 per proseguire le indagini sulle tecnologie 3D, con particolare riferimento all'integrazione verticale di layer eterogenei (T-Micro), l'uso di through silicon via periferici per realizzazione di chip four-side buttable (T-Micro, CEA-LETI) e l'assottigliamento spinto di circuiti integrati (APTEK Industries)
- Nel 2013 ci attende un'attività di prevalente caratterizzazione sulle strutture di test sviluppate (chip 3D T-Micro, chip con via periferici, chip assottigliati)



# Vertical integration with $\mu$ -bumps by T-micro

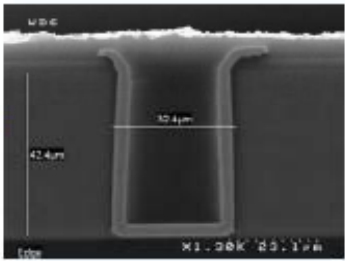
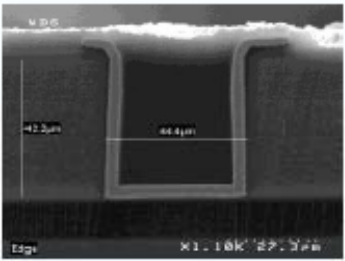
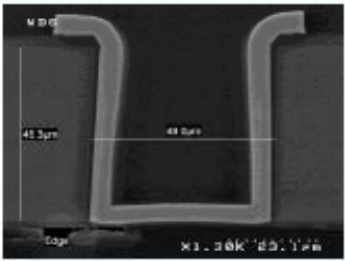
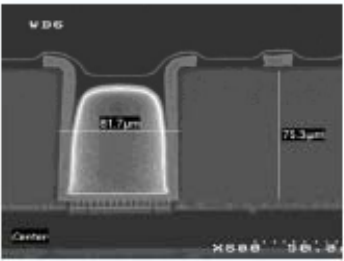

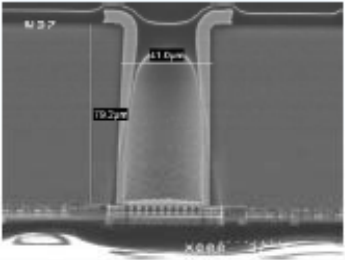

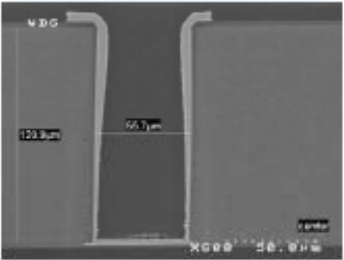


- Improved mechanical stability enables further thinning of both the electronics and detector layers
- Reduction of both silicon and bonding material material in the interaction region for improved momentum resolution



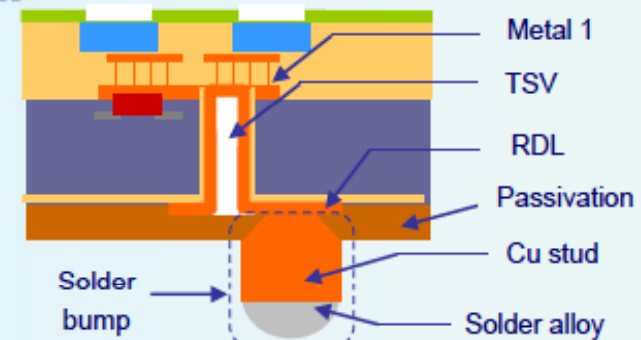
Clearance groove ( $\delta$ ) between bump opening and bump are formed by self-aligned process

# Under pad through silicon via

TSV diameter	30 $\mu\text{m}$	40 $\mu\text{m}$	50 $\mu\text{m}$	60 $\mu\text{m}$
AR 1:1 & 1.5:1				
AR 2:1	Not yet demonstrated 		Available Not yet required 	

## Solder bumps DRM & schematic

- Wafer size : 200 & 300 mm
- Solder bumps material : **Cu stud / SnAg solder**
- Minimum pitch : **120  $\mu\text{m}$**
- Solder pillar diameter : **60-80  $\mu\text{m}$**
- Solder pillar thickness : **Cu 35-40  $\mu\text{m}$  / SnAg 25-30  $\mu\text{m}$**

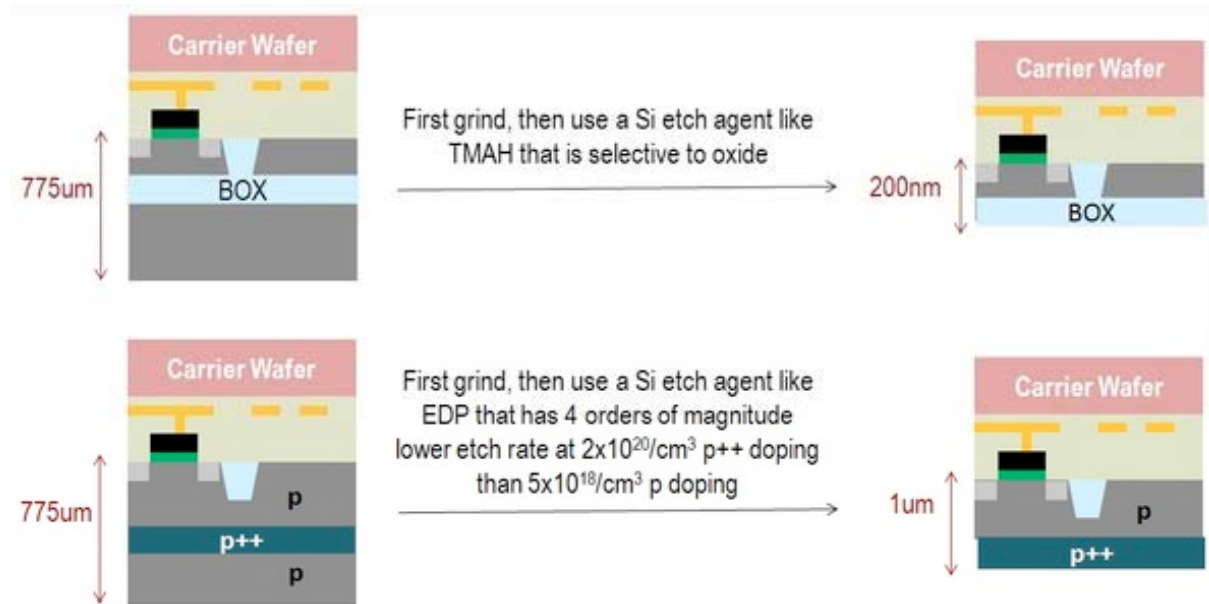


# Sensor thinning



- Improves momentum resolution by reducing multiple scattering in multilayer silicon sensors
- On line monitors for accelerator beams (physics experiments, hadrontherapy)
- Different approaches are available to thin wafer down even to 1  $\mu\text{m}$  - based on oxide or p++ layers acting as etch stoppers

- Aptek industries offer thinning services down to 25-30  $\mu\text{m}$  (10-15  $\mu\text{m}$  with 30% yield) at very low prices (\$ 30 per die, \$ 287 minimum)



# Personale impegnato nel progetto

NOME e COGNOME	Qualifica	Gruppo di appartenenza	Percentuale
<b>RICERCATORI</b>			
Valerio Re (responsabile nazionale)	PO		30%
<b>TECNOLOGI</b>			
Alessia Manazza	Dottorando		80%
Massimo Manghisoni	RU		20%
Emanuele Quartieri	Dottorando		50%
Lodovico Ratti (responsabile locale)	RU		30%
Gianluca Traversi	RU		20%
<b>NUMERO TOTALE DI RICERCATORI</b>		<b>1 (0.3 FTE)</b>	
<b>NUMERO TOTALE DI TECNOLOGI</b>		<b>6 (2.0 FTE)</b>	
<b>PERSONALE FULL TIME EQUIVALENT</b>		<b>2.3</b>	

# Attività prevista (II semestre 2012/I e II semestre 2013)

- Inizio produzione chip Superpix1 (front-end per pixel ibridi) e ApselVI (MAPS)
- Test su chip 3D provenienti dal run pilota (funzionalità interconnessione verticale, radiation hardness)
- Indagine su integrazione verticale di layer eterogenei con T-Micro; avvio produzione
- Indagine su assottigliamento e through silicon via laterali
  
- Caratterizzazione chip assottigliati
  
- Caratterizzazione chip Superpix1 e ApselVI
- Caratterizzazione chip 3D integrato con tecnologia T-Micro
- Caratterizzazione strutture di test con through silicon vias laterali

II semestre  
2012

I  
semestre  
2013

II semestre  
2013

# Preventivo di spesa 2013

<b>Missioni interne</b>	Riunioni di gruppo V, meeting di collaborazione, test congiunti presso altre sezioni (BO, PI)	<b>2 kEuro</b>
<b>Missioni all'estero</b>	Contatti con T-Micro, Cea-Leti, Aptek Industries	<b>5 kEuro</b>
<b>Consumo</b>	Realizzazione di PCB per test di radiation hardness, metabolismo	<b>5 kEuro</b>
	<b>TOTALE</b>	<b>12 kEuro</b>



Backup slides

# Attività prevista nell'esperimento VIPIX

- L'attività di VIPIX è articolata attraverso le seguenti 3 unità operative (workpackages, WP):
  - WP1: Pixel ad integrazione verticale - sviluppo di **MAPS CMOS** in processi di integrazione verticale e di elettronica di front-end da connettere a matrici di **pixel su silicio ad alta resistività** (con tecniche di bump bonding o altre tecniche di integrazione verticale, e.g. wafer bonding, chip-to-wafer bonding) (BO, PG, PI, PV-BG, RM3, TN, TS)
  - WP2: Trigger/DAQ - upgrade delle memorie associative (AM) attualmente esistenti in vista di un impiego in un tracciatore realistico - sviluppo DAQ ad elevato rate di trasferimento dati (160 MHz) e software per il test-beam (BO, PI)
  - WP3: Integrazione, meccanica e test-beam - studio di strutture meccaniche e di raffreddamento a basso budget di materiale basate su nuove tecnologie: cooling monofase o evaporativo con microcanali realizzati in supporti di fibra di carbonio/ceramica, microcanali per cooling integrati direttamente nel Silicio (PI, TO)