

RPC On-Detector Time-Tracking

Studio di fattibilit 

G. Chiodini - INFN Lecce

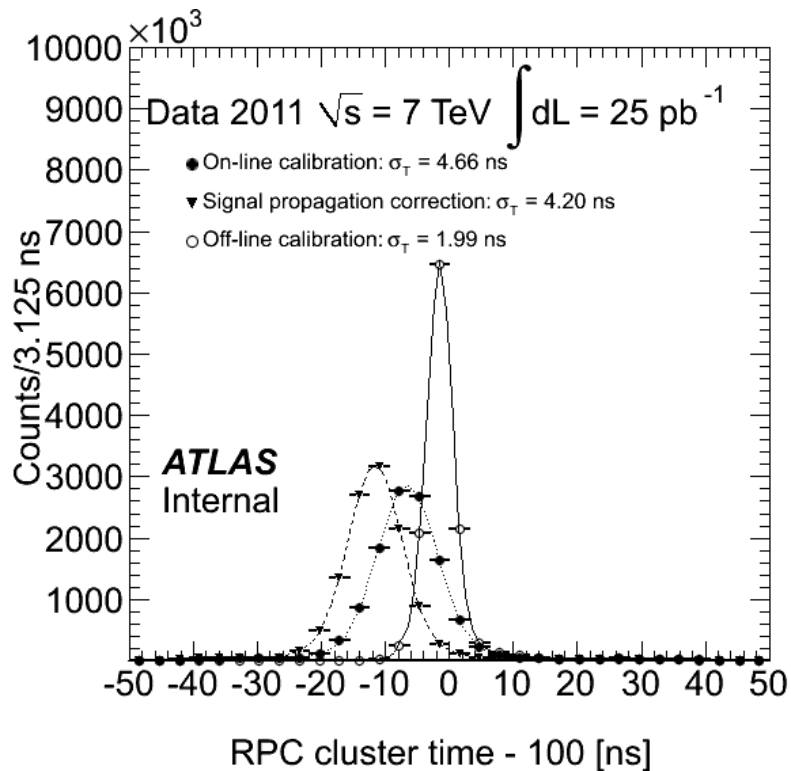
S. Spagnolo - INFN Lecce - Universita' del Salento

17 Maggio 2012 - Milano

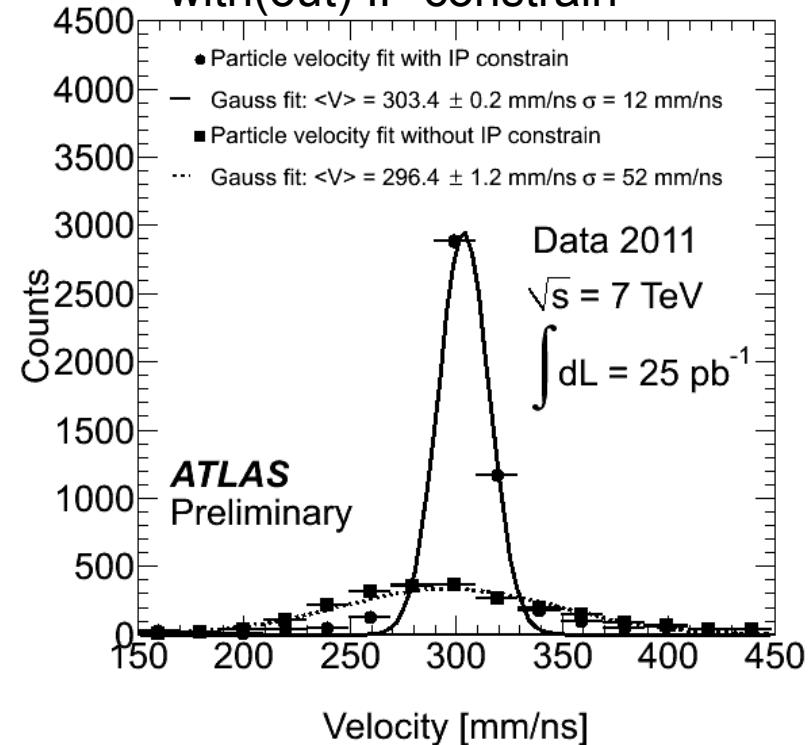
RPC time performance in 2011

RPC2012 conference: ATL-MUON-PROC-2012-002 "ATLAS RPC time of-flight performance"

2ns time resolution after off-line calibration



4% (18%) c velocity resolution with(out) IP constrain



Notevole successo del rivelatore RPC e della ELETTRONICA DI LV1

----- Original Message -----
Subject: RE: RPC calibration table for period
From: "Shlomit Tarem" <shlomit.tarem@cern.ch>
Date: Tue, March 6, 2012 8:08 pm
To: "gabriele chiodini" <gabriele.chiodini@le.infn.it>
Cc: "gabriele chiodini" <gabriele.chiodini@le.infn.it>
"Matthew King" <kingmgl@stu.kobe-u.ac.jp>
"Sofia Vallecorsa" <Sofia.Vallecorsa@cern.ch>
"Stefania Spagnolo" <stefania.spagnolo@le.infn.it>
"Enrique Kajomovitz Must" <enrique.kajomovitz@gmail.com>

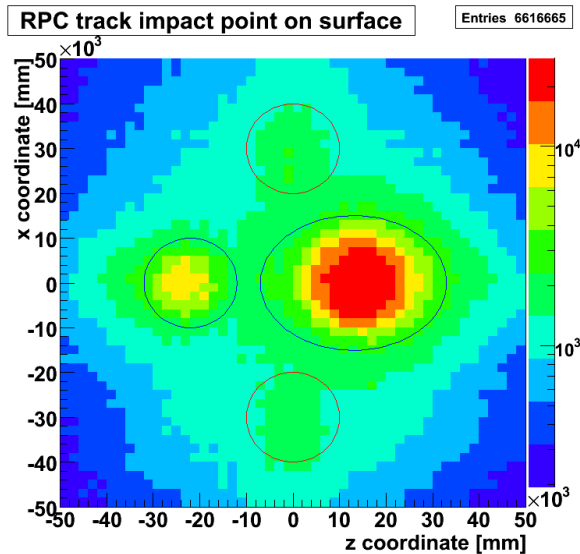
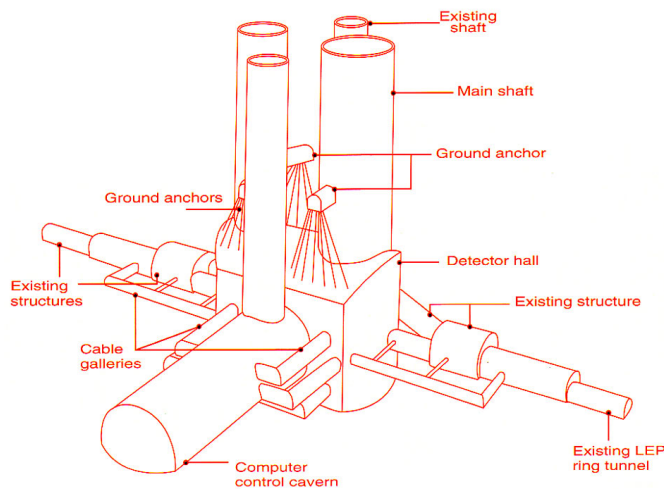
Dear Gabriele,

I just wanted to update you that the RPC calibration constants you sent us (including the first set we got through Matt) improved the resolution of beta by more than a factor of 2 for periods up to K (still working on getting the best from L and M). **The resolution went from over 7% last year to less than 3.5% now. The RPC beta measurement is also the most accurate wrt other subdetectors.** We will send you plots in the next few days.

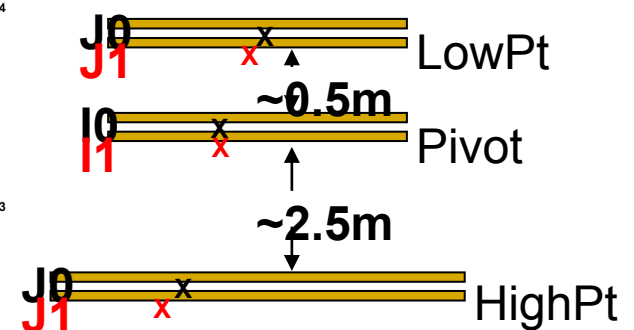
Thank you!

Shlomit

RPC triggering and tracking



- Straight line
- Chi2 cut selects High Pt tracks



- 3 piani di 2 layer attraversati da un mu di alto pT
- 2 views (eta - phi) per layer: one physical hit -> one eta + one phi measurement
 - Max diff in signal propagation time for correlated eta - phi strips ~10-15 ns;
 - Eta - phi coincidence must allow ~15 ns time window
- LVL1 Trigger (lwo pt as an example): $\frac{3}{4}$ majority in eta in a time window (as narrow as 25ns)+ $\frac{3}{4}$ majority in phi (as narrow as 25 ns)

Vantaggi nello stringere la finestra di coincidenza a 1.5 ns:

R. Santonico "The RPC proposal for the SW upgrade"

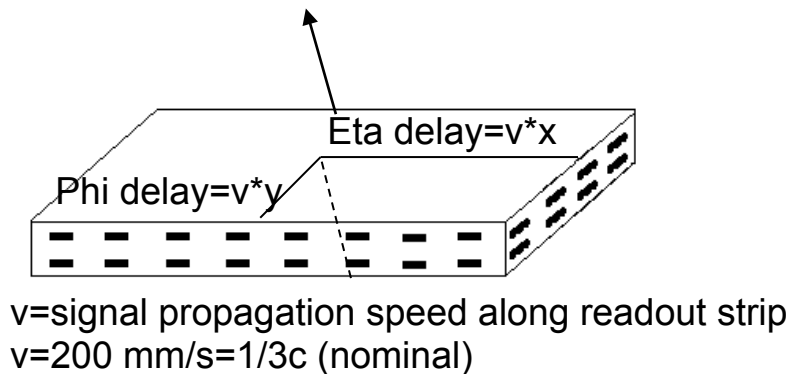
<https://indico.cern.ch/getFile.py/access?contribId=14&resId=1&materialId=slides&confId=174329>

Nuovi scenari possibili

- For each gap/chamber equalize the time for prompt muon at reference point (eta x phi center of the gap)
 - Consider eta x phi hits, correct eta time with phi measurement; correct phi time with eta measurement => eta x phi point has a “corrected” time with $\sim 3\text{ns}$ spread, from resolution !
 - Ghost eta x phi crossing (from electronic noise, leading to extra hits in one view only) won't have coherent times ! They can be excluded from input to LVL1 logic
 - Geometrical patterns can be looked for in very narrow time windows $\sim 5\text{ ns}$
- ✓ high selection efficiency for prompt muons
- ✓ high rejection power for out of time spatially-correlated (pileup) or spatially-uncorrelated (cavern bkg !) noise
- ✓ Slow particles: how to keep them in the data / how to trigger
 - ✓ Allow large readout window in spite of narrow trigger coincidence (triggering on prompt muons only)
 - ✓ Check consistency of velocity from time of flight (20% resolution without IP constraint) among the 3 layers for out of time geometrically matching patterns (triggering on slow particles??)

RPC Standalone off-line algorithms

1. Hit clustering per view
2. Eta-phi cluster correlations per gas volume
3. Calibration constant per strip multiple of clock period
4. Time correction using orthogonal view
5. Straight track between layers



E' necessaria una analisi off-line:
Detectors+DAQ+Software ATLAS!!!

Grande beneficio se la camera RPC
fornisce (x,y,z,t) della traccia in
tempo reale e risoluzione
intrinseca

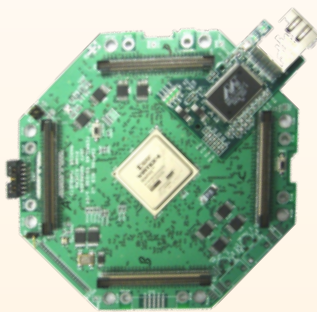
Proposta

Vorremmo avviare fin da subito uno studio di fattibilit  della implementazione online degli algoritmi standalone del monitoring off-line degli RPC impiegando FPGA's on-detector.

Milestones 2012-2013:

1. Scelta dell'hardware di benchmark.
2. Emulazione di rate e pattern di hit realistici da estrarre dal MC e passare al hardware in tempo reale (segnali digitali di durata 0.5 ns).
3. Implementazione algoritmi di clustering degli RPC nel firmware.
4. Implementazione algoritmi di segmenti e/o tracce RPC nel firmware.

Hardware di bench-mark: scheda CAPTAN di FNAL



- Dimensioni 6" x 6"
- Unica alimentazione 3.3 V
- 1Gbit/s ethernet link
- FPGA Virtex4
- Bus verticale
- Bus orizzontale
- Intra-stack Optical link
- Intera I/O disponibile

Scheda CAPTAN (Compact And Programmable daTa Acquisition Node)

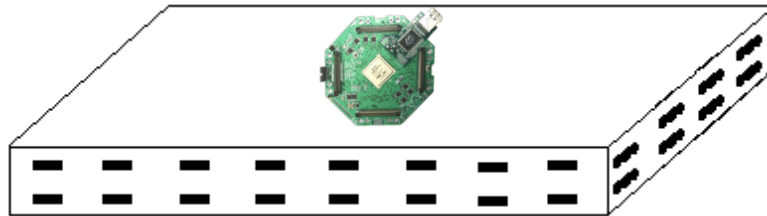
Sviluppata a Fermilab dal dipartimento ESE (Electronic Systems Engineering) della Computing Division.

- Simon Kwan (ESE HEAD)
- Ryan Rivera (2 settimane a Lecce nel 2011)
- Lorenzo Uplegger

- Diversi users: Fermilab, INFN-MiBi, Purdue, Brown, Colorado, Fermilab, INFN-LE, Syracuse.
- Molti testbeam e qualche esperimento (ad es. T980 crystal collimation telescope).

- MODULARE E FLESSIBILE
- PICCOLI E GRANDI SISTEMI
 - OPEN TO USERS
- ON-DETECTOR OPPURE ON-CRATE

Modulo RPC standalone



½ Modulo RPC tipico:

- 32 x 2 eta = 64
- 64 x 2 phi = 128
- Totale = 162 segnali

Aspetto qualificante e':
1 scheda = 1/2 modulo RPC

VirtexI4 I/O : 320 – 846
Clock 350 MHz

Lo user in un testbeam o nel suo lab gli deve bastare il suo laptop per testare COMPLETAMENTE il modulo RPC

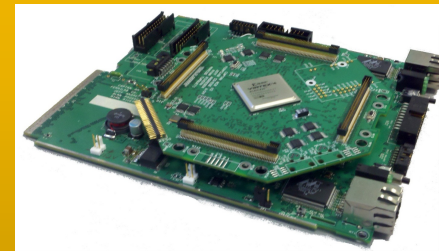
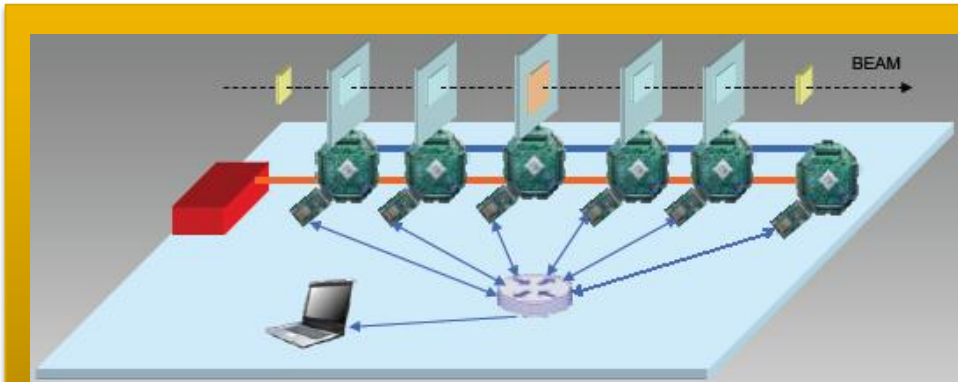
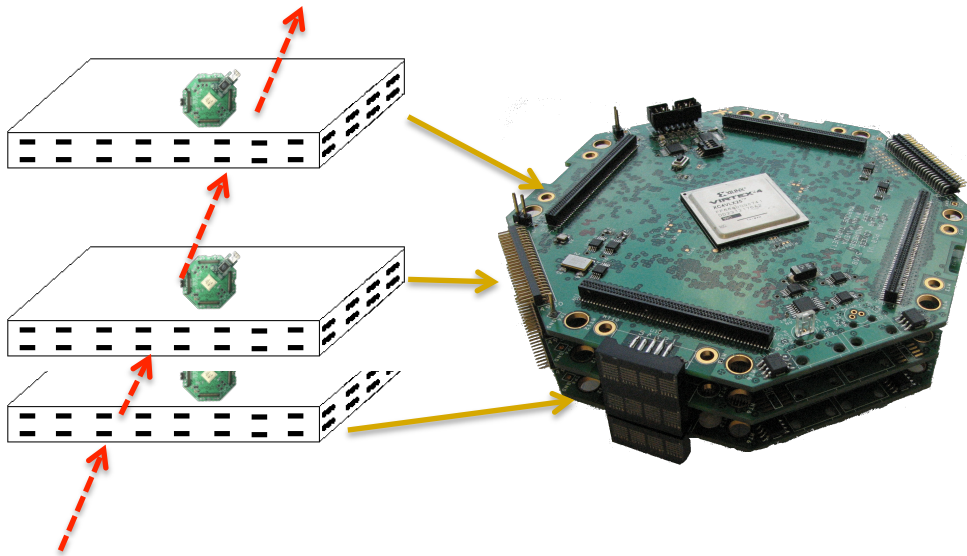
Parte dello studio di fattibilita':

- IO counting
- 0.5 ns time stamp resolution
- Time degradation and stability
- Power consumption
- Cost effective (Next generation Virtex?)
- ...

On-line RPC time tracking

Notevole potenza di calcolo on-line.

La topologia ottimale e' parte dello studio di fattibilita' (On detector? On Crate?).



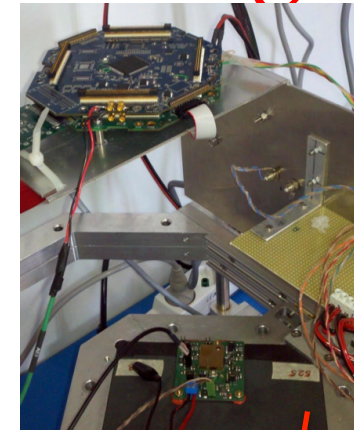
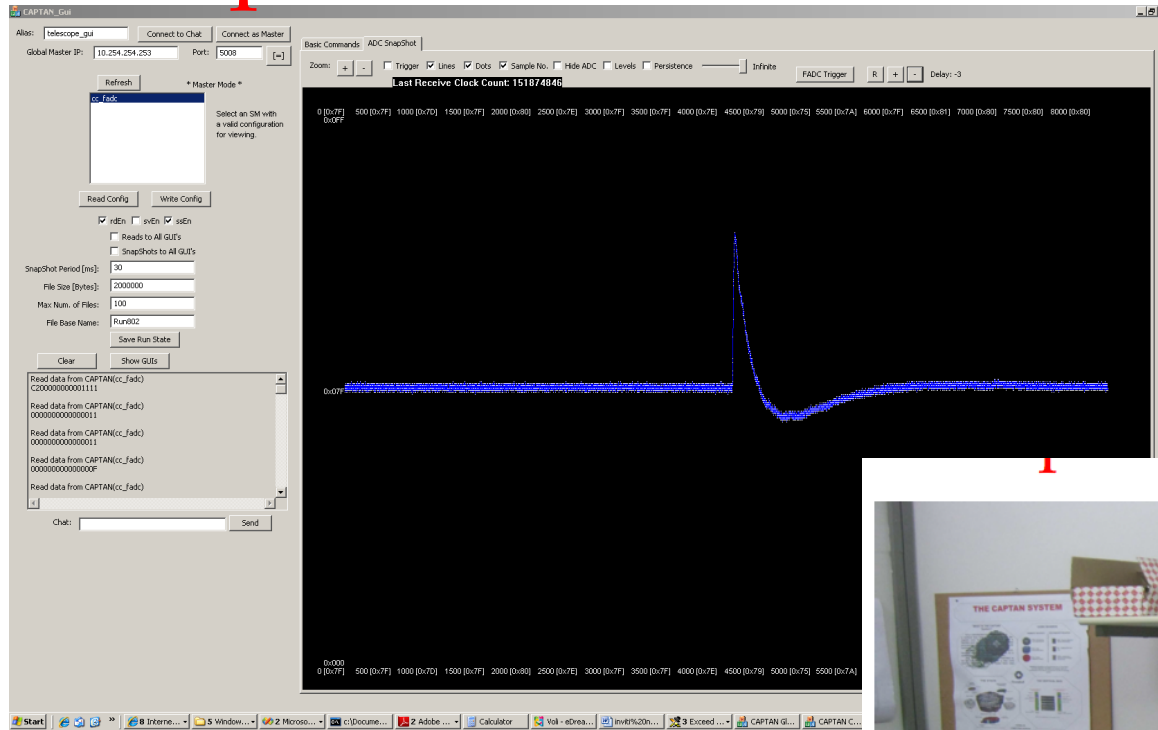
Advanced
Mezzanine
Card (AMC)



12U 14-slot
ATCA shelf

Radiation hardness (A. Aloisio "Rad-tolerance tests of off-the-shelf SerDes and Xilinx FPGAs for SuperB")

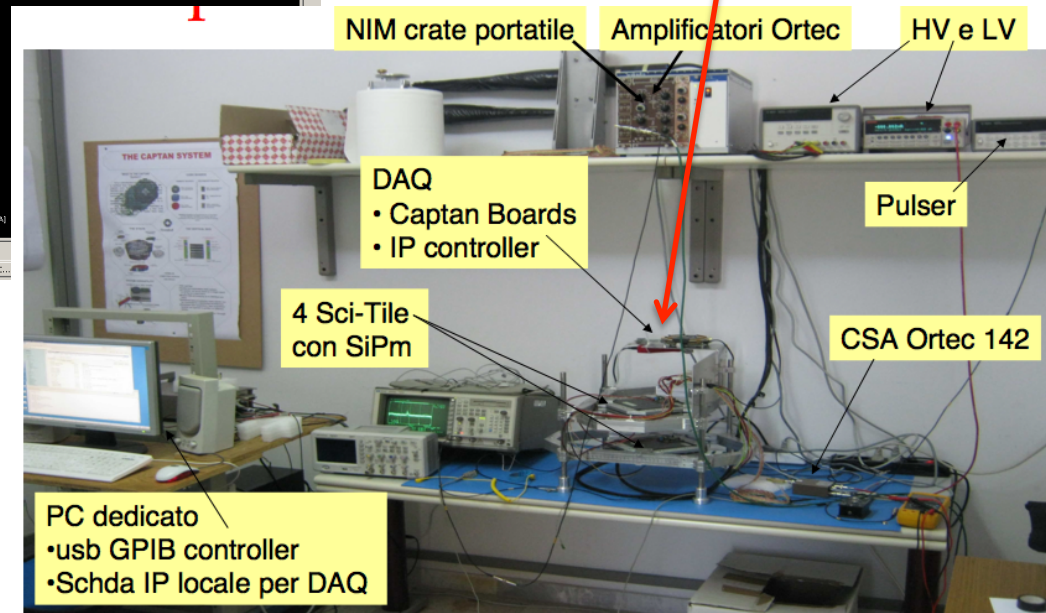
Esperienza a Lecce: 1.5 GHZ digitizer



Segnale SiPM digitizzato a 1.5 GHz

R. Rivera 2 settimane
a Lecce fondi FAI

Setup in
Lecce



Misure con sorgenti gamma e cosmici

Natura e limiti della proposta

1. Suggerimenti di Leonardo R. :

1. Spiegare idea e vantaggi – cercheremo di illustrare
2. Discutere tempi / costi / interessi / percorso da studio a progetto - non affronteremo
 1. argomenti essenziali delineata una strategia ma ...
 2. non esiste oggi una strategia che sottenda la proposta

2. Il contesto:

1. PHASE 1 Upgrade = NSW per lo Spettrometro a Muoni
2. Una interessante proposta in fase di progetto delle NSW era stata avanzata dalla comunita' RPC; elemento caratterizzante del detector proposto: eccellente risoluzione temporale
 1. non selezionata per NSW dalla collaborazione
 2. Gli RPC non sono coinvolti nell'upgrade di fase 1, ma hanno caratteristiche di estremo interesse per per gli scenari di alta luminosita' e background
3. L'upgrade di fase 2 prevede, almeno, un completo re-design di FE elettronica, trigger e DAQ per gli RPC del barrel
 1. La rielaborazione di queste componenti puo' beneficiare di studi di fattibilita' preliminari che mirino a ottimizzare l'uso dell'informazione fornita dal detector come e' attualmente installato

3. L'obiettivo al momento:

1. Valorizzare, a fattibilita' della proposta dimostrata, la tecnologia RPC fornendo uno studio potenzialmente utilizzabile in futuri scenari di consolidamento o upgrade che coinvolgano la comunita' RPC

4. Area di riferimento dell'attivit :

1. Upgrade dello Spettrometro a Muoni:
 1. banale: MS: sistema che in ATLAS usa gli RPC per il trigger di primo livello nel barrel
 2. anche la fase istruttoria del progetto NSW avra' caratteristiche di attivita' e spesa di tipologia R&D

Richieste

Consumo: 3000 euro: acquisto 5 schede CAPTAN e 1 memory board
(costo dei componenti al dettaglio)

SJ alle milestone:

Consumo: 1000 euro: sviluppo schede interfaccia con rivelatore RPC

Consumo: 1000 euro: sviluppo trasmissione ottica bus verticale

ME: 2000 euro: 2 settimane a Fermilab nel 2013 per ottimizzare
il progetto con il gruppo ESE di FNAL.

Investire su questo item fin da subito ci permetterebbe:

- impostare il nostro lavoro in una prospettiva piu' ampia, piu' solida, strategica e che guardi oltre allo studio di performance degli RPC di ATLAS nel 2012.
- vantaggio competitivo rispetto ad altre proposte



Back-up

Domande di L. Rossi

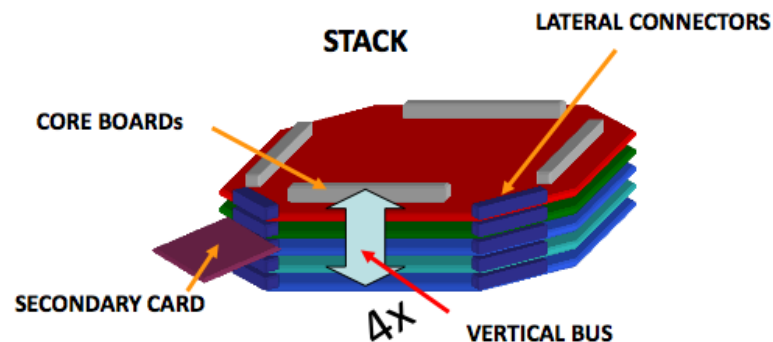
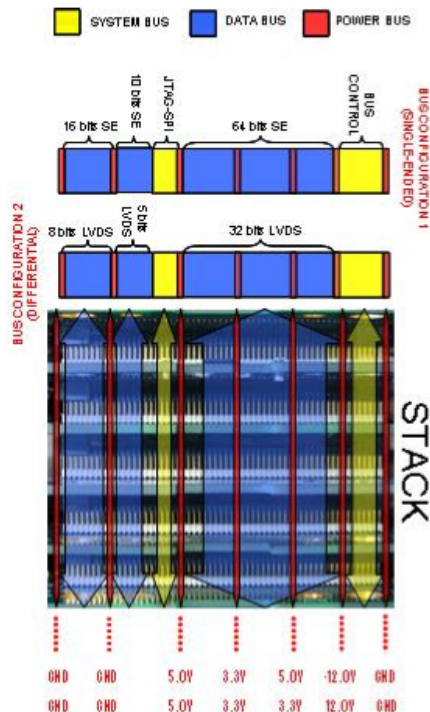
- **Spiegare l'idea:** implementazione algoritmi di tracciamento off-line RPC standalone in FPGA real-time con un tempo di digitizzazione pari a 0.5 ns.
- **Spiegare i vantaggi:**
 - Modulo RPC completo di DQA standalone
 - DQA estendibile ed integrabile in diversi scenari: da on-detector a on-crate
 - Risoluzione spaziale e temporale in tempo reale
 - Ridurre molteplicità di hit e tracce non-prompt prima della decisione del L1.
- **La scala dei tempi:** studio di fattibilità fine 2013
- **Chi è interessato in Italia e all'estero:** Technical board degli RPC
- **Illustrare i passi che porterebbero dallo studio di fattibilità all'eventuale progetto:** legati alle proposte di up-grade eventuali che coinvolgono gli RPC
- **Costi della implementazione finale:** assumendo circa 250 euro per modulo x 2000 moduli = 0.5 Meuro

Considerazioni

1. Stiamo imparando ad estrarre il meglio dal rivelatore RPC e dobbiamo continuare a farlo soprattutto alla massima luminosita' quando tutto sara' piu' difficile.
2. L'impiego della proprieta' di timing degli RPC (a maggior ragione in scenari di upgrade) offre un vantaggio netto rispetto ad altri rivelatori concorrenti.

Pensiamo sia importante mettere a frutto l'esperienza guadagnata nello studio offline del timing del detector per investigare sui limiti e le potenzialita' (eventualmente online) della procedura che conduce a una risoluzione temporale sul sistema complesso confrontabile con la risoluzione intrinseca...Si imparerebbe quali potenzialita' esistono per l'uso degli RPC in scenari di upgrade

Captan vertical bus



Implementazione algoritmi
The user can configure **EACH** bus to have up to 45 LVDS pairs or 90 single ended.

BUS Limitations

# of boards on the stack	1	2	3	4	5	6	7	8	9
max bus speed MHz (LVDS)	500	450	400	320	240	200	160	125	100
max bus speed MHz (LVCMOS)	400	300	260	125	100	80	66	N/A	N/A

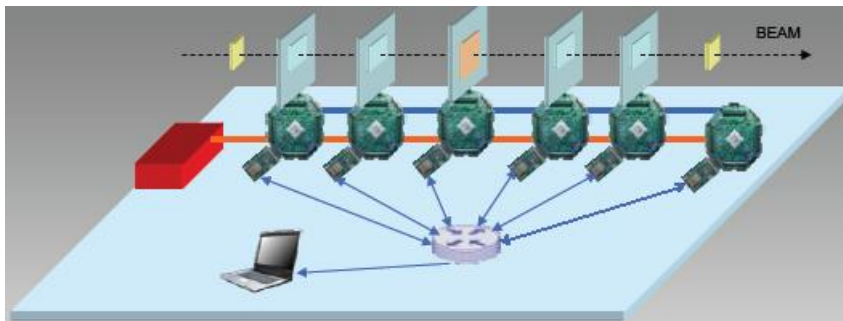
Highlight

A) Espandibile



Single board or
(mixed) vertical stack
(intra-stack Optical link)

B) Network



1Gbit/s ethernet link:
Farm of stacks connected by a router

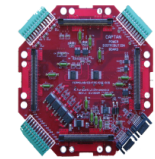
C) Flessibile



Green board: processing and
control (VirtexIV)

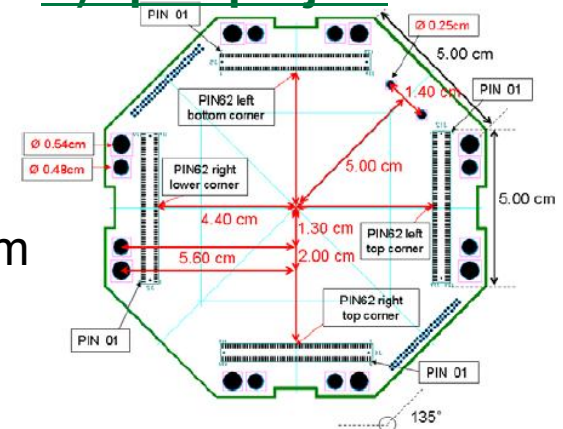


Blu board: data combiner (HV
+ ADCs + DACs + AMPLIs)



PS and Memory board +
others ...

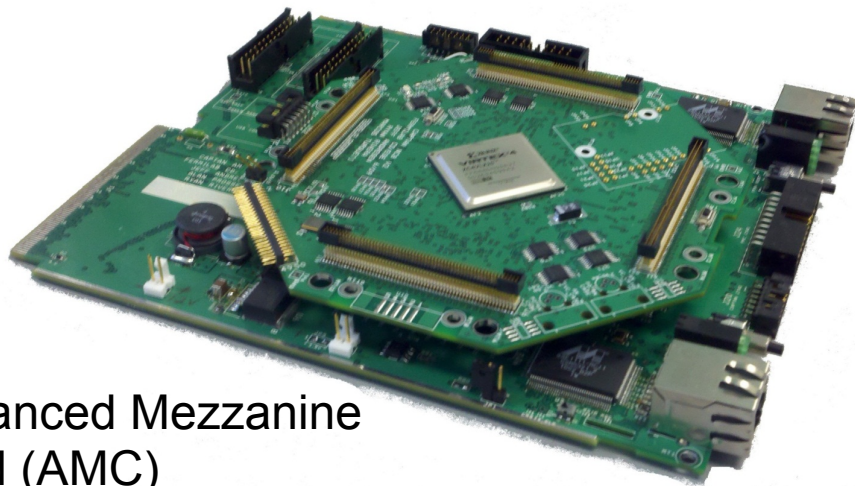
D) Open project



Template
PCB for custom
board

Advanced windows software available
(no linux, need developers)

Captan integrata con xTCA



Advanced Mezzanine
Card (AMC)

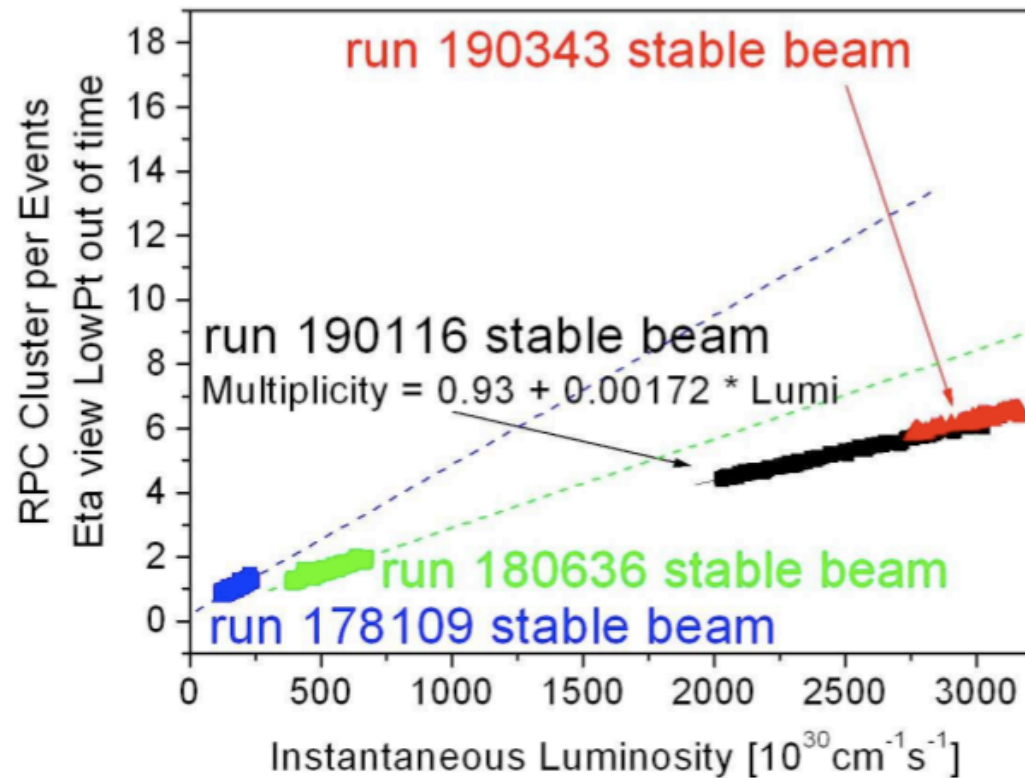


12U 14-slot ATCA shelf

Esperimenti a LHC ed a DESY stanno pensando di passare da VME a xTCA:

- Scalable modern architecture: From 1 slot MicroTCA to full mesh ATCA
 - Gbps serial communication links
 - Standard PCIe and Ethernet communication+ Well defined management
-
- ATCA (Advanced Telecommunications Computing Architecture)
 - AMC plugs into ATCA card or microTCA crate
 - ATCA + MicroTCA = xTCA

RPC uncorrelated hits in Data vs L



G. Chiodini, M. Corradi, S. Spagnolo:

<https://indico.cern.ch/getFile.py/access?contribId=1&resId=2&materialId=slides&confId=160046>

Data and MC cavern BG in MS

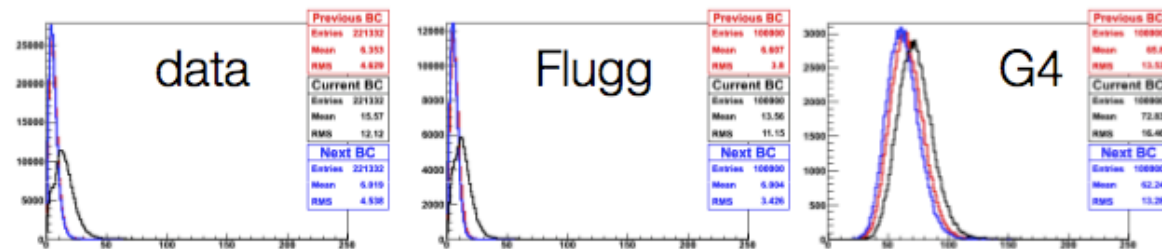
N. van Eldik

"Status of muon digitisation and reco for MC12 First look at new cavern background samples"

<https://indico.cern.ch/getFile.py/access?contribId=3&resId=0&materialId=slides&confId=182615>



TGC rates



Number of wire hits per event	Data ($\sim 2 \times 10^{33} \text{ cm}^{-2}\text{s}^{-1}$)	FLUGG ($\sim 5 \times 10^{33} \text{ cm}^{-2}\text{s}^{-1}$)	Geant4 ($\sim 5 \times 10^{33} \text{ cm}^{-2}\text{s}^{-1}$)
Previous BC	6.4	6.6	65.8
Current BC (contain signals)	15.6	13.6	72.8
Next BC	6.0	6.0	62.2

Before normalization by luminosity

After normalization with luminosity

Data : FLUGG : Geant4 = 1 : 0.4 : 4.1

(previous simulation)

Data : FLUGG : Geant4 = 1 : 3.7 : 8.4

Susumu

25