

MiniASIC ToDo:

- Multi-core
- Modalita` “Low latency” senza aspettare l'init per far uscire I pattern
- 8b/10b → opcode e init via k-word
- Gestione del BL_WIDTH (per il blocco XORAM)
- Soglia 1 (o tutte le soglie)
- Built-in test

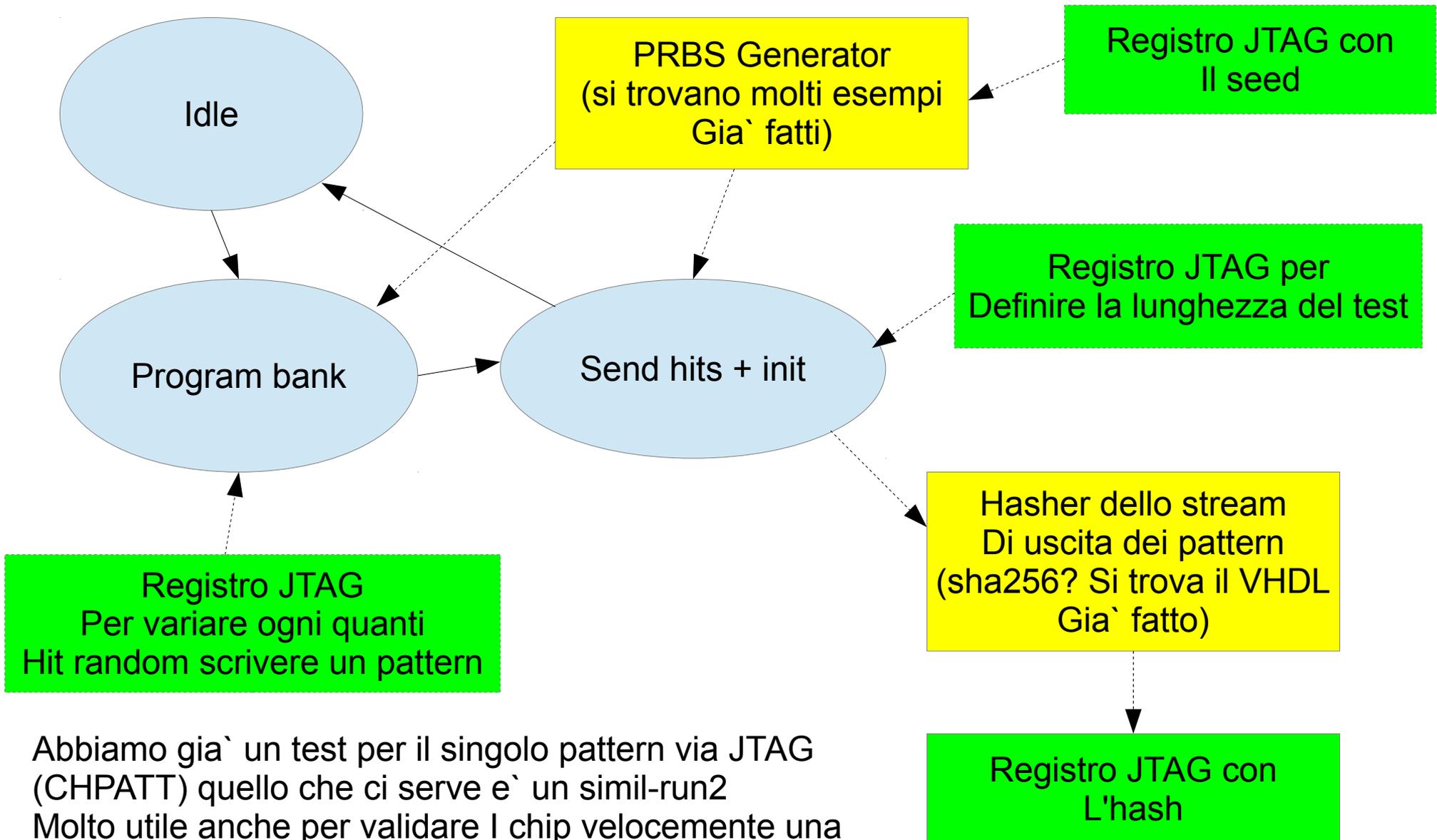
Multi-core

- Un core con XORAM un core con TOP2
- E` piu` semplice avere tutto nel core (filter, opcode dec, rec address, etc)
 - E` la struttura con cui vogliamo fare I 32k nell'AMchip05
- Da JTAG si seleziona il core attivo
 - Il core non attivo ha il clock spento

Nuova majority

- Cell area (post-synthesis):
 - Majority di ora 141
 - Majority di ora + thr1 157
 - Majority di ora allthr 187
 - Majority con counter 293
- Fare la majority con logica inesatta?
 - E` una tecnica suggerita dalla letteratura
 - Richiede ulteriore studio in simulazione

Built-in test



Abbiamo già un test per il singolo pattern via JTAG (CHPATT) quello che ci serve è un simil-run2 Molto utile anche per validare i chip velocemente una volta montati su LAMB

K-word init e opcode

- Potrebbero essere mandati su ogni bus di input
- Elastic buffer 37 bit (50 MHz) → 17 bit (100 MHz)
 - MSB identifica dati o parola di controllo
 - Init e opcode vengono aspettati su ogni bus prima di essere eseguiti