

IGNITE

Responsabile locale: Alberto Stabile

Luca Frontini

INFN - Milano

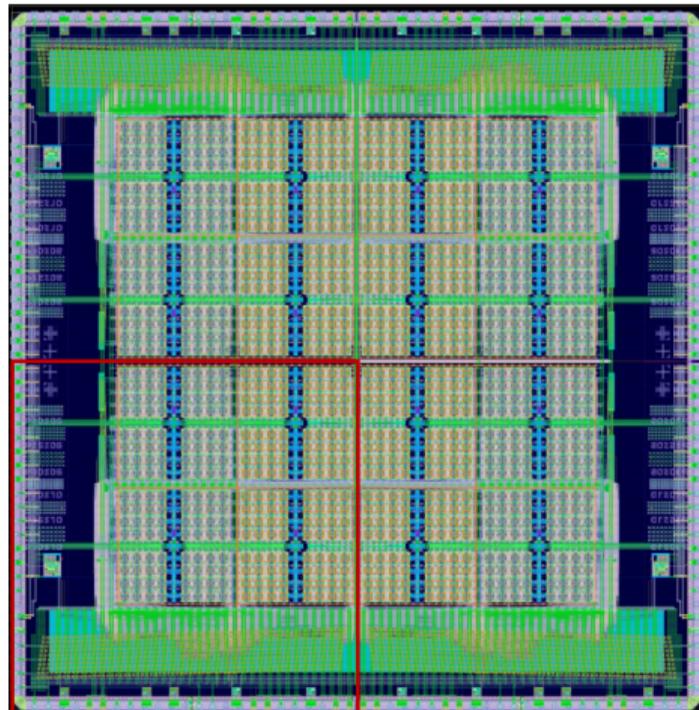
10 Luglio 2025

Topics

- Preparazione ai test per gli ASIC **Ignite32/64**.
- Specifiche e caratteristiche del nuovo chip **Ignite-ER**.
- Architettura **Ignite-ER**.
- **Integrazione 3D**: aggiornamento sugli ultimi contatti con Nhanced, opzioni disponibili e scelte da fare.
- Richieste per il 2026 (sezione Milano).

64-Matrix (ASIC)

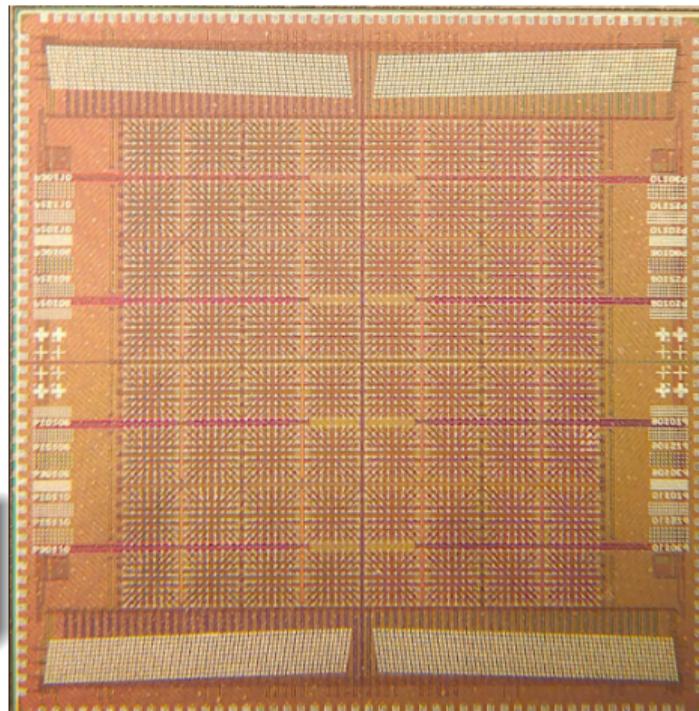
- Ottenuto tramite doppio mirroring del Quadrante (4 quadranti totalmente indipendenti)
- 16 A-Block, 64 Mattonelle
- ASIC completamente funzionante **Ignite64**
- **Dimensione: $5 \times 5 \text{ mm}^2$ (area sensibile $\approx 3.52 \times 3.52 \text{ mm}^2$)**
- **Scopo:**
 - ▶ Test e caratterizzazione del front-end
 - ▶ Test di Mattonelle e A-Block (bias)
 - ▶ Ibridazione e caratterizzazione in tempo dei sensori AIDA-Innova (FBK 3D-Trench e TI-LGAD, CNM 3D-DS columns, CNM I-LGAD)
- Read-out lento $4 \times (1.28 \text{ Gbps})$, dispositivo da laboratorio/testbeam
- Test delle strutture DBI (vedi slide successive)



Iginit64-Matrix (ASIC)

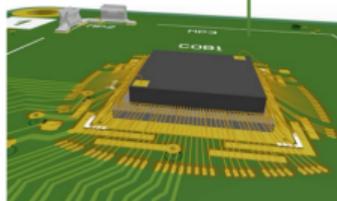
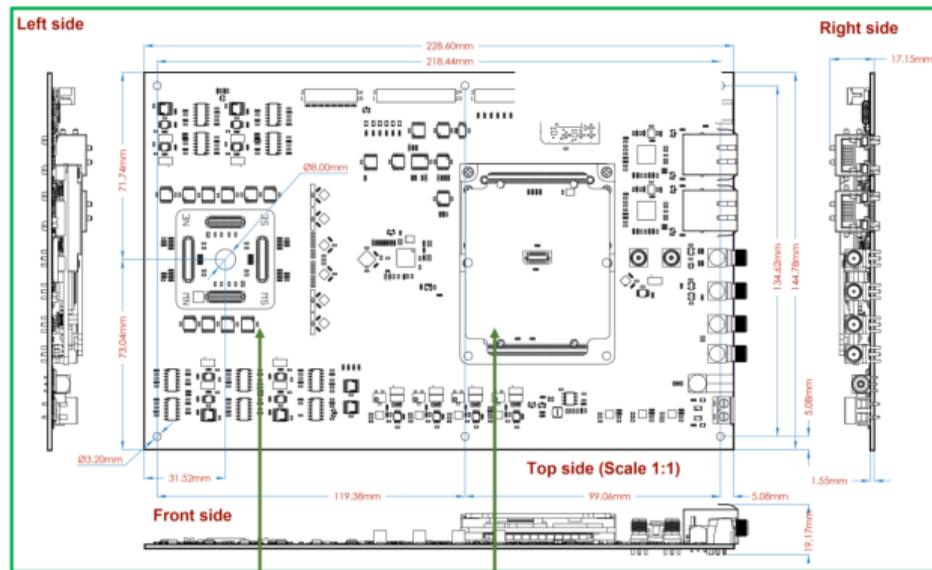
- Ottenuto tramite doppio mirroring del Quadrante (4 quadranti totalmente indipendenti)
- 16 A-Block, 64 Mattonelle
- ASIC completamente funzionante **Ignite64**
- Dimensione: $5 \times 5 \text{ mm}^2$ (area sensibile $\approx 3.52 \times 3.52 \text{ mm}^2$)

Inviato il 5 gennaio 2025
Die ricevuti ad aprile 2025
Test in preparazione



TestPCB e stato dell'assemblaggio

- Gli ASIC sono in fase di assemblaggio sulle daughter board.
- Il TestPCB include:
 - ▶ servizi di alimentazione,
 - ▶ lettura e configurazione lente (I²C) e veloci (Ethernet),
 - ▶ generazione impulsi (test AFE e TDC).
- Stato:
 - ▶ TestPCB attualmente in produzione,
 - ▶ test su ASIC nudo previsti a luglio,
 - ▶ ibridazione tramite bonding Anisotropic Conductive Film,
 - ▶ test ibridi in laboratorio (laser IR) e con fascio.
- Un altro test importante: **radiazione!** (in autunno)



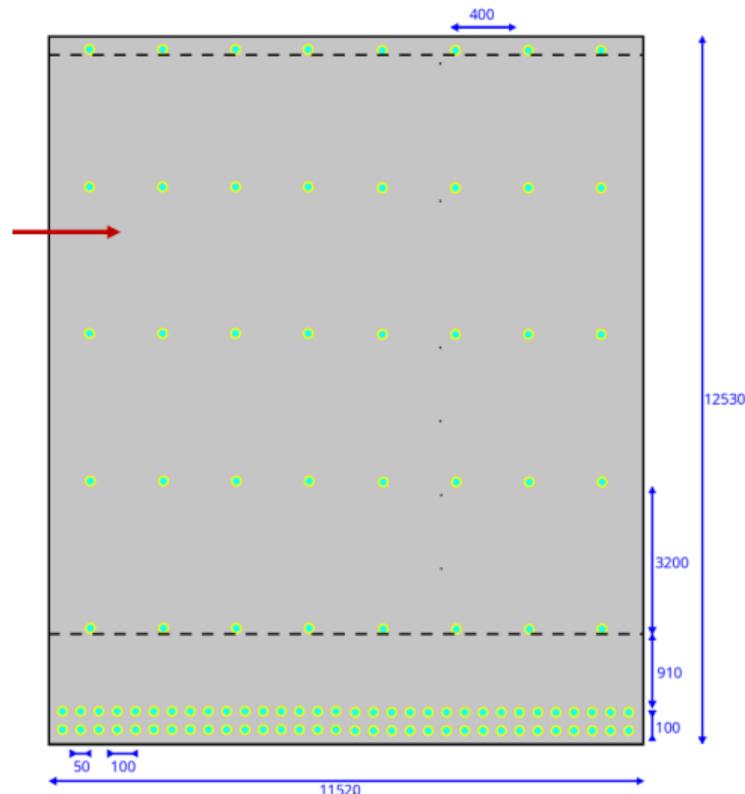
SOM controller (SM-K26-XCL2GC)
(each board can be used standalone)



ASICs assembled on daughter boards (DB)

Ignite-ER: Schema possibile per il layout TSV (DL)

- Schema riferito a un'opzione 256×256 pixel
- Scalabile a dimensioni maggiori
- Vista dall'alto (non in scala)
- I TSV sono previsti solo per le reti di alimentazione, per migliorare l'integrità dell'alimentazione in ASIC di grande area (es. 320×320 pixel?)
- Idea di implementare aree di atterraggio TSV nel layout per una possibile fabbricazione futura
- Nessun TSV digitale in questa prima versione

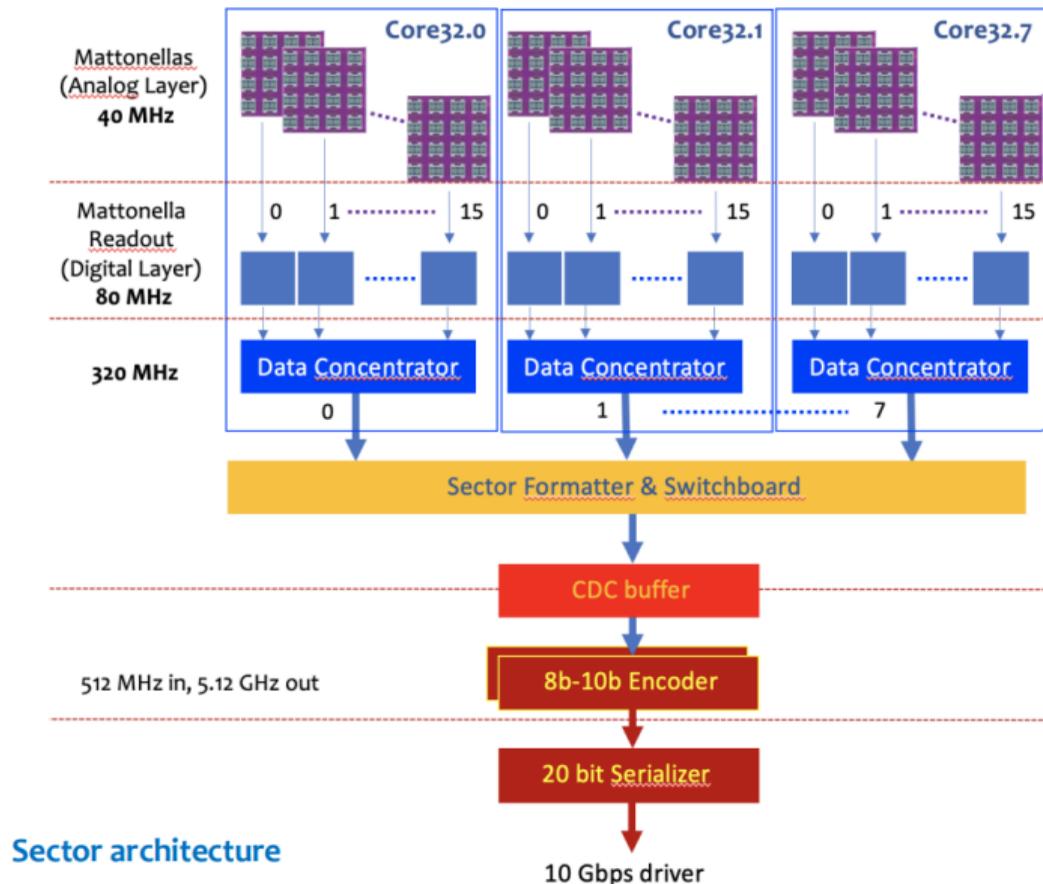


Principali responsabilità della Sezione di Milano

- Progettazione e implementazione del **flusso dati** (dataflow architecture)
- Definizione della **topologia dei clock** e distribuzione della temporizzazione
- Sviluppo e caratterizzazione della **PLL rad-hard** per l'intero sistema con Milano Bicocca

Ignite-ER: Dataflow

- Il flusso dati è completamente guidato dai dati (data-driven)
- Ogni settore è un'unità indipendente, associata a un singolo driver da 10 Gbit/s
- I settori condividono clock e alimentazione nella periferia dell'ASIC
- È prevista una non uniformità di rate tra i core all'interno dello stesso settore (dovuta alla diversa distanza dall'IP)
- L'architettura scelta è progettata per bilanciare il rate totale in uscita



Sector architecture

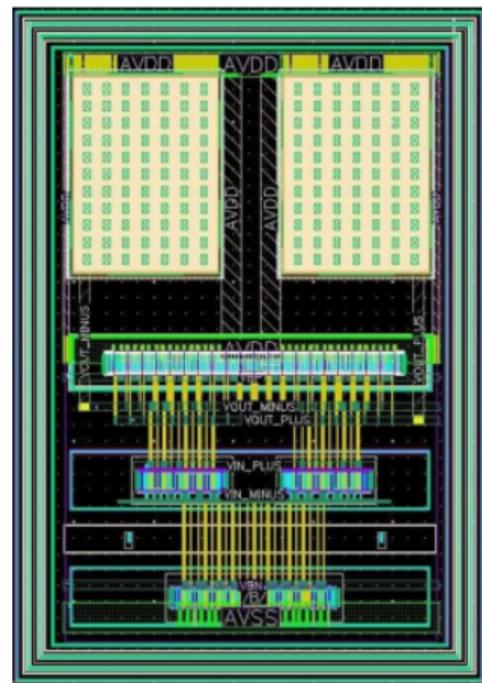
Ignite-ER: Riferimenti di clock e temporizzazione

Clock di riferimento (40 MHz):

- PLL a 40 MHz distribuiti sull'intero ASIC
- Clock mesh verso i pixel
- **Ignite64** è già "meshato" (implementazione lato analogico)
- Il clock a 40 MHz sarà distribuito su un livello di mesh differente nel DL
- Jitter controllato sotto i 6 ps RMS
- **Un prototipo rad-hard della PLL sarà inviato il 25 giugno per una caratterizzazione completa**

Sul DL, il clock serve solo per la regolazione del flusso dati (320 MHz)

È in fase di progettazione un driver di serializzazione in collaborazione con G. Magazzu di Pisa



VCO layout progettato da L. Palini

Contributi di personale (Preventivo 2026)

Partecipanti al progetto **IGNITE**

- **Luca Palini: 100%** – contributo principale e continuo
- **Luca Frontini: 30%**
- **Alberto Stabile: 20%**
- **Federico Redi: 30%**
- **Valentino Liberali: 10%**

Totale previsto: 190% equivalente a 1,90 FTE (Full Time Equivalent)

Note aggiuntive

Non sono previste richieste per l'acquisto di strumenti o materiali di consumo. 300 k€ per spese di assemblaggio e test e 1.2 M€ per ER, che saranno centralizzate a Cagliari.