

# Elettronica

(attività luglio 2024/giugno 2025)

Riccardo Travaglini

# Personale

Giulio Avoni

Gabriele Balbi (TD 100% su ETIC fino a tutto il 2025)

Casimiro Baldanza

Alberto Brusegan (TI da aprile 2025 )

Luigi Degli Esposti

Davide Falchieri

Ignazio Lax

Giovanni Mastropasqua (TD 100% su ETIC fino a tutto il 2025)

Stefano Meneghini

Giuliano Pellegrini

Luigi Rignanese

Giovanni Torromeo

Riccardo Travaglini

Mirco Zuffa

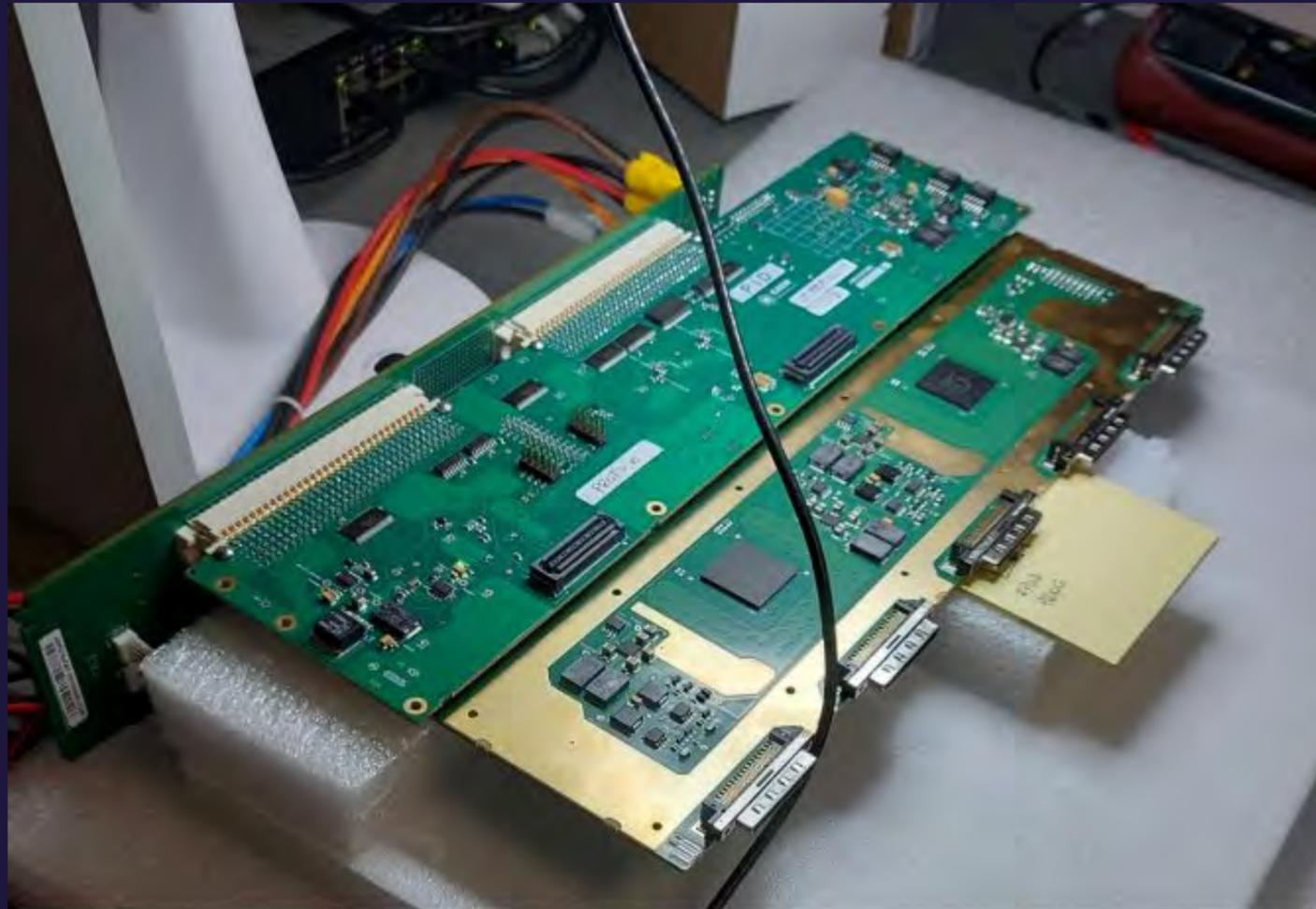


4 tecnologi - 10 CTER

# Il servizio in breve

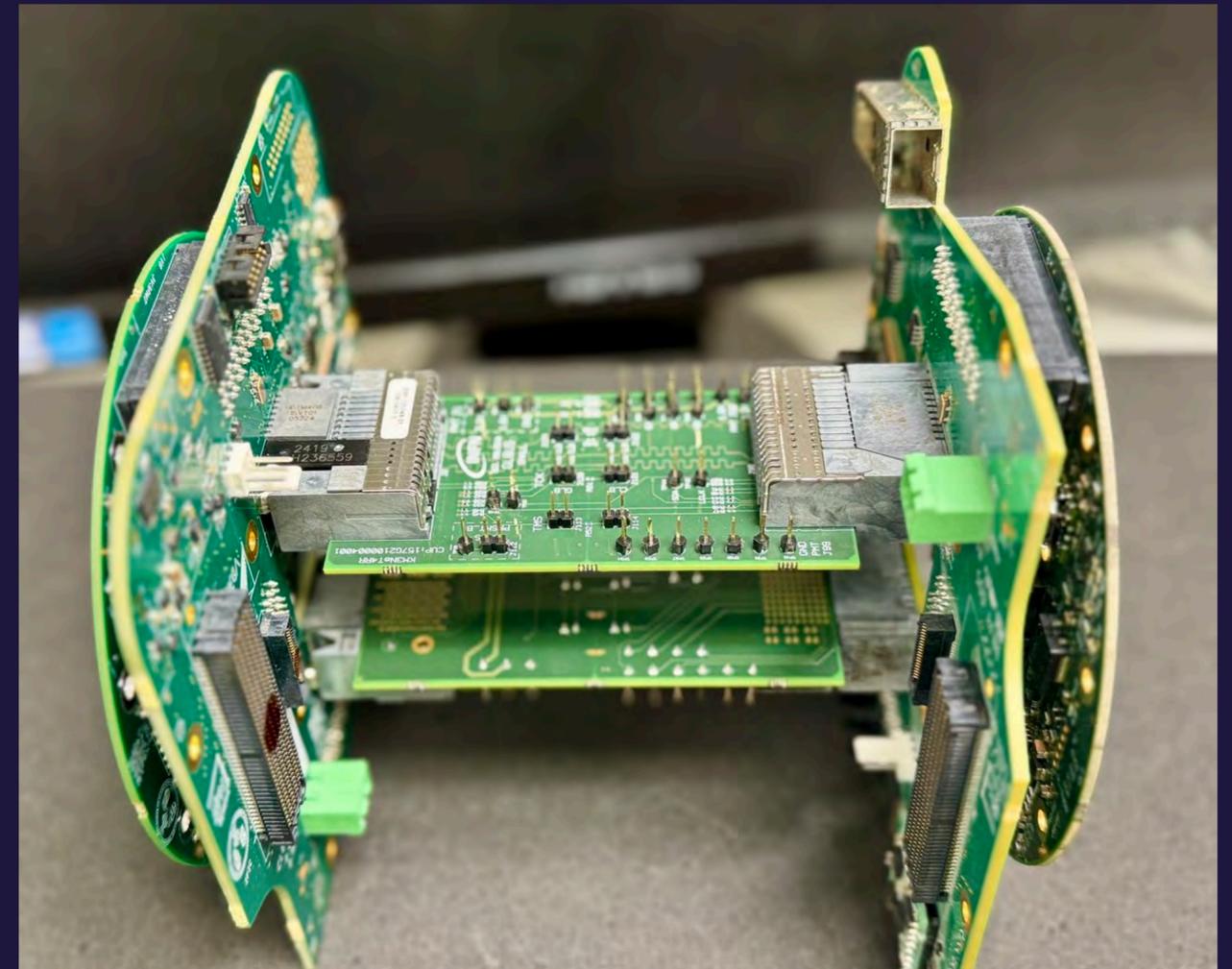
- ✓ 15 ordini di PCB completati, seguiti dal servizio (2 non progettate da noi)
- ✓ Circa 20 prototipi realizzati dal nostro laboratorio di prototipazione
- ✓ 4 progetti con sviluppo di firmware per FPGA particolarmente complicato
- ✓ Innumerevoli attività a supporto della progettazione: cavi, schedine, riparazioni, test
- ✓ 7 studenti (alcuni condivisi con STG e TA) - 1 tirocinante ITS Maker

# Highlights (1 di 2)

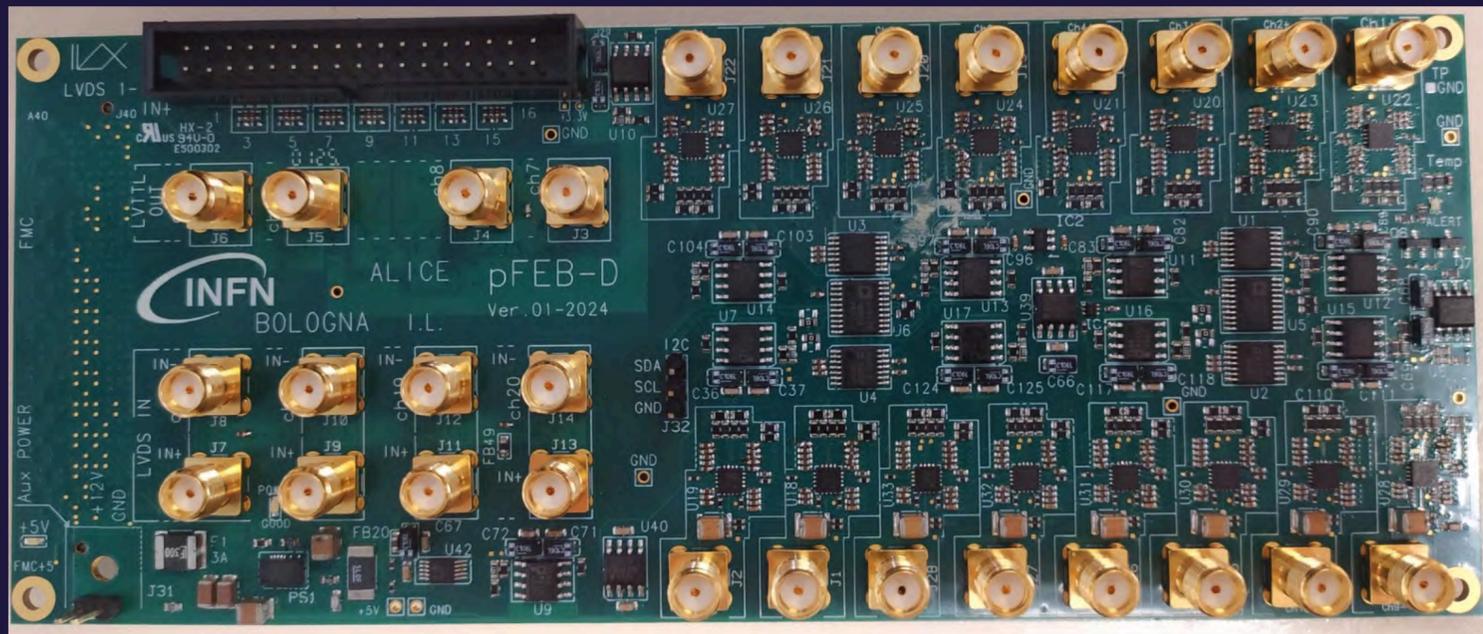


TRM2 per Alice (in collaborazione con Caen)  
4 picoTDC (risoluzione 3 ps)

GLBus per I test delle Control Logic Board di  
KM<sub>3</sub>NeT



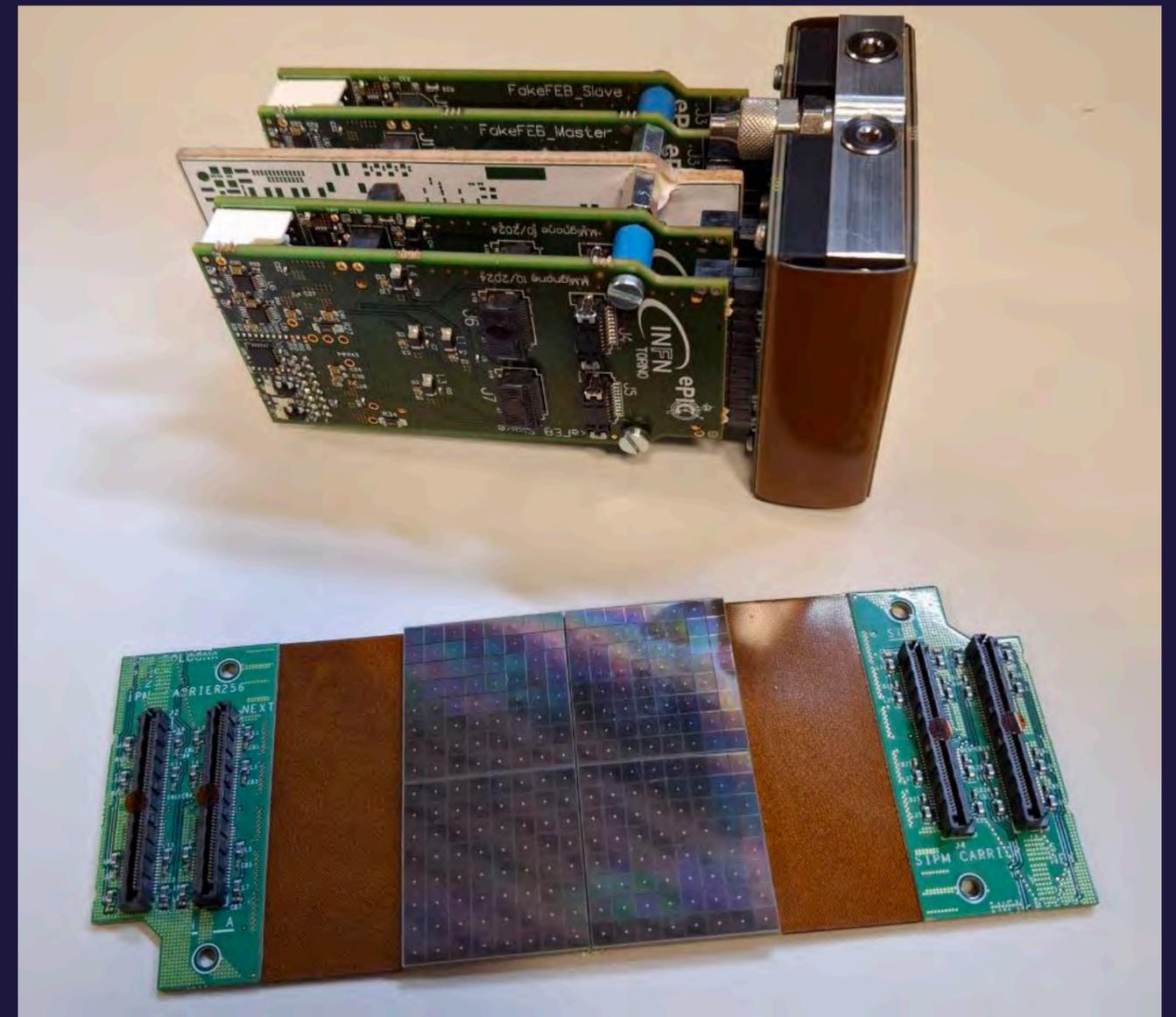
# Highlights (Due di Due)



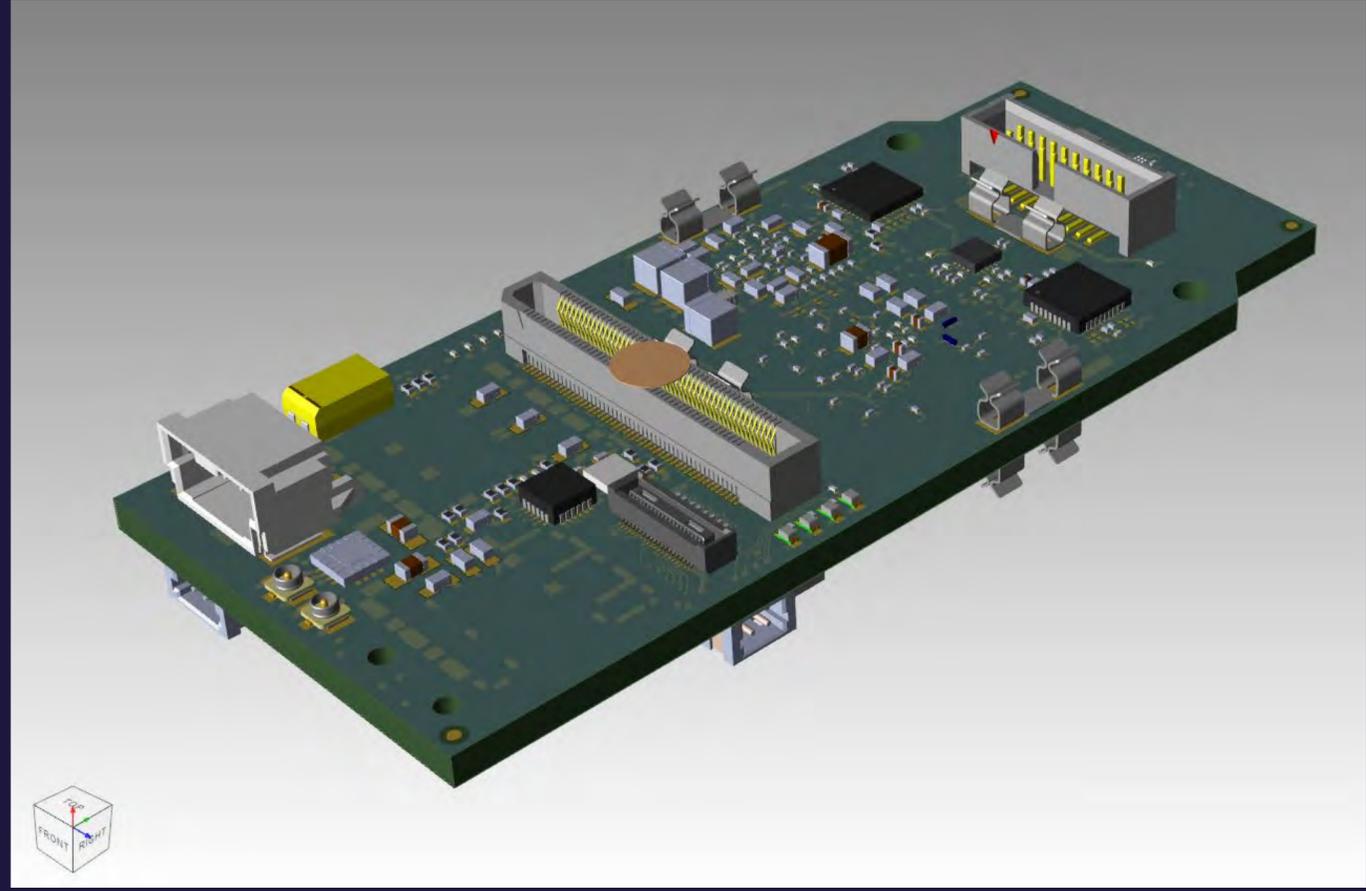
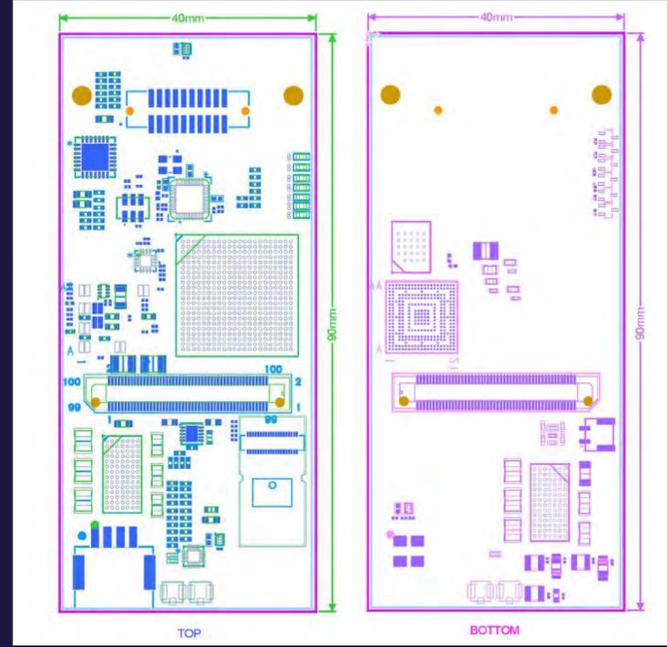
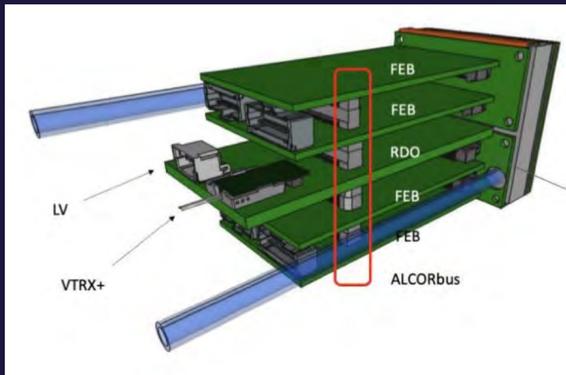
pFEB-D per ALICE (180 x 73 mm) 8 layers, impedenza controllata

Con 16 discriminatori ultrafast in SiGe: 80 ps minimum pulse width, 35 ps typical output rise/fall, 10 ps deterministic jitter (DJ), 200 fs random jitter (RJ)

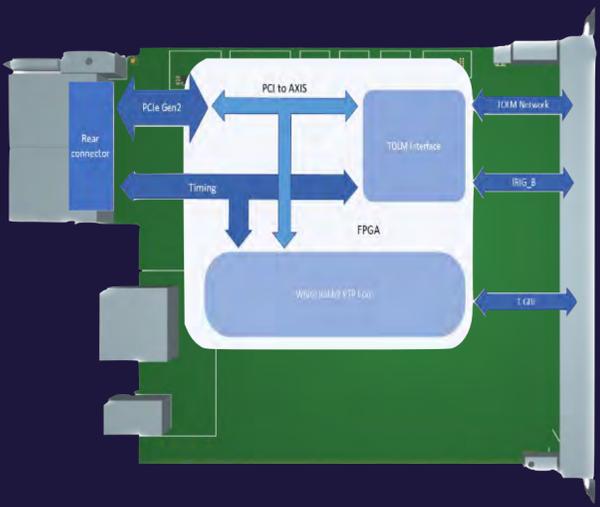
EIC\_SIPM\_CARRIER\_256\_NEW  
9 layer di cui 3 flessibili in kapton (ground-segnale-ground)



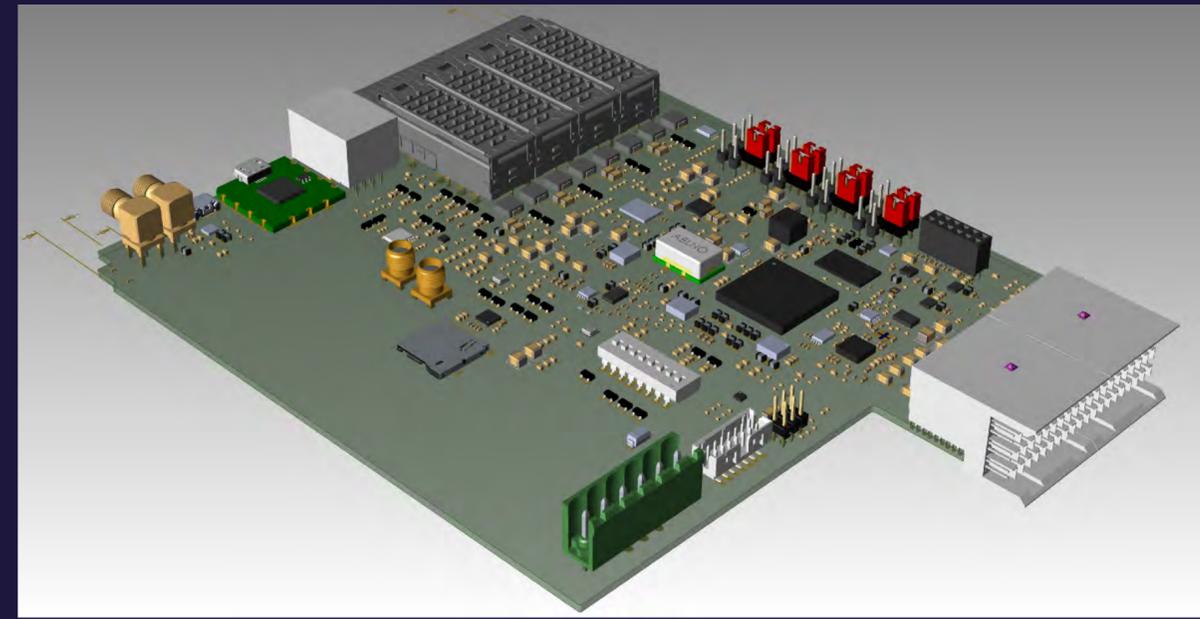
# Dalla scorsa assemblea



Scheda RDO per EPIC  
 IN: 32 lanes di dati a 400 MHz (DDR)  
 OUT: VTRX+ (10 Gb/s)  
 FPGA AMD Artix Ultrascale+ (16 nm FinFET)



Rear Transition Module per crate uTCA 4.0 (Virgo)  
 Timing, Synchronization and DAQ - White Rabbit Node



- \* In generale il servizio non sviluppa FW per gli esperimenti
- \* Mia idea: noi possiamo formare giovani che poi svilupperanno e manterranno il codice per gli esperimenti

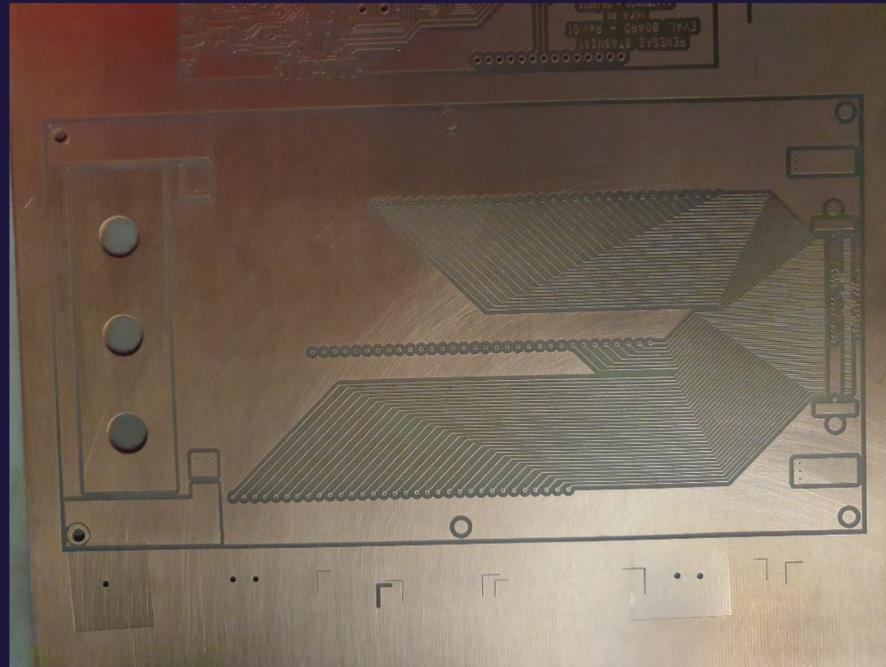
 TRM2 (Alice) : PolarFire Microchip flash-based technology

 New Lucrod (Atlas): Cyclone 10GX; interfaccia con ADC 12 bit a 650 Msps - 1pGBT

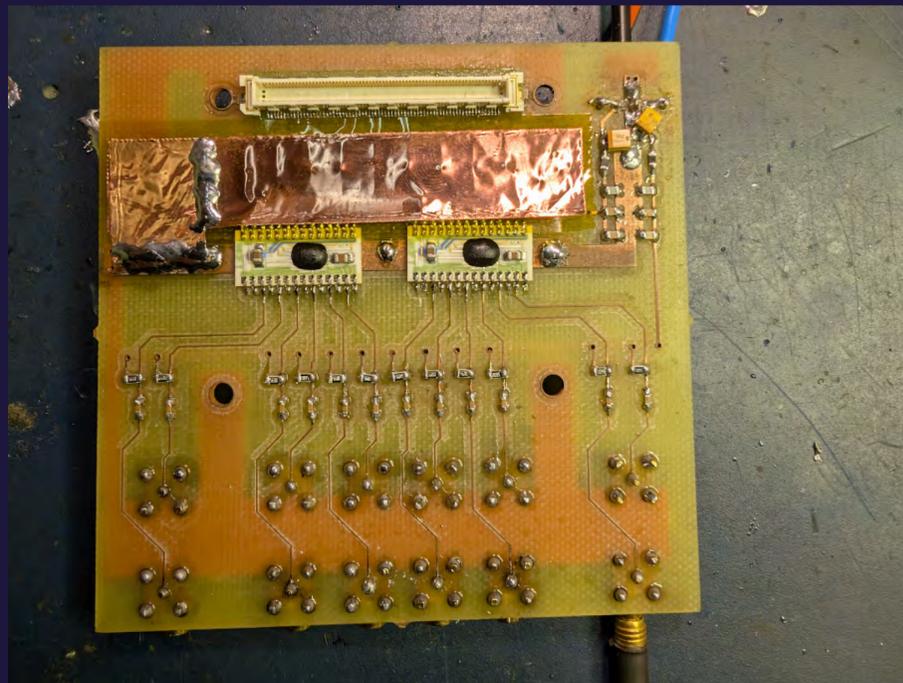
 RTM TimingDaq (Virgo) : Artix-US+; White Rabbit Node

 RDO (ePIC): Artix-US+; bandwidth per 32 lanes di dati a 400 MHz (DDR) e VTRX+ (10 Gb/s); scrubbing della memoria di configurazione dell'Artix con PolarFire

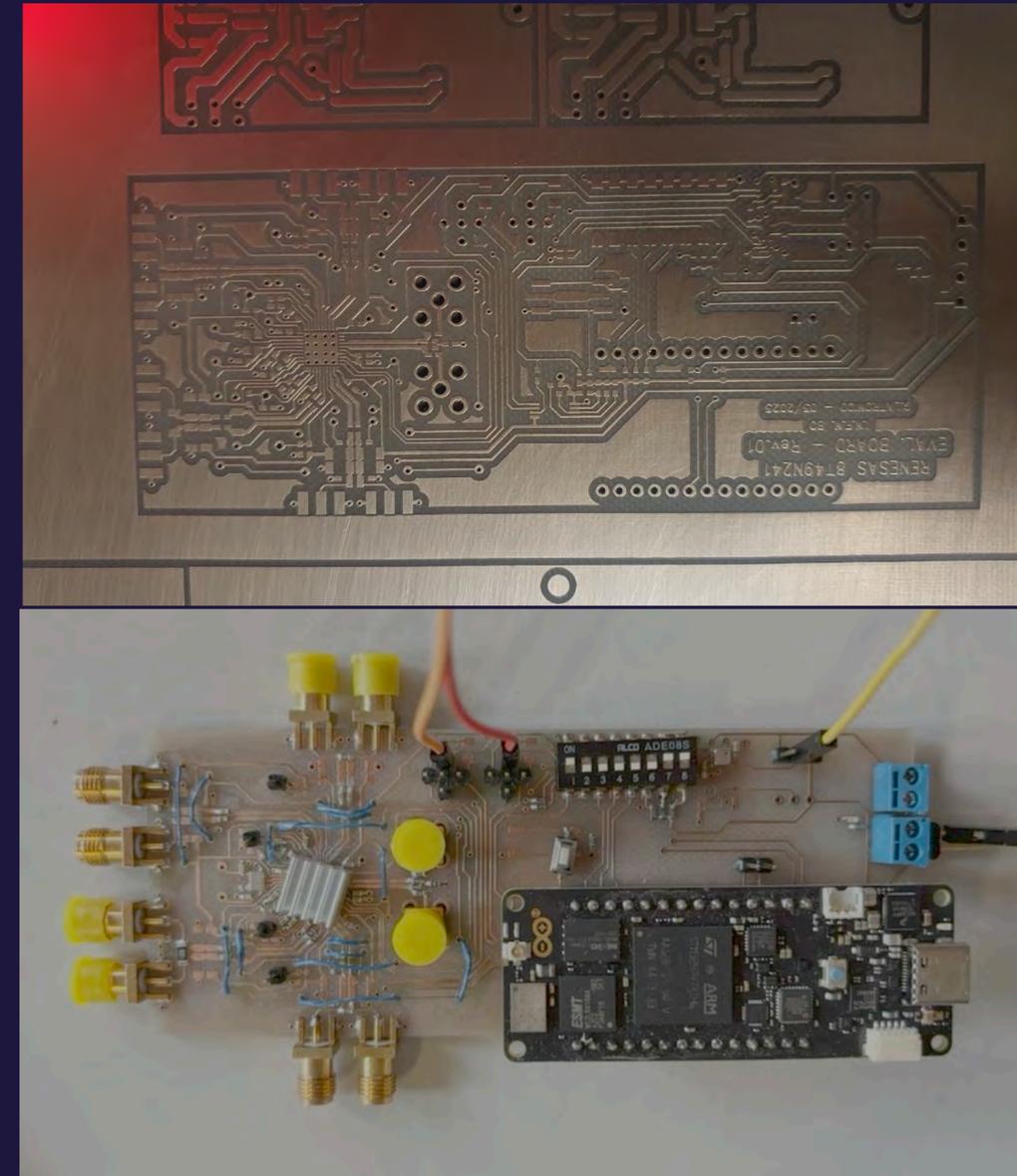
# Prototipazione in house



riusciamo a realizzare PCB  
con piste di 200um  
isolamento 200um



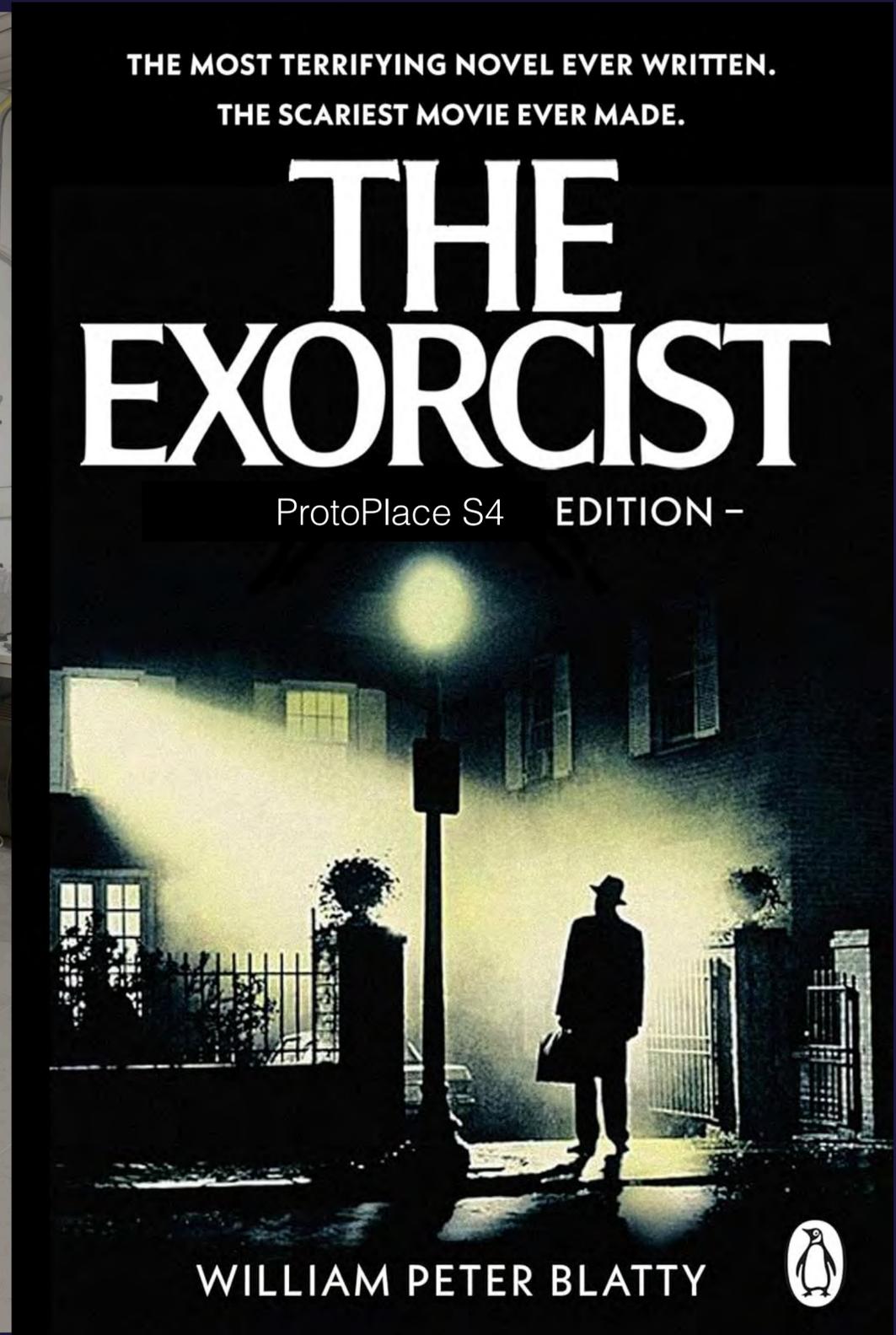
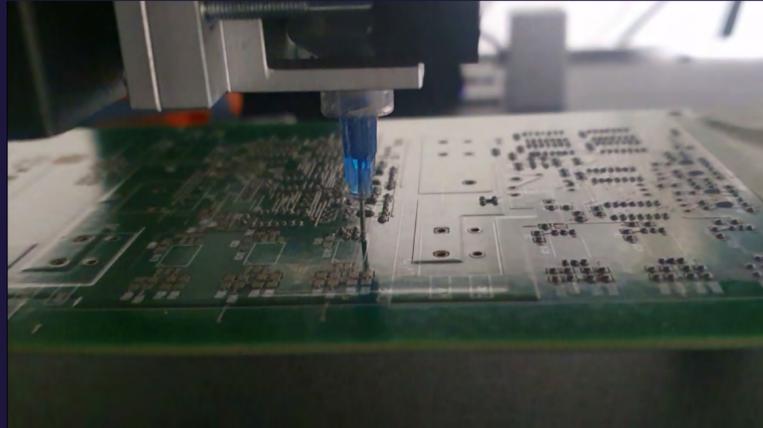
amplificatori per le Camere a Drift di DUNE



Test del Renesas 8T49N241 (frequency translator with jitter attenuation - frequency synthesizer)

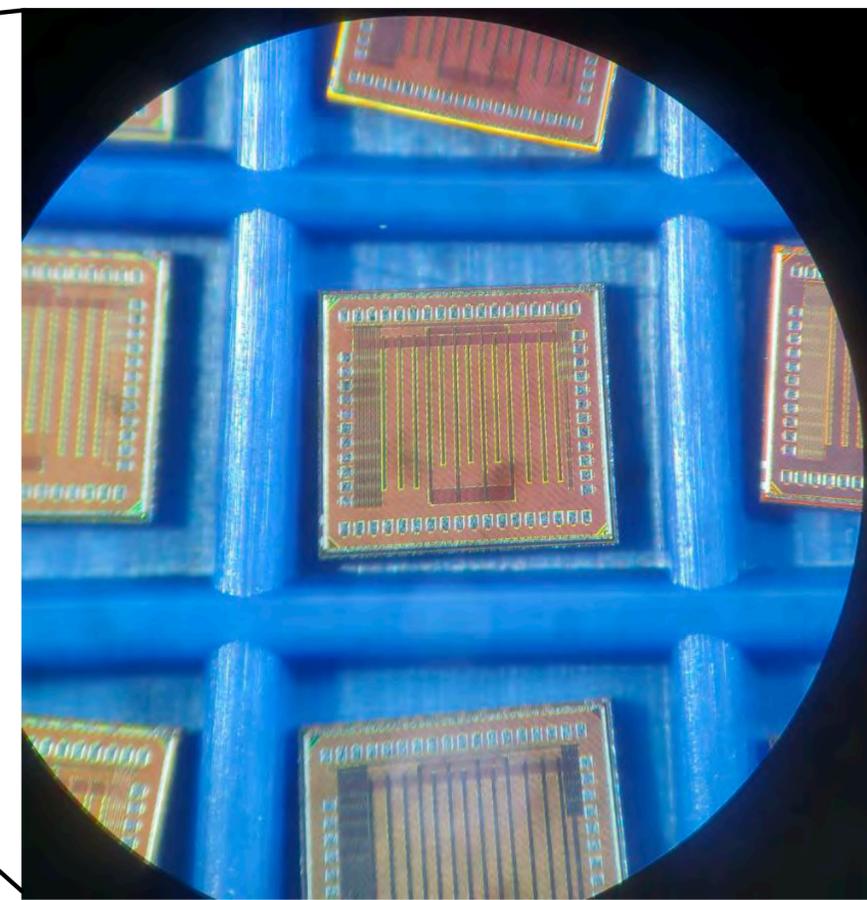
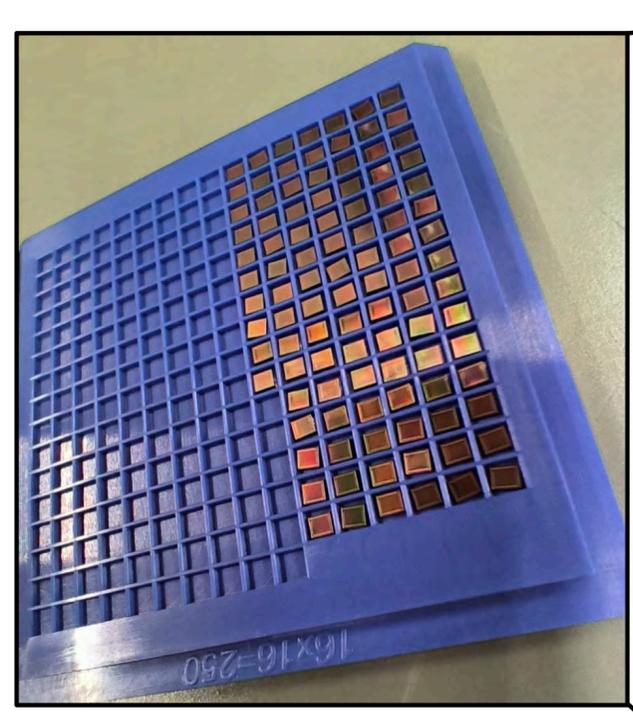
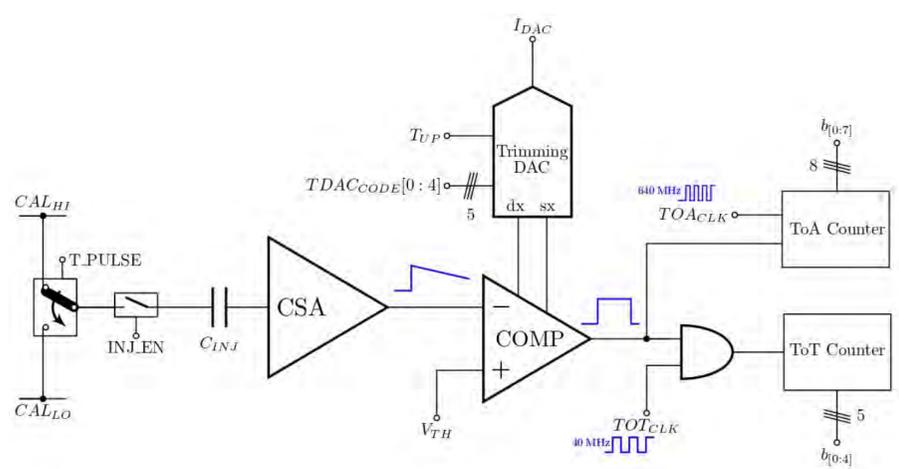
Disegnato da tirocinante ITS Maker - utilizzato anche da studenti PCTO

# Pick and Place



# Microelectronics @BO

## Ignite / Falaphel ASIC



die size = 1 mm<sup>2</sup>

At INFN Bologna we designed the digital part of this ASIC:

- 32x8 pixel matrix with ToA/ToT architecture
- technology: **TSMC 28 nm HPC+**
- submitted: July 2024, received: January 2025
- EDA tool: Cadence
- now developing the DAQ readout system

For ASIC design we have a PC with EDA tools:



- **Cadence** (analog + digital): *national licenses*
- **Synopsys** (digital): *3 local licenses*
- **Siemens** (analog + digital): *local licenses*

Coordinatore: Davide Falchieri

# Richieste 2026



$\partial\text{MU} / \partial y$ (2025)	ESPERIMENTO	LAB. ELETTRONICA(MU)
	ATLAS	22
	DUNE&ICARUS	18
	KM <sub>3</sub>	5
	CMS	1
	Limadou	1
	ALICE	13
	RD-FCC	3
	EPIC	11
	FAMU	0.5
	FOOT/RIPTIDE	2
	PANDORA_GR <sub>3</sub>	0.5
	SND@LHC	8
	MUonE	1
	IBIS_NEXT	1
	ET_ITALIA	10
	ISOLPHARM_APEX	1
	VIRGO	10
	ASPIDES	3
	QUARTET (CSN <sub>5</sub> )	2
	MESI UOMO	113
	DISPONIBILI	113

*Grazie*



al direttore,  
ai colleghi del servizio di elettronica,  
alle colleghe e ai colleghi degli esperimenti e  
degli altri servizi,  
a tutti voi per l'attenzione



# Materiale aggiuntivo

## Un “seminario” di sezione

- \* max 20 minuti presentazione di tecnologie e proposte del servizio tecniche (es: no ordini!)
- \* max 40 minuti di discussione
- \* dedicato a tutti gli stakeholder (esperimenti, servizi, ...)
- \* settembre o ottobre

- **Giovani fisici e ingegneri**
- **Microelettronica**
- **Intelligenza artificiale (FPGA e Controlli)**
- **Quantum Computing**

# "Further readings"

Tecnologie di elettronica per il futuro- Travaglini @Workshop di Sezione per la discussione della Strategy Europea sulla Fisica delle Particelle, 7/11/24

<https://agenda.infn.it/event/43756/>

Il personale tecnico INFN e l'elettronica - Citterio, Travaglini @ INFN Condivide Tecnici 9/5/25,

<https://agenda.infn.it/event/46425/contributions/263607/>



- Overview dell'elettronica INFN e in sezione
- Problemi, difficoltà ma anche idee, suggerimenti e desiderata
- Qualcosa si muove tra gli elettronici nell'INFN

# Licenze locali

- Mentor Graphics PADS
- Mentor Graphics PADS professional
- Europractice Siemens
- Europractice Xilinx
- Europractice Synopsys Maintenance
- Cam 350
  
- Orcad
- Microsemi
- Quartus



For ASIC design we have a PC with EDA tools:

- Cadence (analog + digital): *national licenses*
- Synopsys (digital): *3 local licenses*
- Siemens (analog + digital): *local licenses*