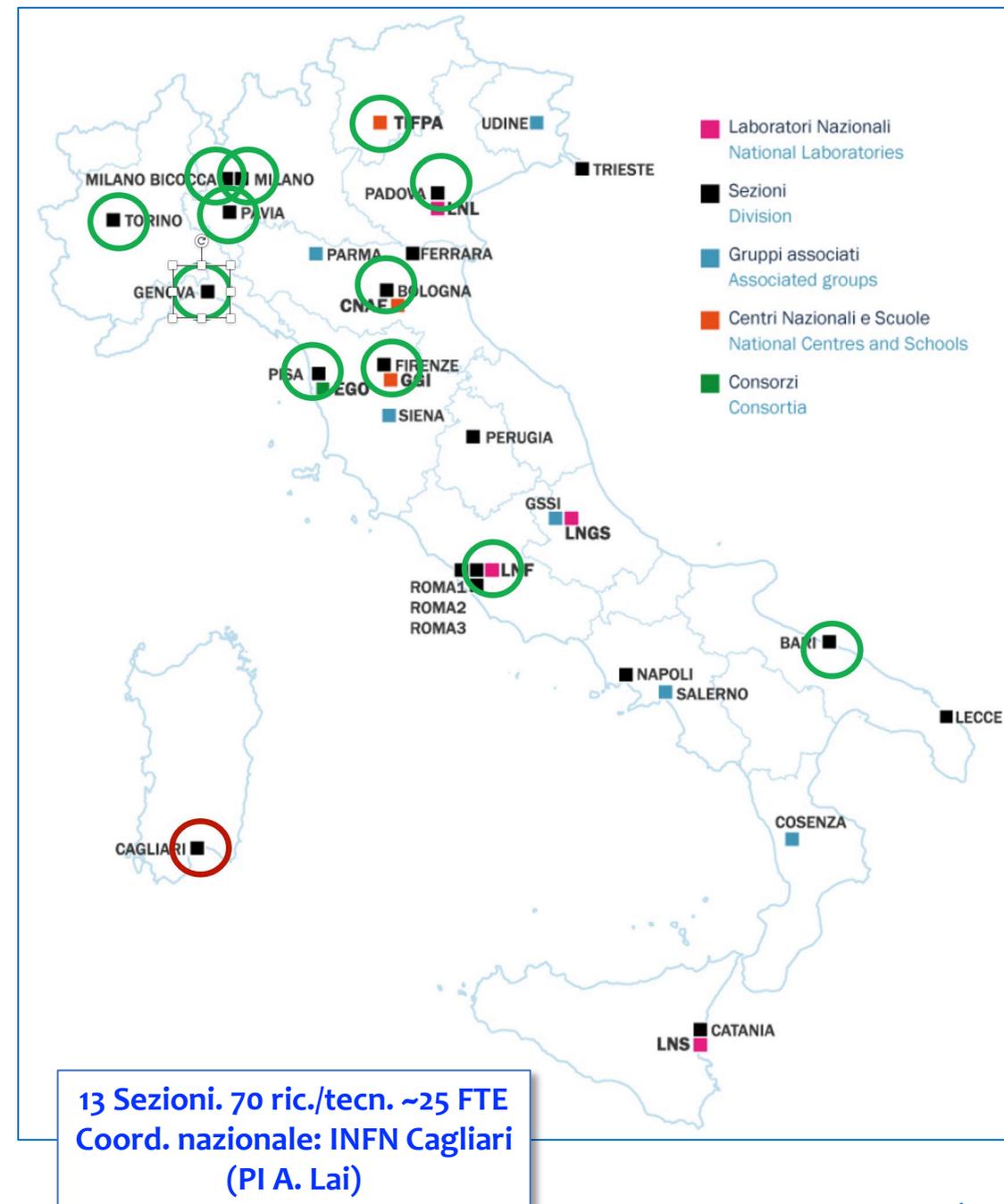


# Obiettivi e risorse

1. Portare a maturazione i risultati degli ultimi ~5 anni in progetti di R&D (CSN5) su **sensori ed elettronica** verso un loro effettivo utilizzo in fisica sperimentale, in particolare per quanto riguarda il **4D-Tracking**  
 → sviluppo di un dimostratore completo per un tacciatore 4D, soddisfacente le prestazioni richieste
2. Compire l'obiettivo 1 attraverso la costruzione ed il funzionamento di una **rete di competenza nazionale trans-esperimento**, specialmente riguardo alla microelettronica
3. Essere un polo ed un **contesto attrattivo per giovani ricercatori e tecnologi** sia rispetto agli aspetti formativi, sia rispetto al loro inserimento nel corpo INFN (contratti)

4 anni di attività: 2023–26 + 1 possibile anno di estensione a budget fissato. **Finanziamento GE fuori bilancio diretto in CSN1.**

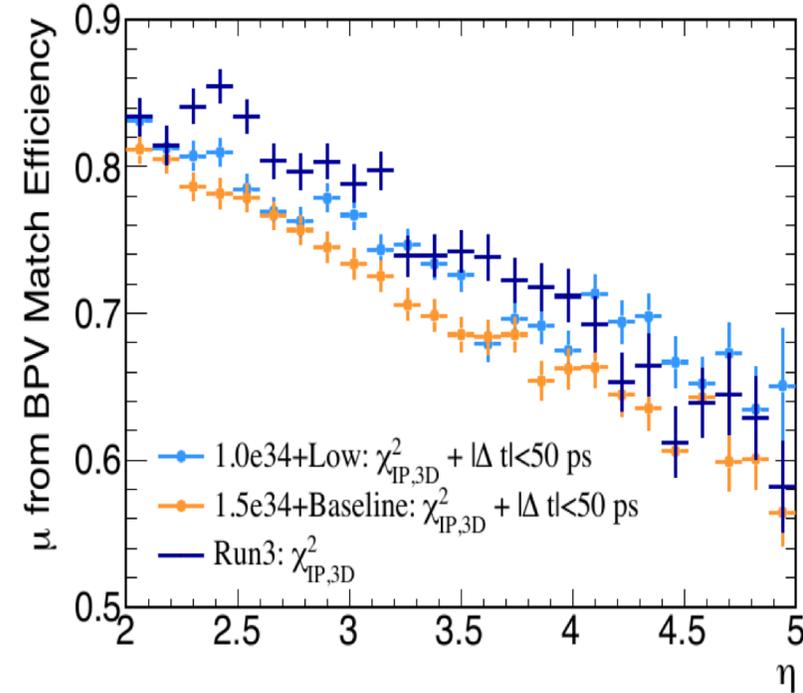
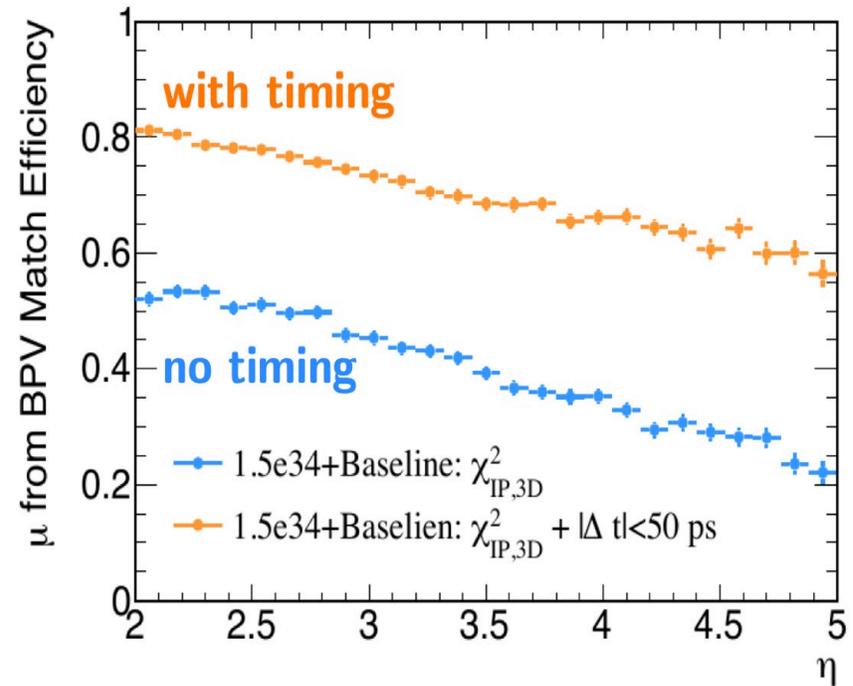
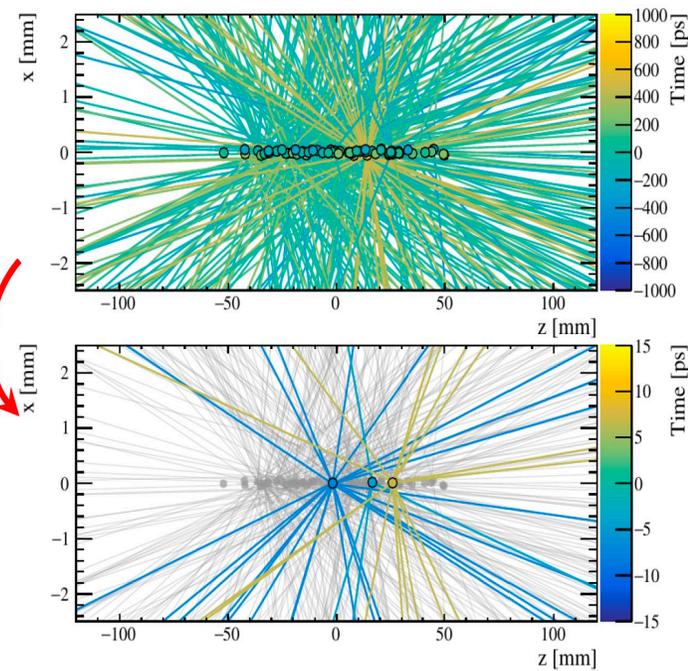
**Budget:** 300 k€ per anno = 1.2 M€ totali  
 + 1.2 M€ per Engineering run  
 + 120 k€ in contratti di ricerca  
 + borse di dottorato tematiche in caso di giovani interessati e meritevoli (2 nel 2023, 2 nel 2024 ...).



# 4D-tracking molto in breve

IGNITE

Timing window 30 ps

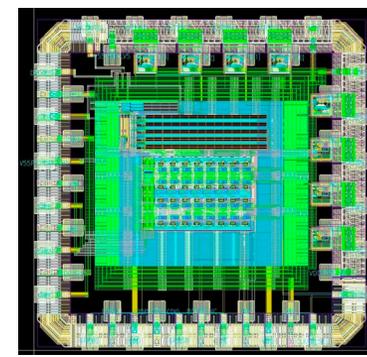


- Using  $B^+ \rightarrow J/\psi \rightarrow \mu^+ \mu^- K^+$  U2 MC, cuts  $p_T(\mu) > 0.5 \text{ GeV}$ ,  $p(\mu) > 2 \text{ GeV}$
- Matching  $\mu$  to PV using  $\chi^2_{IP,3D}$  or  $\chi^2_{IP,3D} + |\Delta t| < 50 \text{ ps}$
- Matching fraction of best PV corresponding to true PV: **timing is critical in U2**
- **With timing PV matching, performance is comparable to Run 3**

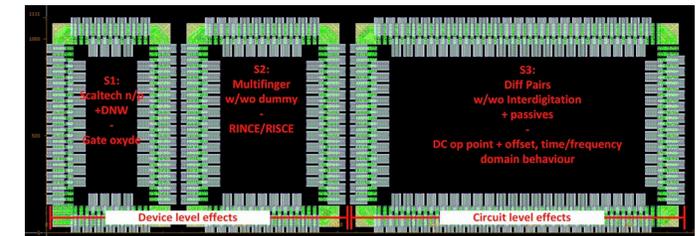
# 2° anno di attività (2024)

## Attività concluse/in corso

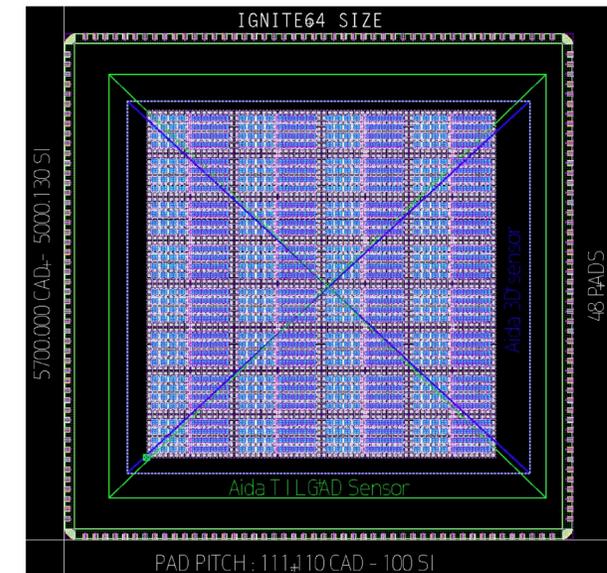
- Il costituirsi di una rete attiva ed efficace per la progettazione  $\mu$ -elettronica è già da solo un risultato di grande valore per **IGNITE** e l'INFN
- Realizzazioni e studi in corso:
  1. 2 ASIC in CMOS 28-nm progettati e prodotti (2023): **Ignite-0** (Cagliari-Milano) e **Ignite-RAD** (Milano Bicocca, Padova) (2023)
  2. Sviluppo di schede (LNF) per il test dei prototipi (2023)
  3. Test e caratterizzazione ASIC **Ignite-0** e **Ignite-RAD**
  4. Definizione dell' Architettura del sistema finale
  5. Studio delle modalità di  $\mu$ -integrazione del sistema finale (integrazione verticale)
  6. Design del primo ASIC completo (**Ignite64**): submission Ottobre 2024 (Cagliari, LNF, Milano, Milano B., Pisa, Torino).



**Ignite-0**



**Ignite-RAD**

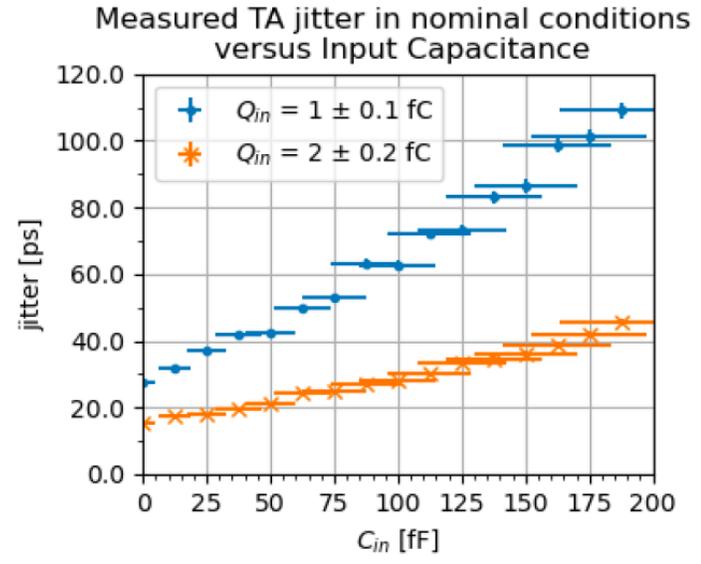
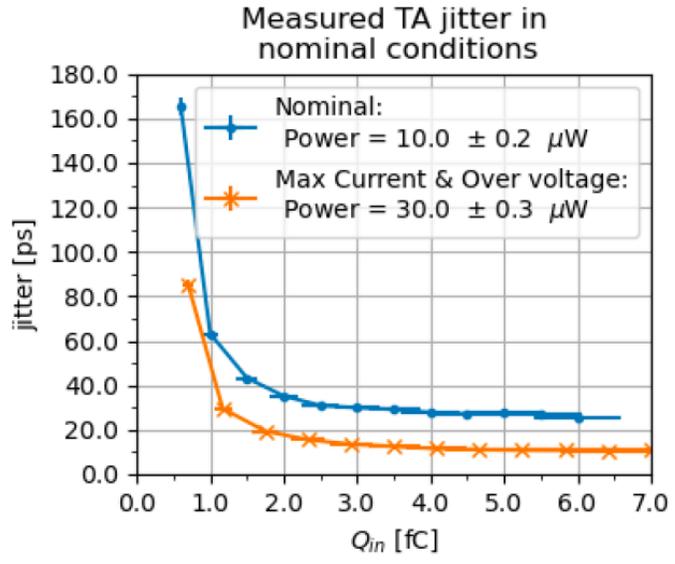
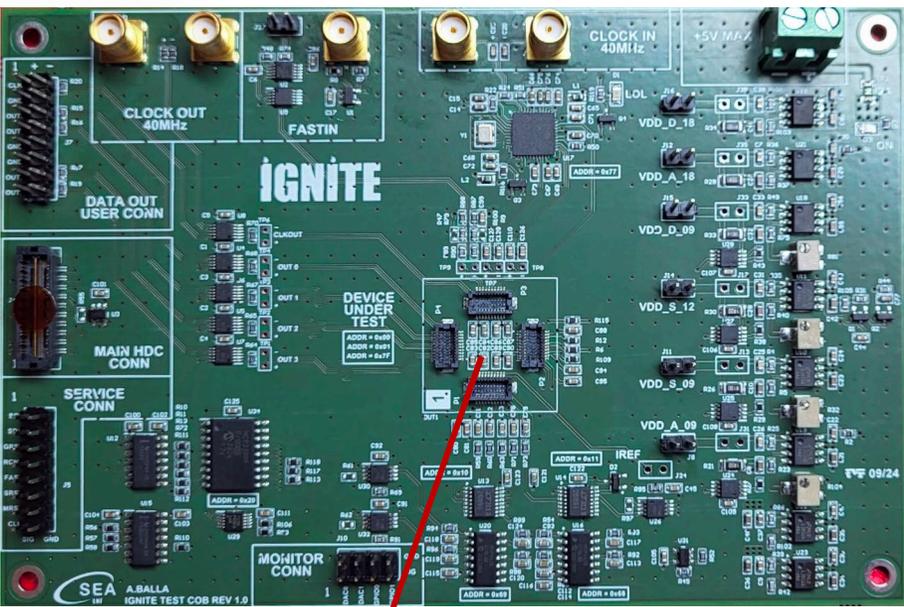


**Ignite-64**

# Ignite-0 tests

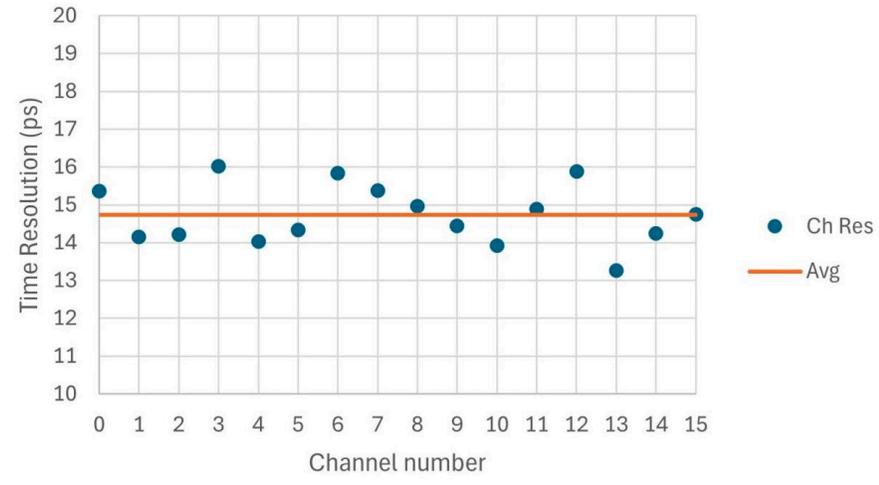
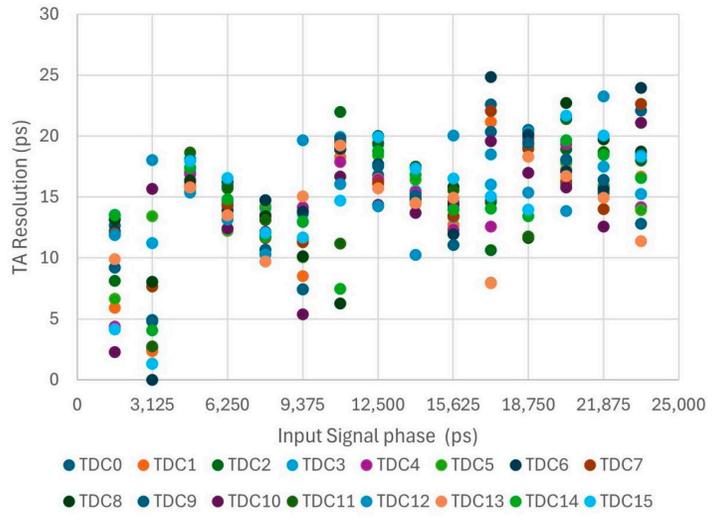
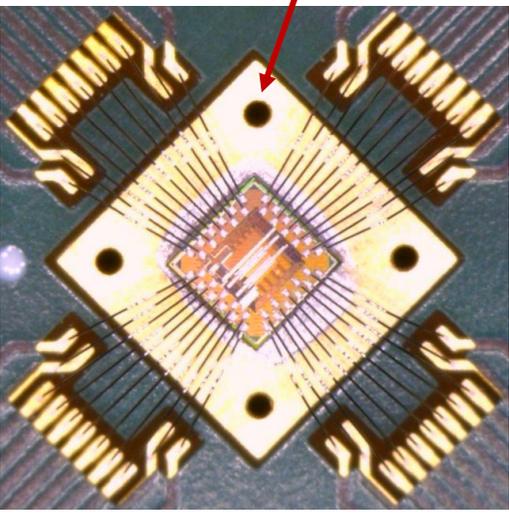
INFN Cagliari, Lab Frascati, Milano

A. Balla, P.Ciambrone INFN Frascati



TDC resolution vs Input TA Phase

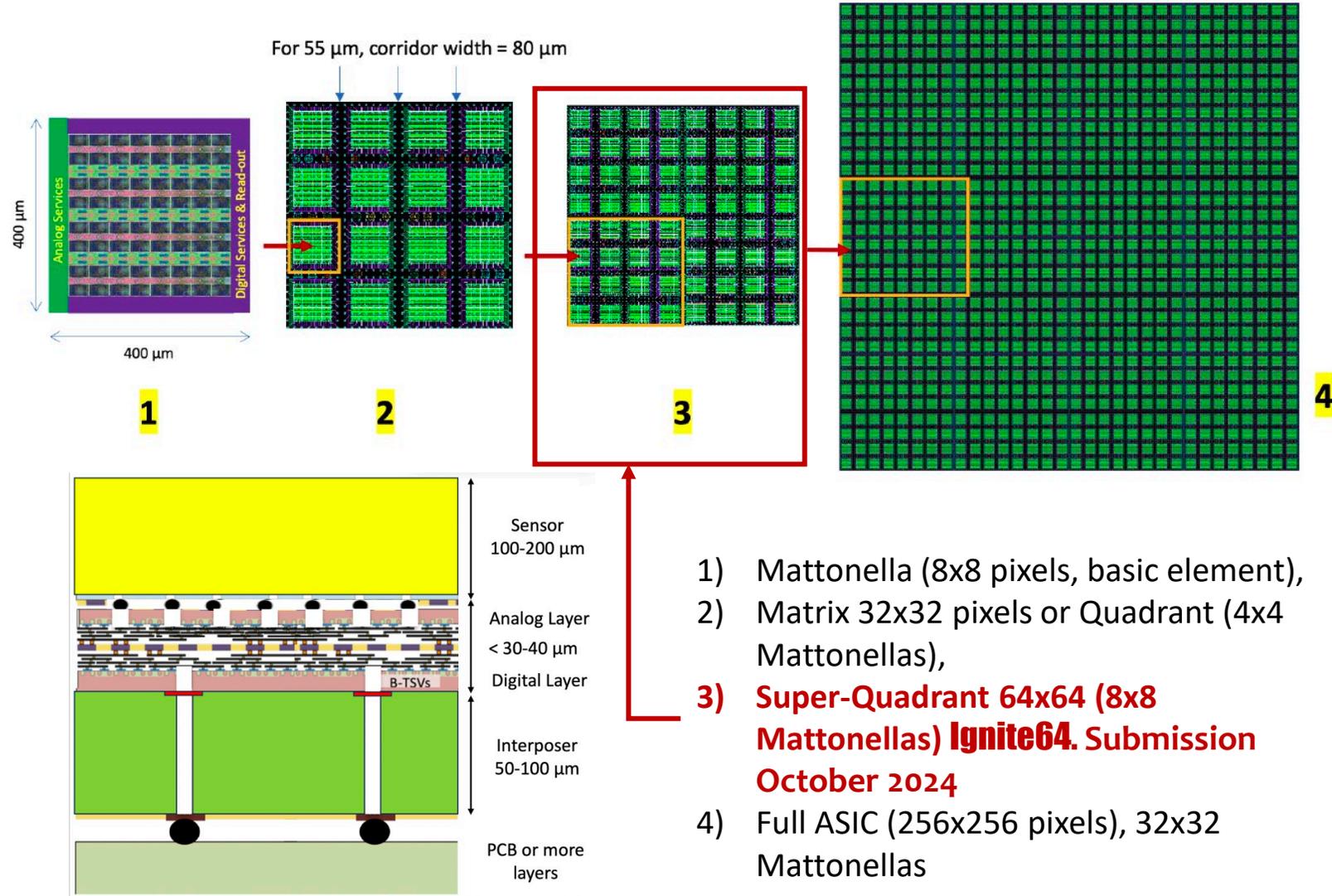
Average TDC resolution vs channel



**TDC Avg ≈ 14.7 ps**

# Ignite64 ASIC: a pilot-prototype ASIC for 4D-tracking ... and FractalDesign<sup>©</sup>

1. After 2 test ASICs, a third ASIC is in the design phase, to be submitted this year 2024.
2. It features a **64x64 pixel matrix** (to be used also in test-beams for sensor characterization). Purpose of this submission:
  - Full validation of front-end
  - Test of high-resolution time sensors (see next slide)
3. For the larger area ASIC, starting from the experience gained in the *TimeSPOT* developments (first 4D ASIC ever in CMOS 28-nm), we **follow an alternative approach in design**. Such approach (**FractalDesign<sup>©</sup>**) is mainly aimed at minimizing the known risks in this kind of implementation: accurate clock and power distribution.

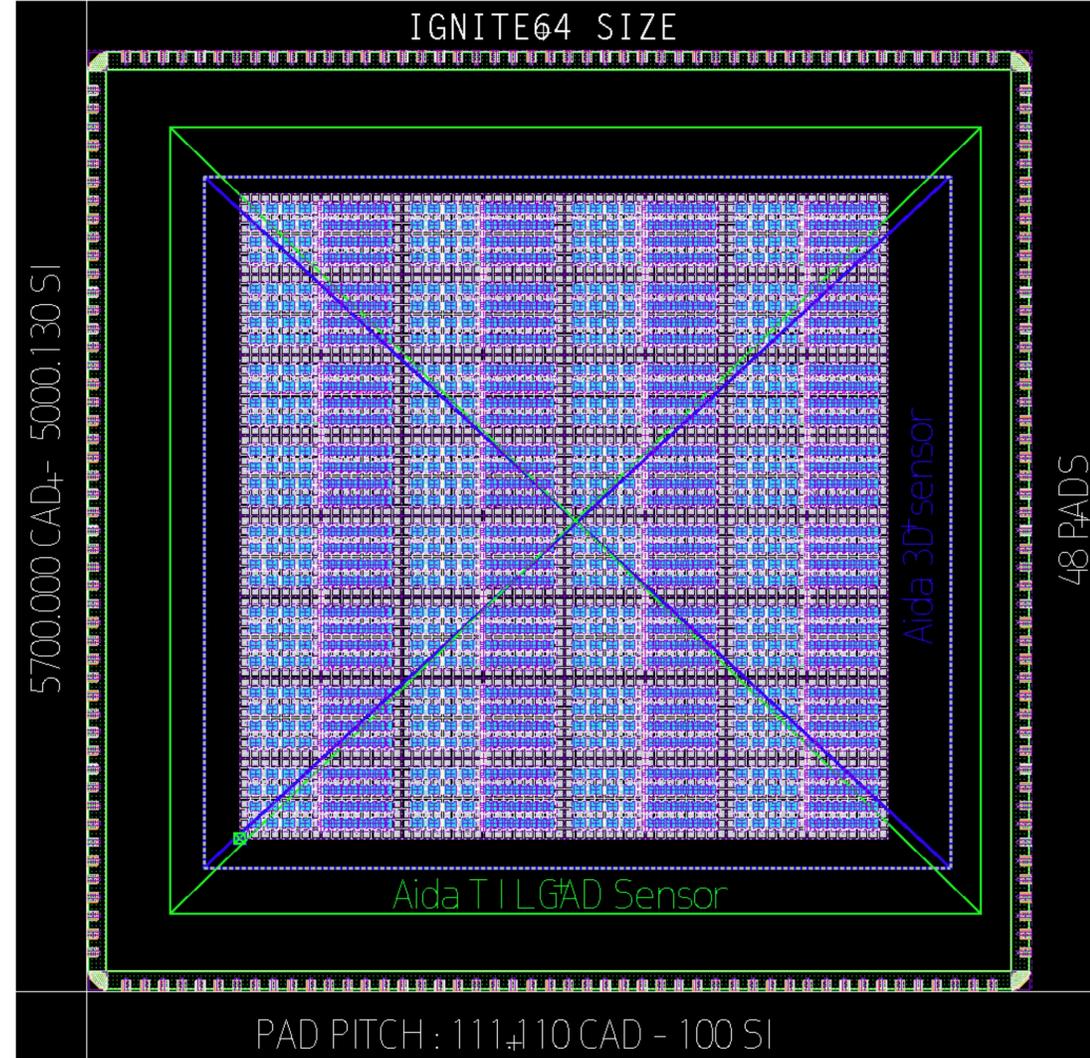


NB: The **FractalDesign** approach requires the use of 3D integration (ASIC stack)



# Purpose, scope (and limitations) of Ignite64

1. After 2 test ASICs, a third ASIC is in the design phase, to be submitted this year 2024.
2. It features a **64x64 pixel matrix** (to be used also in test-beams for sensor characterization). Purpose of this submission:
  - Full validation of front-end
  - Test of high-resolution time sensors (see next slide)
  - NB: the output stage will be slow, and the High data rate issue will not be addressed
3. For the larger area ASIC, starting from the experience gained in the **TimeSPOT** developments (first 4D ASIC ever in CMOS 28-nm), we follow the **FractalDesign**® approach



- Review 8/7/24



## **The Ignite64 ASIC: Specifications & Use**

**by The IGNITE project Team**

*v1.0, 3<sup>rd</sup> July 2024*

# Personale e richieste 2025

## *preliminare*

- Ricercatori/Tecnologi (**IGNITE**):
  - STABILE Alberto 0.4 FTE
  - LIBERALI Valentino 0.1 FTE
- Richieste **IGNITE**
  - Su Cagliari sono concentrate le richieste di missioni per la collaborazione e i SJ
  - Le richieste sono quasi tutte SJ (tranne piccoli consumi distribuiti alle sezioni, ancora da concordare)
    - 120 k€ nuova submission CMOS 28nm (SJ)
    - 100 k€  $\mu$ -integrazione (SJ)
    - 1200 k€ submission ASIC finale (SJ)