

# Status nuove schede di acquisizione FPGA

Federico Lazzari



# Risorse utili

Per gli studenti:

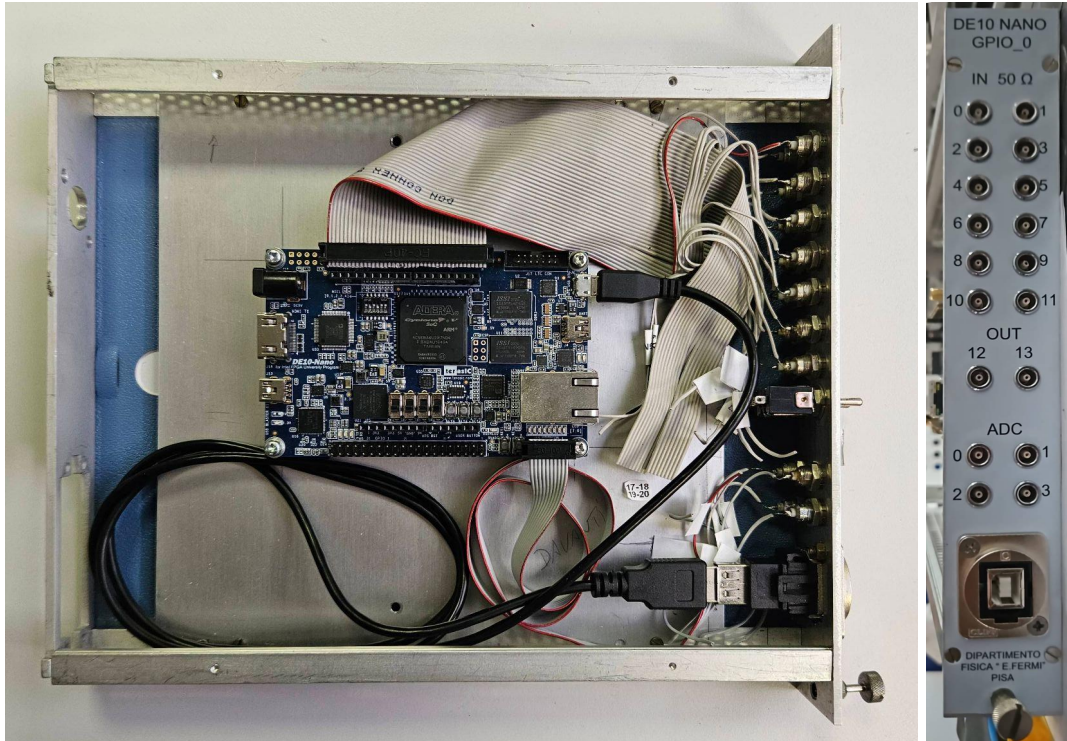
- Manuale utente:  
drive del laboratorio (risorsa accessibile agli studenti, link su e-learning)  
[Manuali/DE10-Nano/](#)
- Software per acquisizione dati e decodifica output (link riportato anche nel manuale):  
<https://baltig.infn.it/lazzari/de10-nano-software>

Per usi avanzati:

- Sorgente firmware (link riportato anche nel manuale):  
<https://baltig.infn.it/lazzari/de10-nano-hardware>
- Archivio firmware e backup (path relativo riportato anche nel manuale):  
drive del laboratorio (accesso ristretto ai membri)  
[dispositivi/DE10-Nano/](#)

# Modulo NIM

- Prototipo di modulo NIM con DE10-Nano.



12 ingressi digitali  
(terminati a 50 Ohm)

2 uscite digitali  
(non terminate)

4 ingressi analogici.

Comunicazione USB con il SO

# Firmware

- Acquisizione contemporanea di segnali analogici e digitali
- Clock 200 MHz → risoluzione temporale 5 ns.
- 12 canali digitali in ingresso e 2 in uscita.
- Reset cronometro ogni  $\sim 5,37$  s ( $2^{30} * 5$  ns).
  - Viene tenuta traccia del reset nel file in output.
- Ampiezza segnale analogico [0, 4.095] V.
- 8 digitalizzazioni in sequenza del canale analogico 0.
  - Frequenza 455 kHz (2.2  $\mu$ s).
  - Trigger: canale 11 digitale.
- Rate di scrittura su file O(10kHz).
  - In caso di superamento dei limiti perdita di dati e avvisi, non blocco dell'acquisizione.

# Output files

- Output codificato in due word da 32 bit.

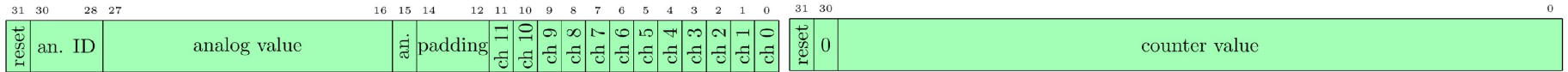


Figure 1: Channel word format.

Figure 2: Counter word format.

- Gli studenti possono usare uno script per convertirlo in un formato più comprensibile.

◦ `./decoder [-d?] [--digital] [--help] [--usage] inputFile outputFile`

		Tempo (clk)	Canale digitale 0 ... 11	padding	dati analogici
	1 1073738796	1073738796	1 0 0 0 0 0 0 0 0 0 0 0	0 0 0	0 0 0
2147483648	2147483648	→			
	1 4917	1073746741	1 0 0 0 0 0 0 0 0 0 0 0	0 0 0	0 0 0
	2048 471438665	471438665	0 0 0 0 0 0 0 0 0 0 0 1	0 0 0	0 0 0
201883648	471439098	471439098	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0	1 0 3080
487882752	471439538	→	471439538	0 0 0	1 1 3348
537624576	471439978	471439978	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0	1 2 11
805470208	471440418	471440418	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0	1 3 2

# Esperienza d'uso

- Modulo usato da “Mu decay” (2 gruppi) e “Mu life” (1 gruppo).
- Non sono stati riportati problemi di stabilità.
- Difficoltà nella decodifica delle informazioni (prima dell'introduzione del software di conversione).
- Difficoltà nell'uso di `screen` (non obbligatorio).
- Prestare attenzione alla “sincronia” dei segnali:
  - **Segnali contemporanei potrebbero essere registrati in colpi di clock differenti**  
(jitter del convertitore NIM-TTL, jitter digitalizzazione, ritardi su linee di trasmissione)

14033    **1** 0 **1** 0 **1** 0 **1** 0 **1** 0 **1** 0 **1** 0

20696    **1** 0 **1** 0 **1** 0 **1** 0 **1** 0 **1** 0 0 0

20697    0 0 0 0 0 0 0 0 0 0 0 0 **1** 0

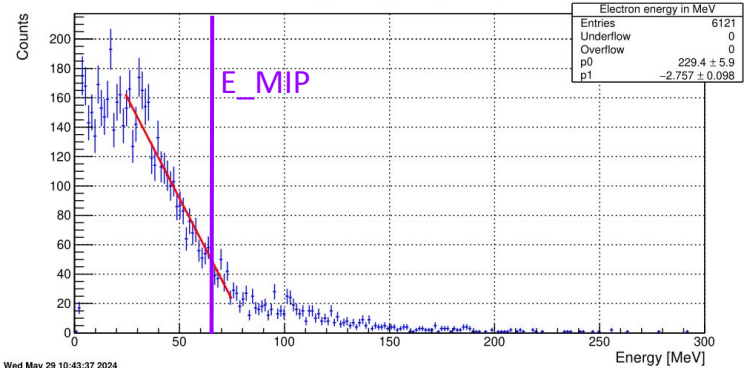
34020    **1** 0 0 0 0 0 **1** 0 **1** 0 0 0 0 0

34021    0 0 **1** 0 **1** 0 0 0 0 0 **1** 0 **1** 0

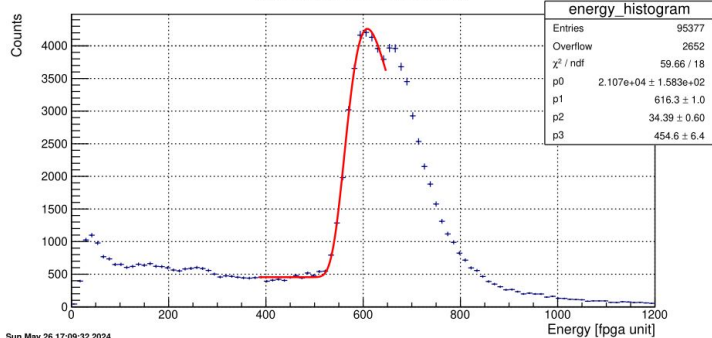
# Esperienza d'uso

- Misura della massa del  $\mu$  ampiamente sovrastimata (145–166 MeV):
  - Scelte sbagliate in fase di calibrazione.
  - Risposta anomala degli scintillatori bersaglio.
  - Contaminazione del campione con MIP.
  - Risposta anomala FPGA.
- Attenzione alla durata del segnale analogico invertito:
  - Un invertitore di qualità rinvenuto da Virginio generava segnali brevi.

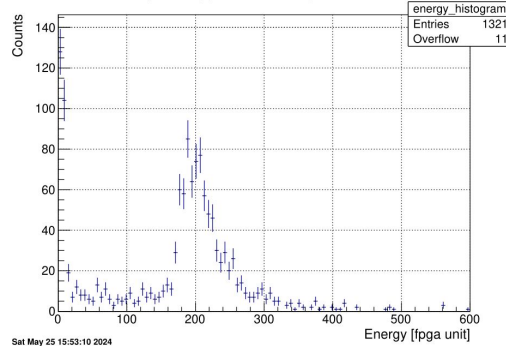
Energy Histogram (PMMA)



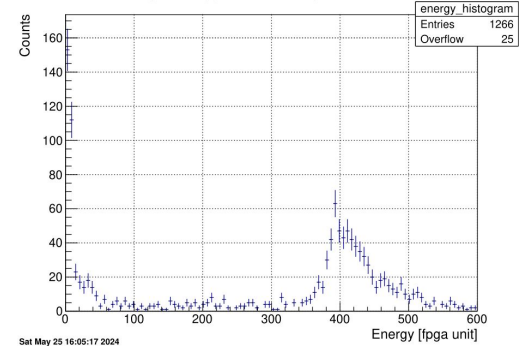
Mip energy Loss Histogram



Mip energy Loss Histogram PMT9



Mip energy Loss Histogram PMT11

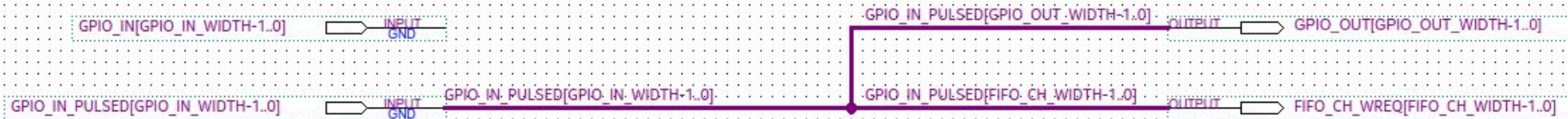


# Logica custom

- Il blocco “custom\_logic” è un ambiente sicuro dove implementare le funzioni logiche desiderate.
- Input: input digitali puri e ridotti a impulso.
- Output: richiesta scrittura FIFO DAQ e output digitali
- Attualmente è un bypass, ma è programmabile con il tool grafico di Quartus o direttamente in VHDL.

-- CUSTOM LOGIC

```
custom_logic : entity work.custom_logic
  GENERIC MAP (
    FIFO_CH_WIDTH      => FIFO_CH_WIDTH,
    GPIO_IN_WIDTH      => GPIO_0_IN_WIDTH,
    GPIO_OUT_WIDTH     => GPIO_0_OUT_WIDTH
  )
  PORT MAP (
    CLK                => CLK,
    NRESET             => nreset_reg,
    GPIO_IN            => gpio_0_in_d,
    GPIO_IN_PULSED    => gpio_0_pulsed,
    FIFO_CH_WREQ      => fifo_ch_wreq,
    GPIO_OUT          => gpio_0_out
  );
```





# Utilizzi futuri

- Semplice sostituzione delle DE0-Nano.
  - Replicate tutte le funzionalità, risolvendo le criticità (rate, doppio dente di sega, instabilità)
- MuDecay: analisi degli afterpulse.
  - Acquisendo i segnali degli scintillatori in singola.
- MuLife: misura energia dell'elettrone disaccoppiata da quella del muone.
  - Usando il “nuovo” invertitore e triggerando sul segnale di decadimento del  $\mu$ .
- TOF: correlare le acquisizioni del DRS al decadimento del  $\mu$  nel TOF.
  - Usando la DE10-Nano come trigger per il DRS.
- Implementazione della logica direttamente in hardware.

Backup

# DE0-Nano

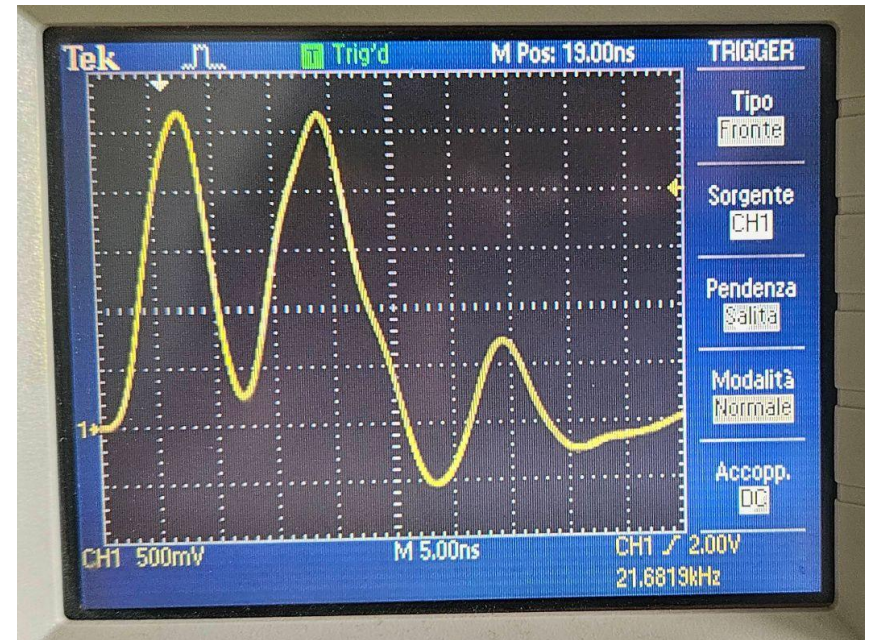
- Moduli precedenti basati Terasic DE0-Nano.
- Diversi problemi noti:
  - 8 input digitali → Sciami estesi richiede fino a 12 input.
  - Input rate di pochi Hz → Mu decay spesso ha rate maggiori.
  - Risoluzione temporale 20 ns → Vita media del  $\mu^-$  in presenza di nuclei di Pb = 74.9ns.
  - Distanza tra due acquisizioni analogiche 5  $\mu$ s → Bassa frequenza di campionamento per Mu life.
  - “Cronometro” con reset parziale → Letture temporali a doppio dente di sega.
  - Lettura tramite JTAG → Instabilità su lunghi periodi di presa dati.
  - Letture analogiche e digitali non in contemporanea.

# DE10-Nano

- In passato sono state acquistate diverse schede Terasic DE10-Nano (almeno 1 per gruppo), ma mai messe in condizioni da poter essere usate dagli studenti.
- La DE10-Nano è notevolmente più versatile della DE0-Nano:
  - FPGA di più recente generazione (firmware più elaborato e con clock maggiore).
  - ADC a 500 ksps.
  - CPU ARM integrata con SO Linux (comunicazione diretta con l'FPGA).

# Firmware digitale

- Firmware di fatto completo e testato.
  - Riflessioni del segnale nei limiti dello standard TTL (terminazioni  $\sim 54 \text{ Ohm}$ ).
- Tempo morto sullo stesso canale 5 ns, non tempo morto su canali differenti.



# Limiti di lettura

- Potenzialmente sarebbe possibile leggere i registri ogni 300 ns (3.33 MHz).  
→ input rate O(1 MHz).
- Nei fatti limitato dalla potenza della CPU integrata.  
→ Meno operazioni deve compiere e meglio è.

