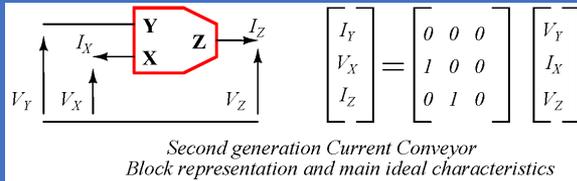


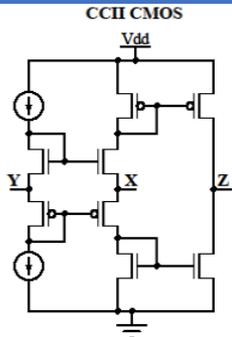
LITE – SLPD – il CHIP ⁽¹⁾

L'idea è partire da un progetto di chip 'Front-End per MPPC' già sviluppato, che include tutte le funzionalità analogiche di GEN2 ed è ottimizzato in termini di dimensioni e numero di canali. Il chip iniziale era destinato alle applicazioni TOF e dovrà essere modificato (in modo significativo), pur mantenendo la tecnologia scelta per la convenienza economica e la conoscenza del design.

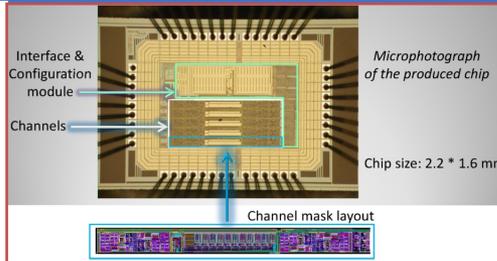


Front-End chip for MPPC in tecnologia standard CMOS 0.35 um:

- Bassa impedenza di ingresso al fine di ridurre il tempo di ripristino il più possibile
- Tutti i segnali e le soglie sono processati nel dominio della corrente utilizzando comparatori di corrente veloci e una versione modificata dei Conveyors di Corrente di seconda generazione (CCII) basati su specchio di corrente come blocchi di costruzione per gli amplificatori.



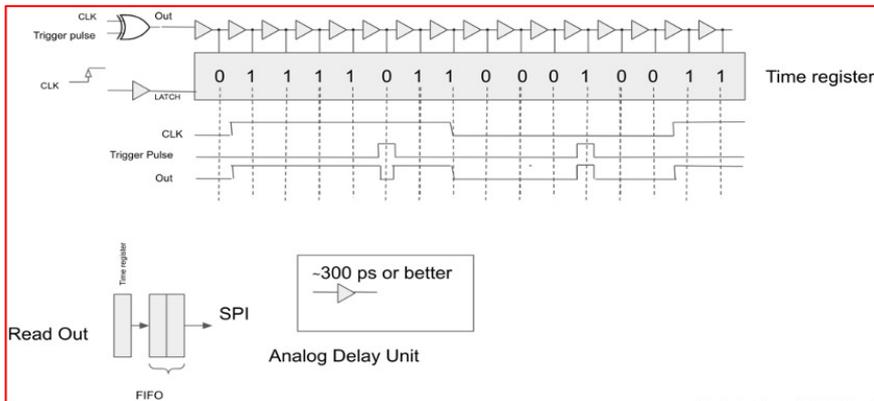
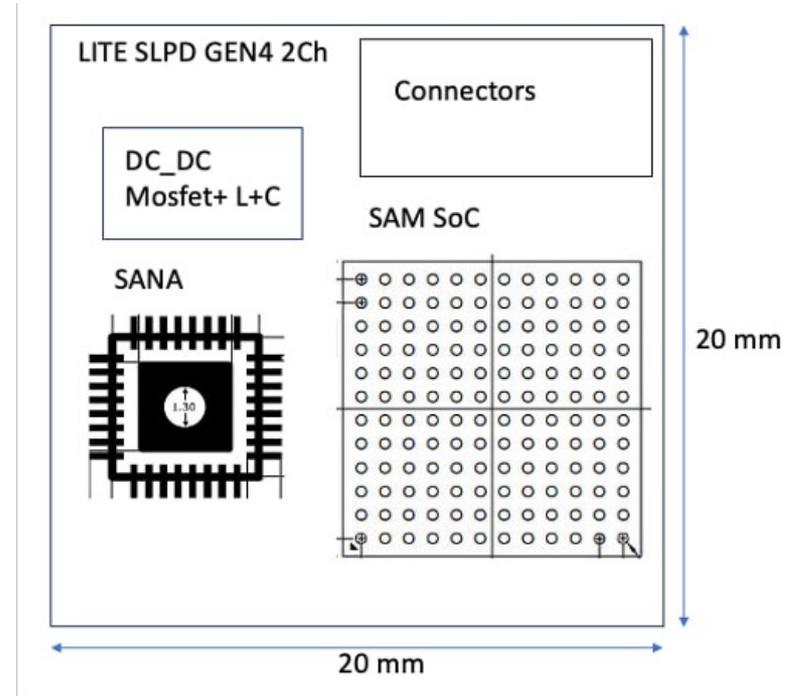
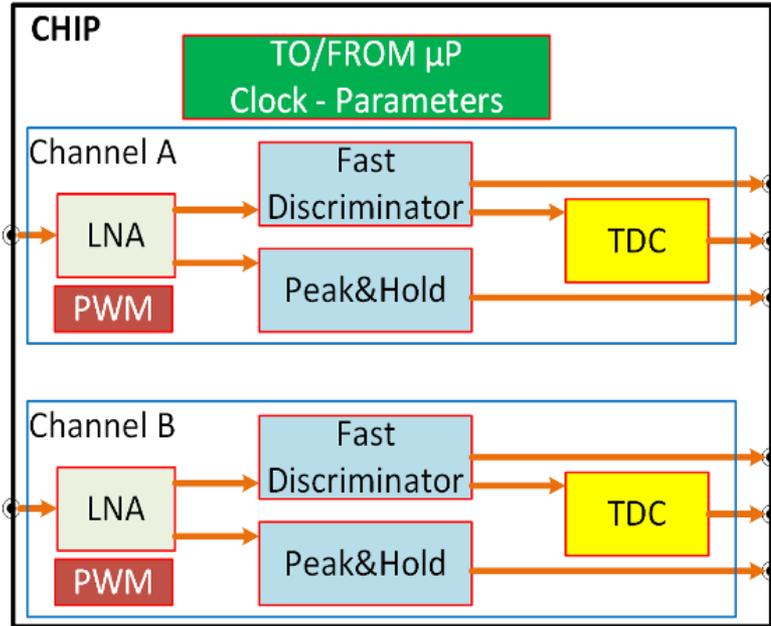
Conventional version based on current mirrors



FULL-CUSTOM

The pilot chip

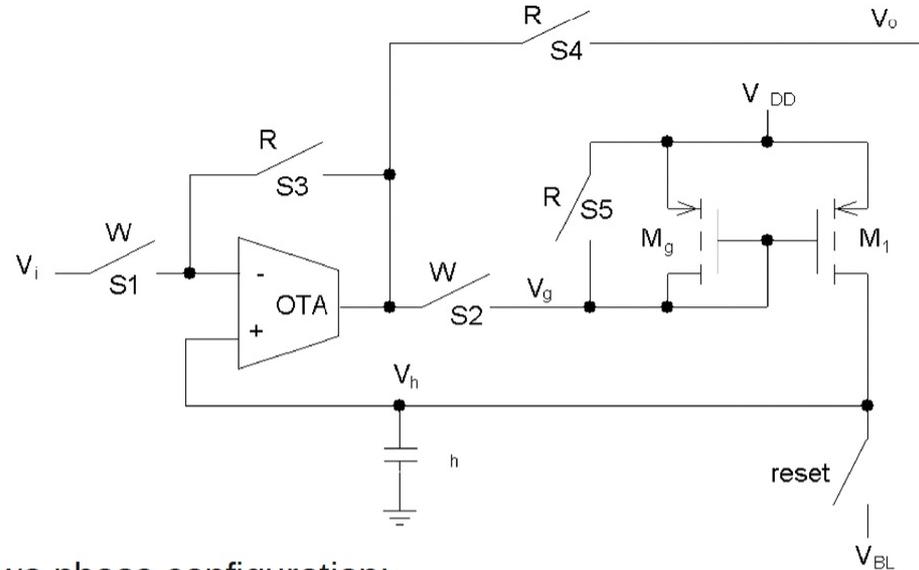
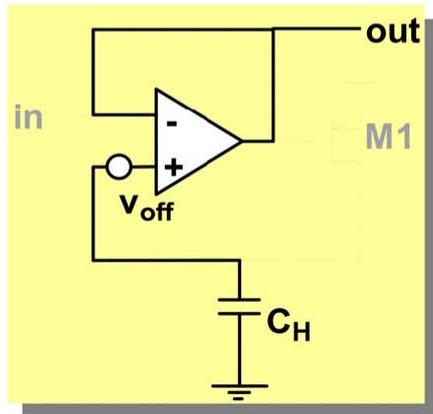
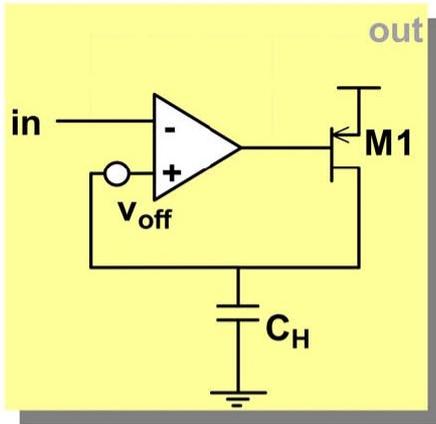
LITE – SLPD – il CHIP (2)



Una delle innovazioni e caratteristiche peculiari introdotte da questo chip è il TDC segmentato (Convertitore Tempo-Digitale segmentato), che consente un miglioramento della risoluzione temporale pari a una frazione del clock utilizzato.

LITE – SLPD – il CHIP (4)

FAST FRONT-END ELECTRONICS - Peak & Hold circuitry



- Two phase configuration:
 - Write phase=**conventional peak detectors**:
 - Read phase=**op-amp used as buffer**. Op amp errors cancel

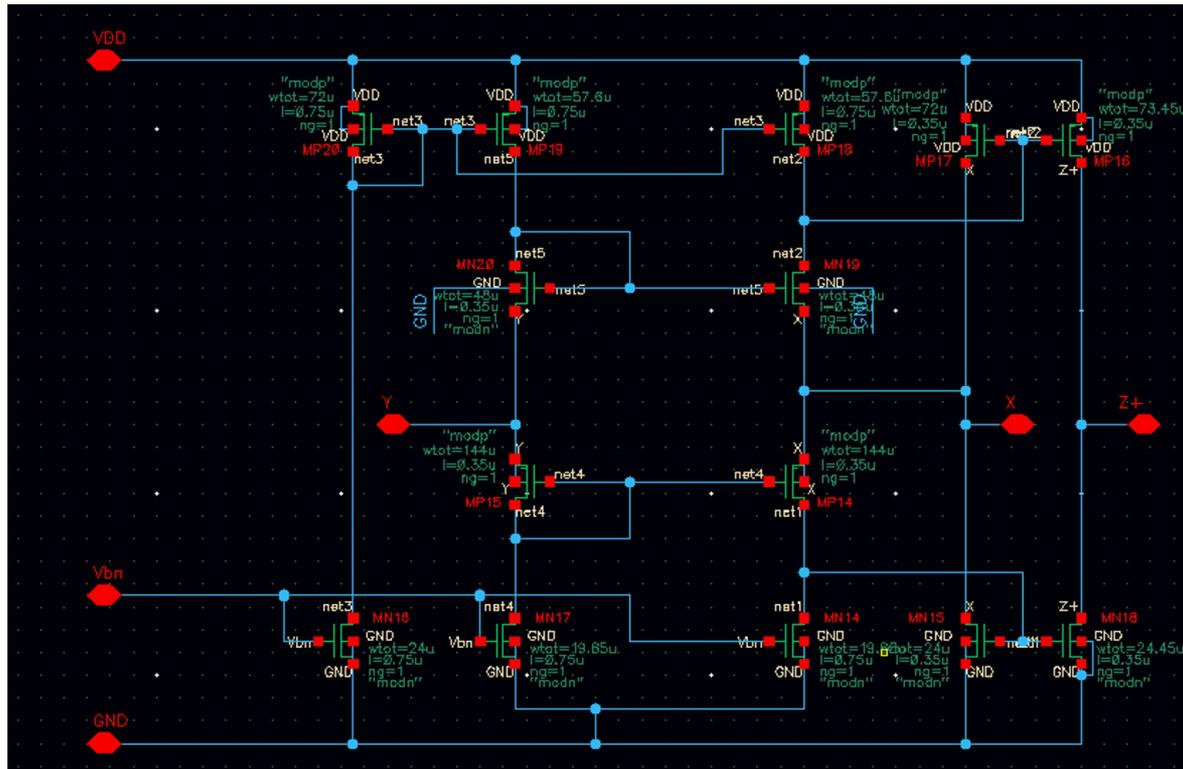
G. De Geronimo, P. O'Connor, A. Kandasamy:

“Analog CMOS peak detect and hold circuits. Part I. Analysis of the classical configuration”

“Analog CMOS peak detect and hold circuits. Part II. The two phase offset free and derandomizing configuration”.

LITE – SLPD – il CHIP (4)

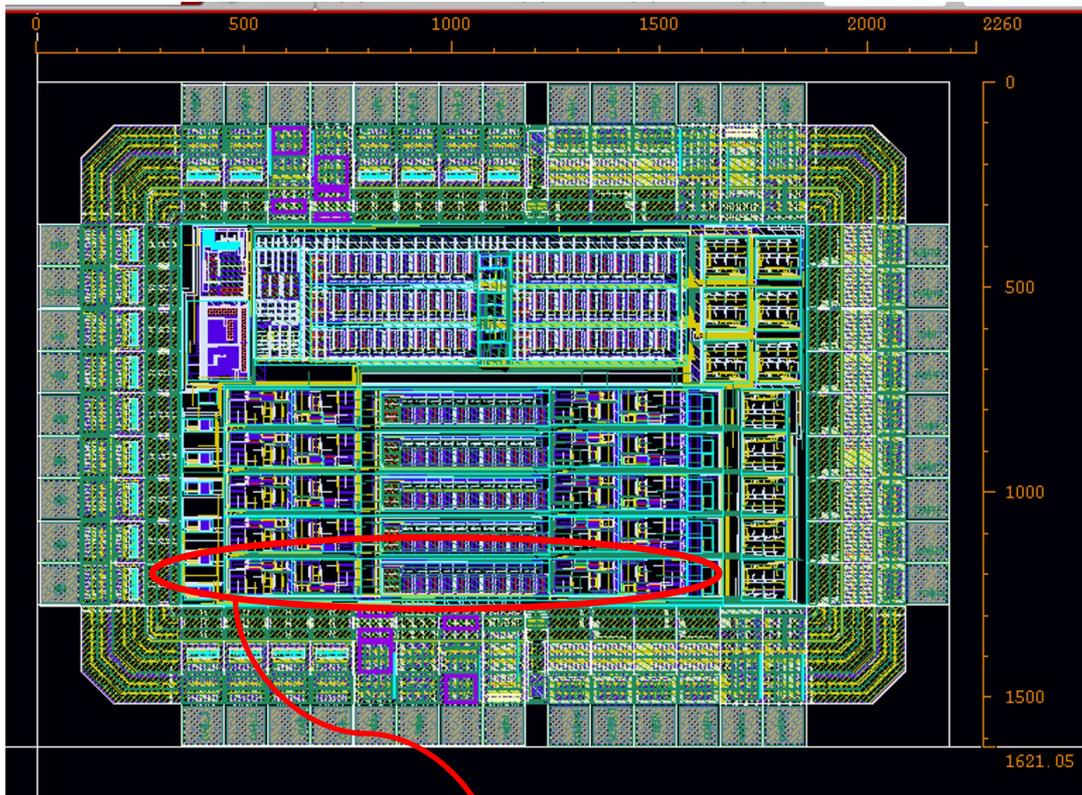
FAST FRONT-END ELECTRONICS - Peak & Hold circuitry



- Schematico dettagliato del CCII+, uno dei building-block sviluppati.
- Verifiche complete con simulazione TIPICA e Montecarlo MISMATCH e PROCESS.
- Transient
- DC (Temp.range -20 °C ...80 °C)
- AC

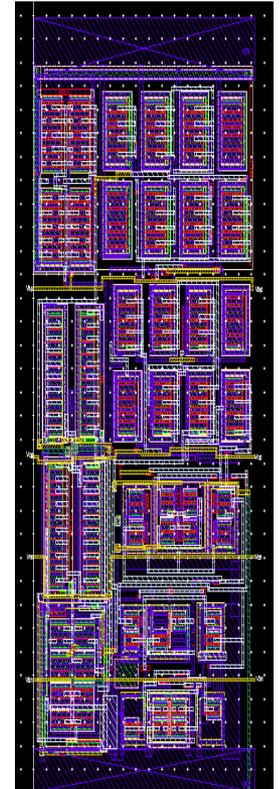
LITE – SLPD – il CHIP (5)

FAST FRONT-END ELECTRONICS – Il chip precedente



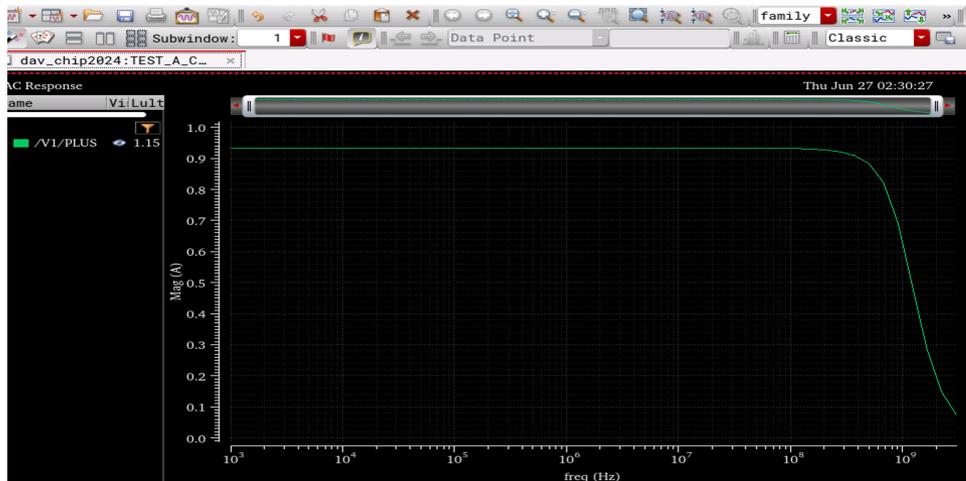
CCII+

LAYOUT



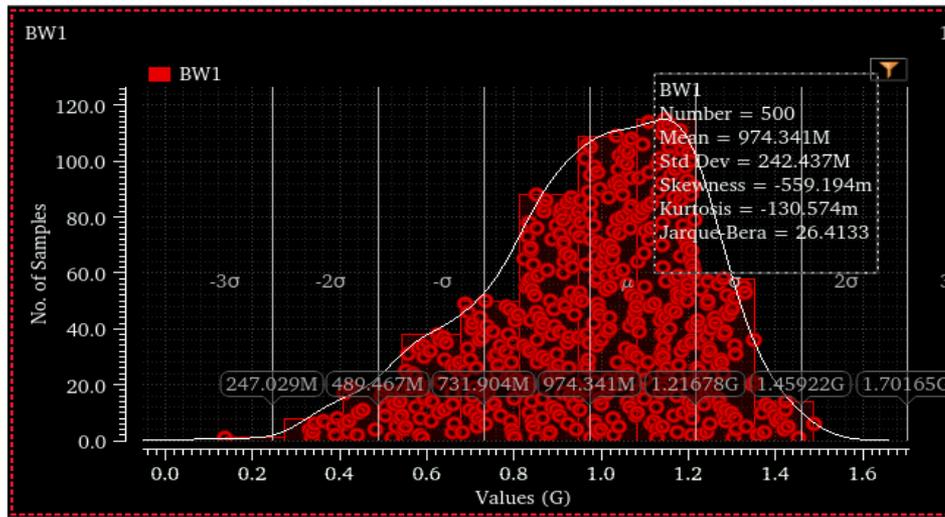
LITE – SLPD – il CHIP ⁽⁶⁾

FAST FRONT-END ELECTRONICS – CCII- design & verification



- Risposta in AC tipica del CCII-

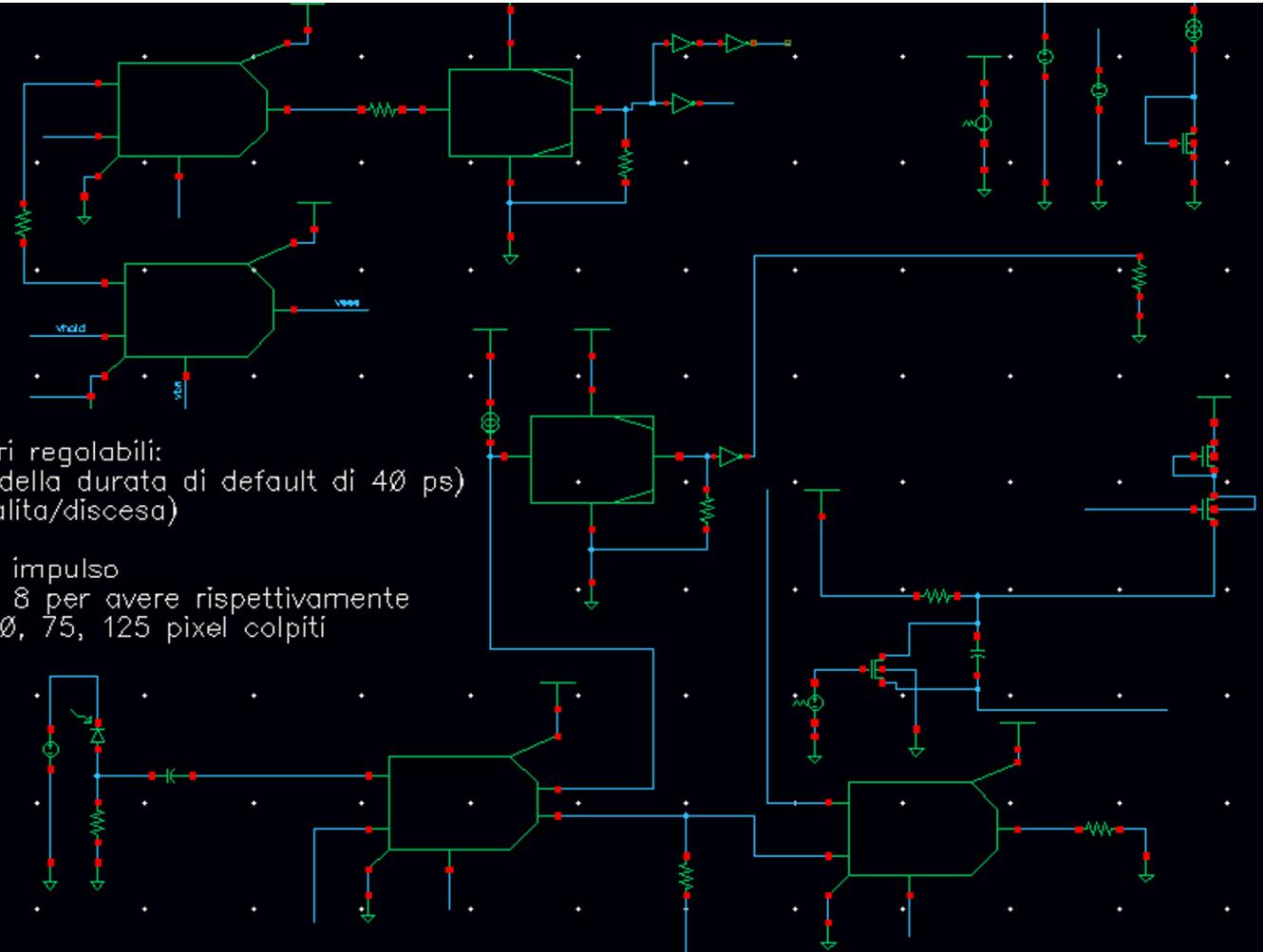
Test	Output	Nominal	Sp
dav_chip2024:TEST_A_CCII-V01:1	BW1	959.8M	
dav_chip2024:TEST_A_CCII-V01:1	ImaxAC1	931.2m	
dav_chip2024:TEST_A_CCII-V01:1	Iout1		



- Montecarlo simulation results per la stima della variabilità della banda passante

LITE – SLPD – il CHIP (7)

FAST FRONT-END ELECTRONICS – Peak&Hold circuitry

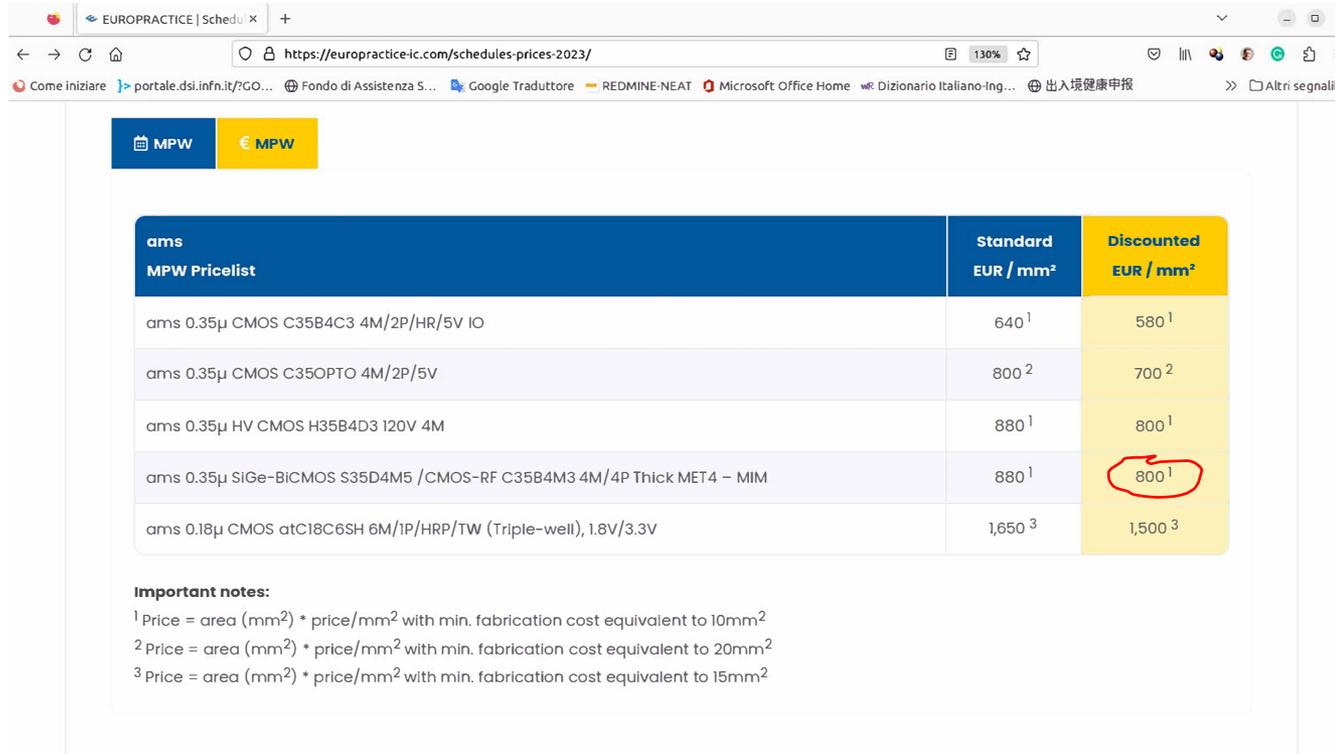


SiPM MY NMMODEL Parametri regolabili:
 nDeltaT default 1 (multipli della durata di default di 40 ps)
 fronte default 1p (tempi salita/discesa)

SiPMPeriod (tempo ripetizione impulso)
 npf: 1, 2, 3, 4, 5, 6, 7, 8 per avere rispettivamente
 1, 3, 10, 20, 40, 50, 75, 125 pixel colpiti

LITE – SLPD – il CHIP (8)

Costi 2024 confermati



ams MPW Pricelist	Standard EUR / mm ²	Discounted EUR / mm ²
ams 0.35µ CMOS C35B4C3 4M/2P/HR/5V IO	640 ¹	580 ¹
ams 0.35µ CMOS C35OPTO 4M/2P/5V	800 ²	700 ²
ams 0.35µ HV CMOS H35B4D3 I20V 4M	880 ¹	800 ¹
ams 0.35µ SiGe-BiCMOS S35D4M5 /CMOS-RF C35B4M3 4M/4P Thick MET4 – MIM	880 ¹	800 ¹
ams 0.18µ CMOS atC18C6SH 6M/1P/HRP/TW (Triple-well), 1.8V/3.3V	1,650 ³	1,500 ³

Important notes:

¹ Price = area (mm²) * price/mm² with min. fabrication cost equivalent to 10mm²

² Price = area (mm²) * price/mm² with min. fabrication cost equivalent to 20mm²

³ Price = area (mm²) * price/mm² with min. fabrication cost equivalent to 15mm²

Packaging: 440,00 € + 10* 109 € (QFN32) 5x5 (era 106 €)

Totale 11 590 € con IVA