Update on in-strip logic design

Roberto Beccherle
INFN - Pisa

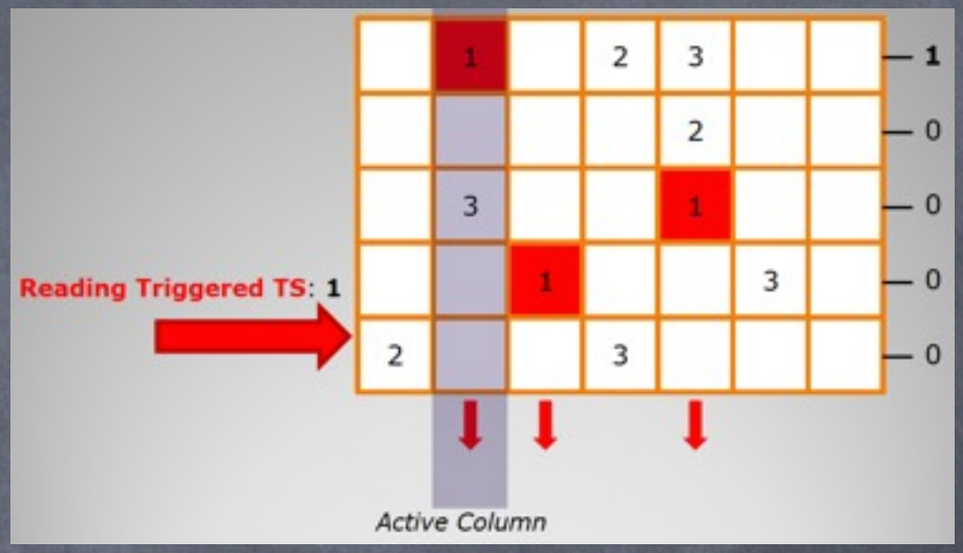
Architettura dei Pixel

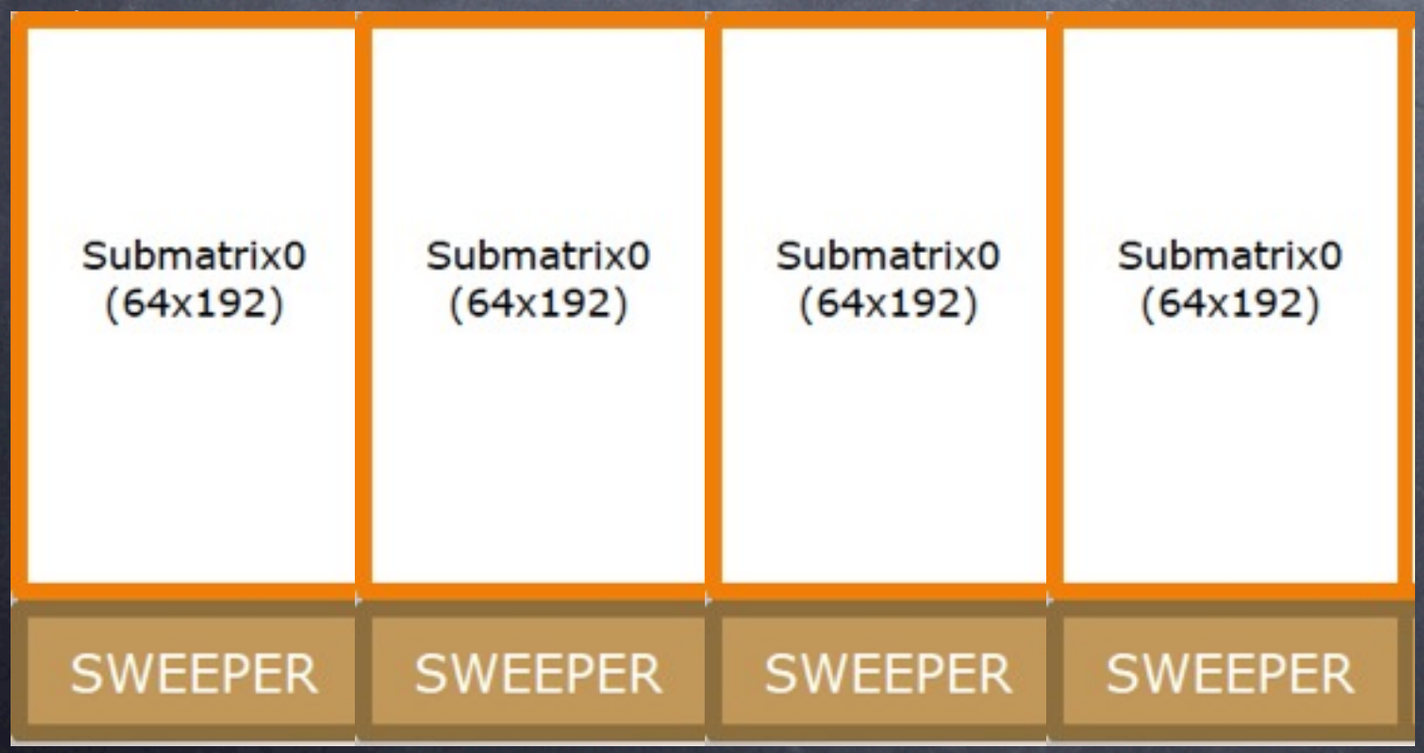
- La presente architettura (chip da 256 x 192 pixels) suddivide il chip in quattro sottomatrici che vengono lette in parallelo.

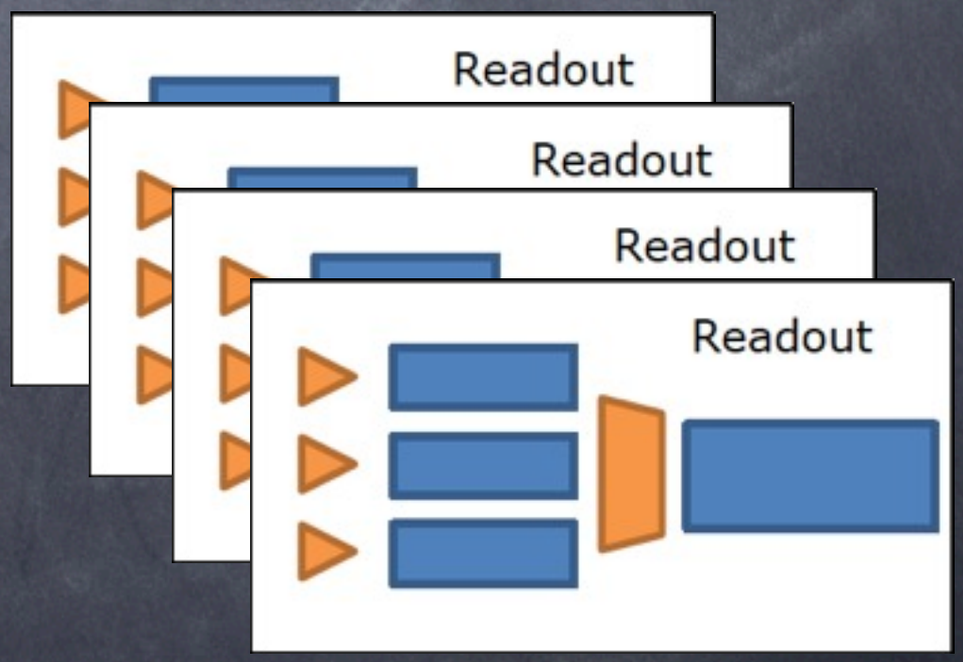
  - Sweeper: Seleziona le colonne che contengono dei pixel colpiti.

  - Read-out: Uno per sottomatrice. Legge gli hit dei pixel attivi da una data word di 192 bit.

  - Trigger: Seleziona una particolare time stamp. Hit di time stamp non associati ad un trigger vengono cancellati.







Possibile architettura per le Strip (1 of 2)

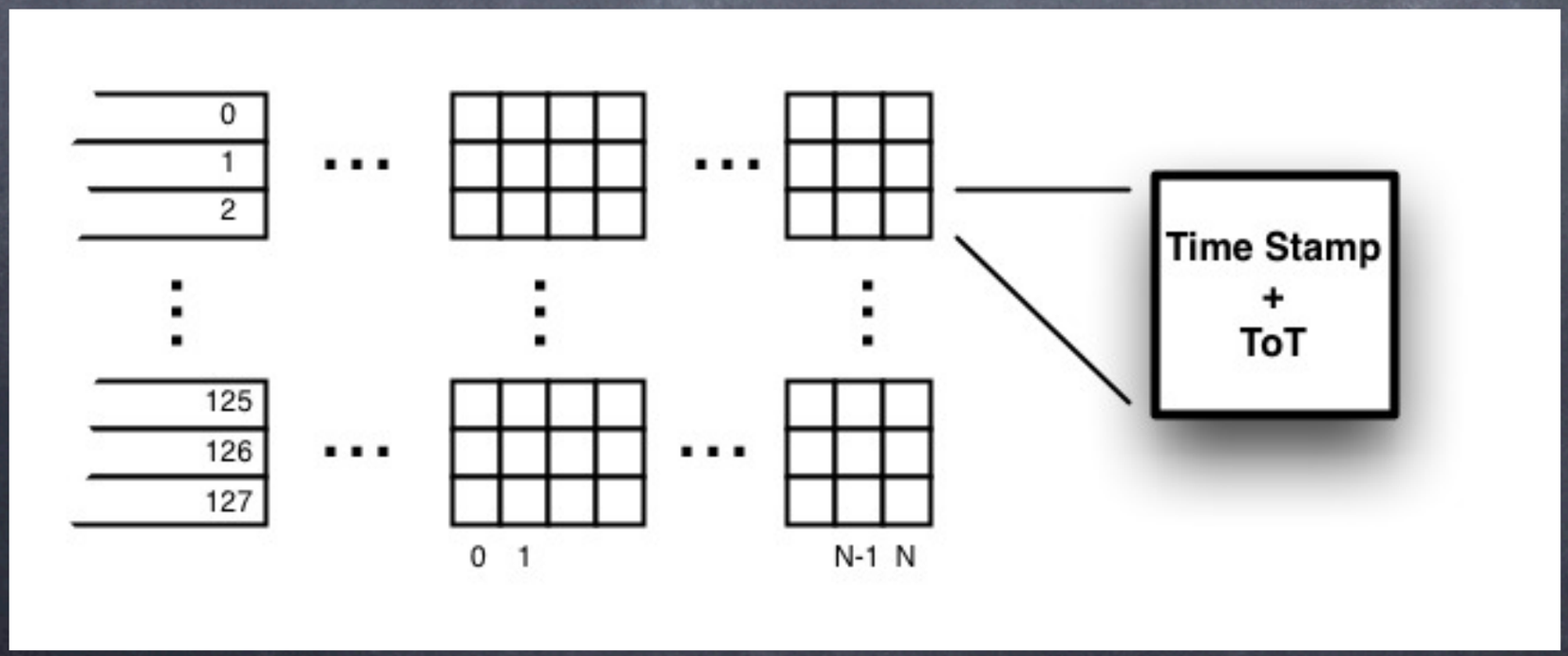
- Presentare i dati provenienti da un rivelatore a Strip (128 strip/chip) organizzati in righe e colonne, come se fossero dei Pixel --> Utilizzare lo stesso read-out.

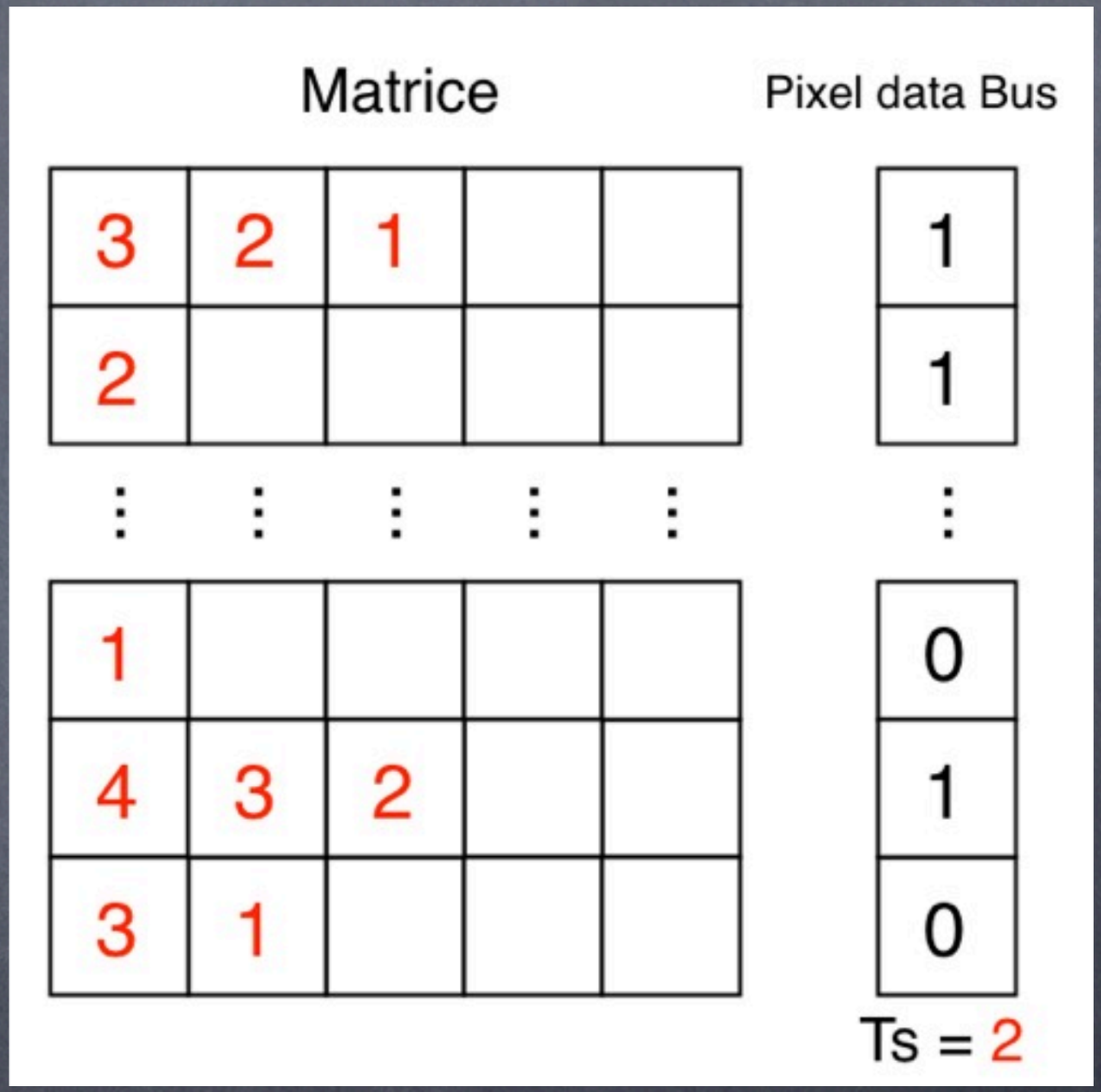
- Ogni singola strip, se colpita, deve memorizzare il ToT (4 bit) e la TimeStamp.

  - Singolo elemento di memoria: Contiene la Time Stamp, il ToT ed un bit che mi dice se c'e' un dato.

  - Dimensione Buffer: dipende dal rate previsto e dal tempo di latenza del Trigger.

  - Riempimento: Ad ogni BC le strip che contengono dati scrivono nella prima locazione libera. Buffer circolare di dimensioni 128 x N.



Possibile architettura per le Strip (2 of 2)

- La matrice si riempie in maniera temporalmente ordinata
- Ogni riga rappresenta una Strip
  - Ogni Time Stamp e' presente al massimo una volta in ogni riga.
  - Ci possono essere fino a 128 Hit/TS. (calibrazione?)
  - Ogni riga, se contiene degli Hit, abilita un bus da 4 bit (ToT).
- La richiesta di un particolare TS produce una parola da 128 bit sul Pixel Data Bus.
- La matrice equivale, per il Read-Out, ad una matrice 1 x 128.
  - Non serve lo sweeper.
  - Il dato e' presente in uscita fino a quando non viene richiesta la TS successiva.
  - Ogni richiesta di TS cancella tutti i dati relativi ai TS precedenti.