

Costruzione e test di moduli a pixel con tecnologia 3D per il rivelatore ATLAS ITk Pixel

IFAE 2024 - Firenze



1. ATLAS ITk per HL-LHC

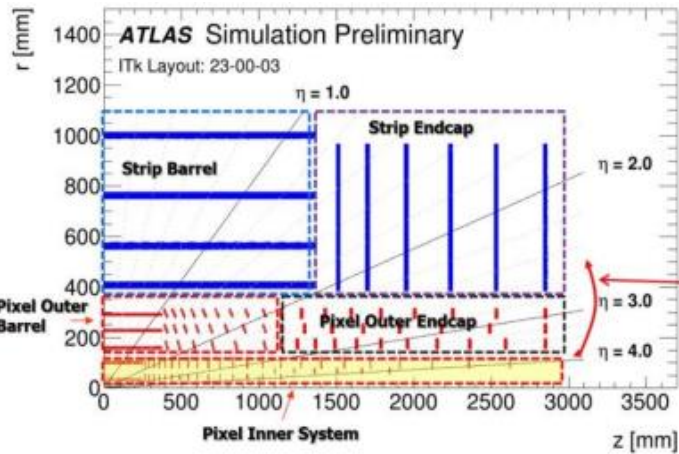
ATLAS ITk → un rivelatore interamente basato su tecnologie al silicio per sostituire l'Inner Detector di ATLAS durante HL-LHC

Strip sub-system con copertura $|\eta| < 2.7$ (4 Barrel layers + 6 disks)

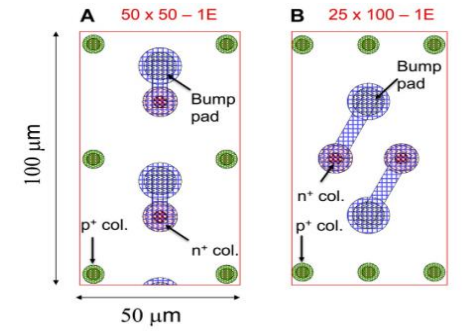
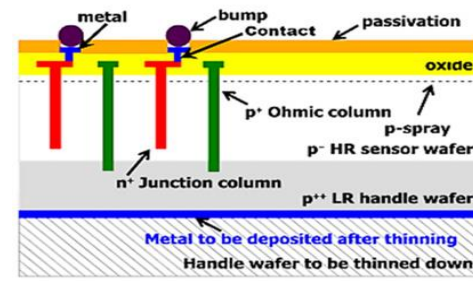
Pixel sub-system con copertura $|\eta| < 4.0$ (5 Barrel layers + rings)

- Sensori planari nei layer esterni
- Sensori 3D nel layer più interno, prodotti da due venditori:**

- Fondazione Bruno Kessler, FBK (IT)
- Stiftelsen for industriell og teknisk forskning, SINTEF (Nw)



2. Sensori a pixel con tecnologia 3D



Pros

- Bassa tensione di svuotamento
- Bassa probabilità di trapping elettronico:
- RAD-HARDNESS**

3D sensors pixel cell: 25x100 (um²) - barrel / 50x50 (um²) end-caps

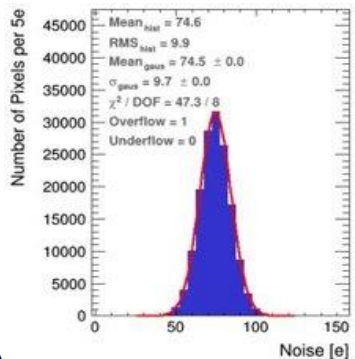
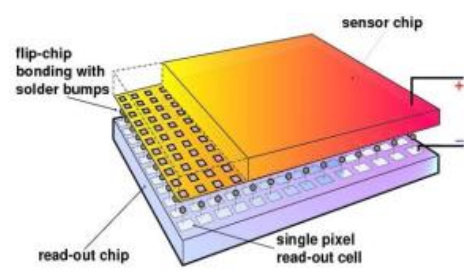
Cons

- Alta capacità
- Risposta spaziale non uniforme
- Costo e yield**

3. Rivelatori ibridi: Front End (FE) chip

Interconnessione fra elettronica di FE e sensore con la **tecnica del bump bonding**

- Leonardo (LND)
- Fraunhofer-Institut für Zuverlässigkeit und Mikrointegration (IZM)



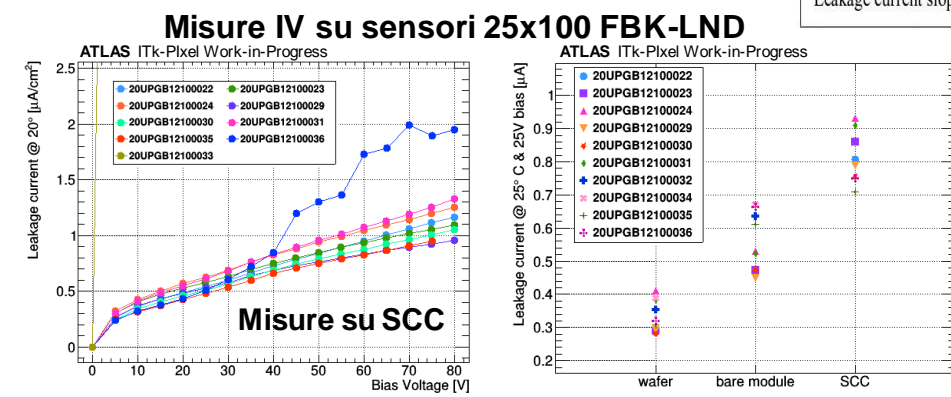
FE chip: ITkPix v2 (RD53 collaboration)

- Tecnologia a 65 nm CMOS 2x2 cm²
- Matrice 400 x 384 pixel
- Soglia di 1000 e⁻
- Noise di 40e (80e dopo bump bonding con sensore 3D)
- Letture del Time over Threshold (TOT)
- Rad-hard > 1 GRad**

4. Test in laboratorio: Curve IV pre/post ibridizzazione

Misure IV sul sensore a livello di wafer e ripetute dopo ibridizzazione e assemblaggio. Aumento della corrente di leakage in accordo con le specifiche di ibridizzazione

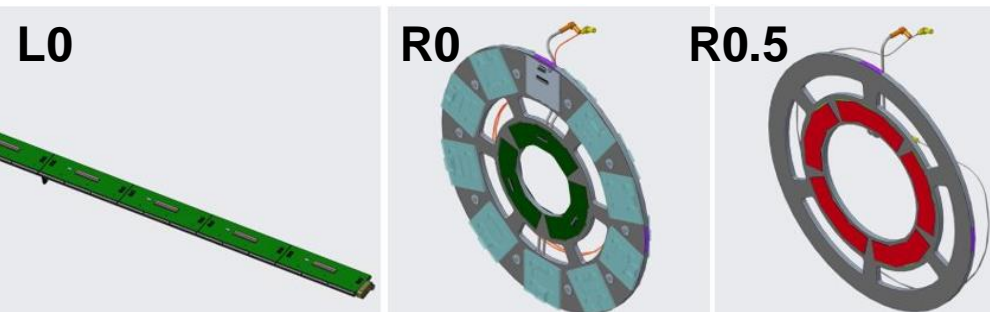
Quantity	Value
Depletion voltage	<10 V
Breakdown voltage	> V _{dpt} + 20 V
Leakage current at RT	< 2.5 μA/cm ² at V _{dpt} + 20 V
Leakage current slope	I(V _{dpt} + 10 V) / I(V _{dpt} + 5 V) < 2



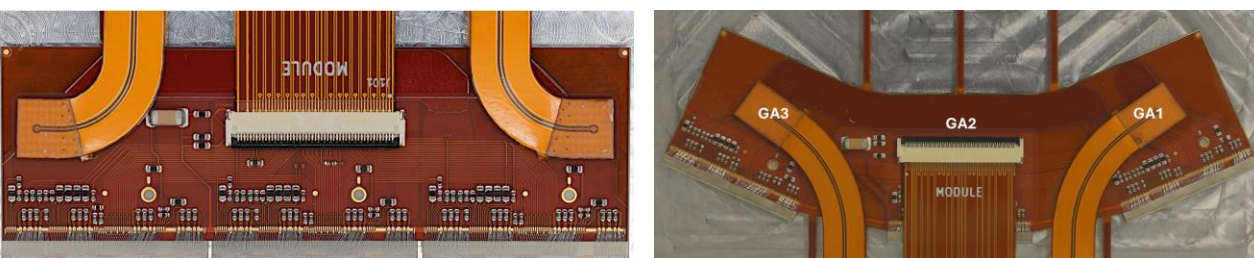
Le stesse misure sono state fatte su sensori 50x50 (2022)

Sensori e strutture di test sono stati irraggiati e misurati nuovamente, soddisfacendo le specifiche richieste

5. Design dei moduli per il layer più interno di ITk



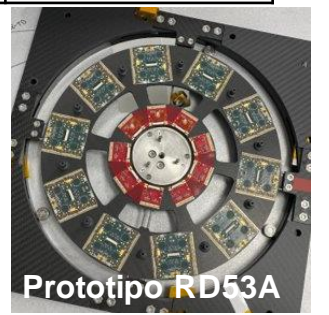
Design	Numero di stave/ring	Moduli per stave / ring	Moduli da costruire	Siti di costruzione
Barrel L0	12	8	96	Barcellona
End-Caps R0	30	6	180	Oslo
End-Caps R0.5	12	10	120	GE / MI



Primi moduli di pre-produzione

Final Design Review (FDR) superata nel 2023

- 6 tripletti (GE) montati su Ring 0
- Gli istituti stanno iniziando ad assemblare i primi moduli di **pre-produzione** per prepararsi al Production Readiness Report (PRR) previsto per la fine del 2024

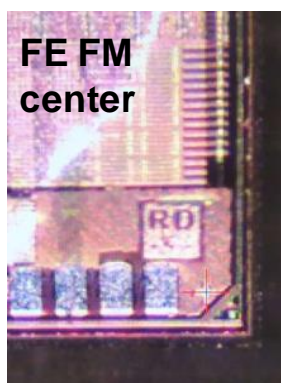
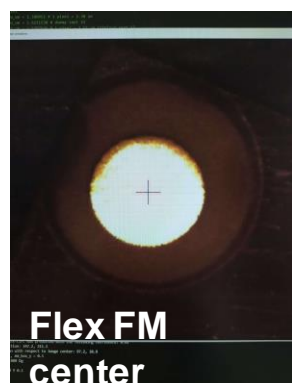
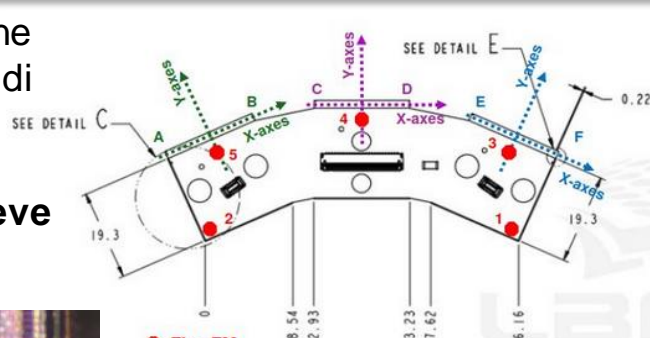


Prototipo RD53A

6. Assemblaggio - Genova

L'assemblaggio delle parti viene fatto attraverso una macchina di pick&place

L'allineamento fra le parti deve essere dell'ordine di 50 um



Fiducial Marker (FM) sono presenti sul flex e sui FE. Vengono identificati con una **pre-trained neural network basata sul modello YoloV5 e** sono utilizzati per il posizionamento delle parti

7. Test elettrici sui moduli: scan di soglia

Primo modulo R0.5 assemblato a GE a Gennaio 2024

- Due bare module FBK-IZM 50x50 & un bare module FBK-LND 25x100
- I bare module usati derivano dal primo lotto FBK-IZM ed erano noti per la bassa qualità dei bump bonding

I tre FE sono tunati a una soglia di 1000 e⁻

- Lo scan di soglia viene utilizzato per controllare la distribuzione di soglia ed eventuali **disconnessioni dei bumps**, utilizzando il noise dell'elettronica: pixel con bump disconnesso avranno rumore minore di un fattore ~ 2

Mappe del noise del primo tripletto di pre-produzione

