

MLR1: validazione della tecnologia CMOS MAPS 65 nm per l'ITS3 ALICE

Thursday, 4 April 2024 16:37 (1 minute)

Dopo il completamento dell'upgrade alla sua seconda versione ITS2 durante il Long Shutdown 2, l'attuale Inner Tracking System (ITS) del rivelatore ALICE è composto da 7 layer di chip in silicio ALPIDE, realizzati con l'innovativa tecnologia CMOS Monolithic Active Pixel Sensor (MAPS). Grazie all'elettronica integrata, lo spessore dei MAPS in termini di lunghezza di radiazione X_0 è già stato ridotto a $0.35\%X_0$ per layer nell'ITS2, ma potrebbe essere ulteriormente assottigliato a $0.05\%X_0$ per layer eliminando dal material budget i materiali diversi dal silicio.

Sono proprio questi gli obiettivi del secondo upgrade dell'ALICE ITS2 a ITS3, da completarsi nel corso del prossimo Long Shutdown 3 (previsto nel periodo 2026-2028). L'upgrade vedrà la sostituzione dei 3 layer interni dell'ITS2 (Inner Barrel, o IB) con 3 layer flessibili e perfettamente cilindrici di sensori MAPS stitched, per ottenere una riduzione del material budget, efficienza di rivelazione più elevata e risoluzione delle tracce circa due volte migliore rispetto all'ITS2 (in particolare a piccoli impulsi). Simili miglioramenti daranno un grande contributo agli studi di fisica degli adroni heavy-flavoured con cammini medi ct di poche decine di μm .

I nuovi sensori ITS3 dovrebbero essere prodotti con il processo 65nm, in sostituzione dell'attuale tecnologia 180 nm dell'ITS2. È stata sviluppata un'ampia gamma di strutture di test Multi-Layer Reticle 1 (MLR1) costituite da piccole matrici di pixel per la validazione di questa nuova tecnologia, come ad esempio le Analog e Digital Pixel Test Structures (APTS e DPTS). In questa presentazione sarà riportata una selezione di risultati ottenuti con i dispositivi di piccole dimensioni MLR1, sviluppati per ottimizzare la geometria dei diodi collettori, il profilo di drogaggio, le dimensioni dei pixel e l'elettronica di front-end. Sono state condotte diverse misure, sia sotto test beam che in un setup in laboratorio con una sorgente di ^{55}Fe , per valutare le prestazioni dei dispositivi di piccole dimensioni MLR1 65nm e verificarne la compatibilità con i requisiti tecnici del futuro ITS3. In particolare, le misure in laboratorio sugli APTS hanno restituito valori più alti di efficienza di raccolta di carica per i chip su cui era stato impiantato uno strato di tipo n a basso drogaggio. I risultati dei test beam, sia sugli APTS che sui DPTS, hanno invece dimostrato che le aspettative per i sensori ITS3 possono essere in larga parte soddisfatte, con un'efficienza di rivelazione $\sim 99\%$ o superiore in condizioni di NIEL fino a 10^{14} 1 MeV neq/cm^2 , risoluzione spaziale migliore di $5 \mu\text{m}$ per pixel di dimensioni di $15 \mu\text{m}$ o inferiori e un consumo di potenza elettrica che può essere mantenuto al di sotto dei $20 \text{ mW}/\text{cm}^2$.

Primary author: STURNIOLO, Alessandro (Istituto Nazionale di Fisica Nucleare)

Presenter: STURNIOLO, Alessandro (Istituto Nazionale di Fisica Nucleare)

Session Classification: Poster