

MLR1: validazione della tecnologia CMOS MAPS 65 nm per l'ITS3 ALICE

Alessandro Sturniolo (Università di Messina, Dipartimento MIFT e INFN Catania)

per la Collaborazione ALICE

composti soltanto da silicio.

Incontri di Fisica delle Alte Energie (Firenze, 3-5 aprile 2024)







Strutture di test MLR1

APTS: Analog Pixel Test Structures:

- 6x6 pixel (readout 4x4): da 10 a 25 μ m, standard (a),
- modificati (b) o modificati con gaps (c);
- Lettura diretta del segnale analogico:
- → APTS-SF: buffer source-follower;
- → APTS-OA: amplificatore a guadagno unitario.
 (U. Savino)



DPTS: Digital Pixel Test Structures:

- 32x32 pixel: 15 µm, modificato con gaps (c);
- Output Current Mode Logic (CML), posizione del pixel e ampiezza segnale codificate nella durata degli impulsi in output e nel Time over Threshold (ToT).

CE65: Circuit **E**xploratoire **65** nm:

- 64x32 pixel: 15 µm (3 varianti);
- 48x32 pixel: 25 µm (1 variante);
- Readout rolling shutter (Amp AC, Amp DC e SF DC).



MOS PMOS n-well collection electrode -well n-well p-well deep p-well	NMOS PMOS n-well collectio electrod p-well n-well deep p-well low dose n-type implant	n NMOS PMOS n-well collection electrode p-well n-well p-well deep p-well gap t 25 um low dose n-type implant	
1/2 pixel pitch	1/2 pixel pitch	1/2 pixel pitch	O(10 µm)



• Tecnologia 65 nm: circuiti più densi, wafer di dimensioni maggiori (300 mm diametro), per realizzare i sensori di grandi dimensioni dell'Inner Barrel (IB) ITS3;

NFN

- Multi-Layer Reticle 1 (MLR1): prototipi CMOS MAPS, per validare la tecnologia 65 nm:
 → Matrici di pixel di piccole dimensioni (1.5x1.5 mm²);
- → Misure in laboratorio e sotto test beam di efficienza, risoluzione spaziale, radiation hardness, etc., in funzione del processo di produzione, geometria dei diodi collettori, profilo di drogaggio, configurazione del frontend...









• Sono stati acquisiti spettri X del ⁵⁵Fe in funzione del design, della tensione di back-bias, delle dimensioni dei pixel, split, geometria dei diodi collettori e irraggiamento (NIEL). La

Test APTS e DPTS – misure sotto test beam

- Il dispositivo (Device Under Test, DUT), mantenuto a temperatura T = 15° C (APTS) o 20 °C (DPTS) è stato esposto a fasci di particelle cariche ad alto impulso, anche a seguito di irraggiamento con neutroni o raggi X (JSI Ljubljana, CERN PS) a diversi livelli di NIEL e TID. Sono state condotte misure di:
- \rightarrow Efficienza di rivelazione: (numero di tracce con cluster di segnali)/(numero totale di tracce). I DPTS sono arrivati a ~99% nelle condizioni attese per l'ITS3 (10 kGy TID + 10¹³ 1 MeV n_{eq}/cm^2 NIEL);
- → **Risoluzione spaziale:** deviazione standard della distanza traccia-cluster sul DUT. Migliore di 5 µm per pixel da 15 µm o più piccoli, a tutti i livelli di NIEL studiati sugli APTS.



riga ⁵⁵Mn-Ko (5.9 keV = 1640 el.) è il **picco di calibrazione** di riferimento. I chip sono stati caratterizzati in termini di capacità di input, risoluzione in energia, efficienza di raccolta di carica, dimensione media dei cluster di segnali: \rightarrow I design **modificati con gaps** esibiscono un'alta efficienza di raccolta di carica fino a 10¹⁴ 1 MeV n_{eq}/cm² NIEL.

Conclusioni

- I dispositivi modificati con gap, pixel da 15 μ m, hanno mostrato un'efficienza di raccolta di carica particolarmente alta;
- I test di efficienza e risoluzione spaziale hanno superato le attese per l'ITS3: per un pixel 15 μ m si misura un'efficienza ~99% fino a 10¹⁴ 1 MeV neq/cm² NIEL, risoluzione spaziale < 5 μ m.