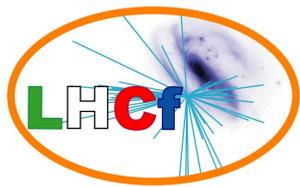


Calibrazione dei piani a microstrisce di silicio



del'esperimento LHCf



Elena Gensini ^{1,2}, a nome della collaborazione LHCf

¹Università degli Studi di Firenze

²INFN Sezione di Firenze



1. Introduzione

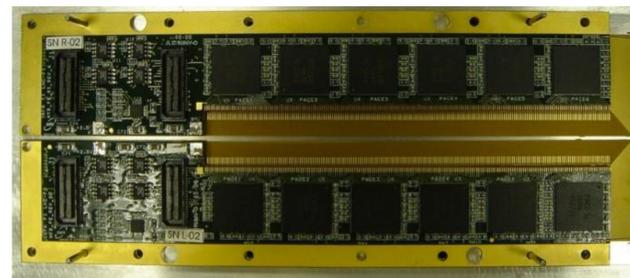
L'esperimento LHCf (Large Hadron Collider forward) rivela particelle neutre prodotte nella regione *forward* nelle collisioni a LHC. Le misure di LHCf contribuiscono alla validazione dei modelli di interazione adronica, in particolare quelli utilizzati nelle simulazioni degli sciame atmosferici generati da raggi cosmici di alta energia.

LHCf ha due rivelatori, Arm1 e Arm2, ciascuno dei quali costituito da due torri calorimetriche a campionamento e da un sistema di piani traccianti che consente di ricostruire il profilo trasverso degli sciame generati dalle particelle neutre. Il sistema tracciante di Arm2 è realizzato con piani di rivelatori a microstrisce di silicio, la cui elettronica di *front end* è costituita dai chip PACE3 [1] (sviluppati per il Preshower di CMS).

2. Motivazioni

Con i dati delle collisioni protone-protone a 13.6 TeV del Run III sarà possibile ricostruire il K_S^0 attraverso la rivelazione simultanea dei quattro fotoni originati dal suo decadimento. La ricostruzione dell'evento è complessa e sarà necessario utilizzare l'informazione dei piani traccianti per ricostruire sia il punto di impatto che l'energia.

A questo scopo, è dunque fondamentale condurre una caratterizzazione accurata della curva di risposta dei chip PACE3 con apposite procedure di calibrazione.



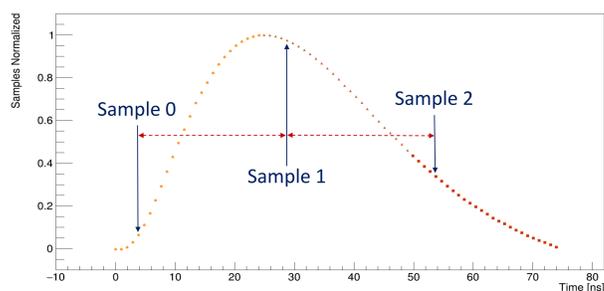
Uno degli 8 ibridi di *front end* con 12 chip PACE3 per la lettura di un sensore a microstrisce di silicio [2].

3. Forma del segnale di calibrazione

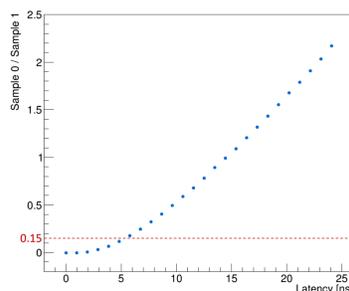
Per ogni evento, i segnali di calibrazione vengono trattati dal circuito di preamplificazione e formazione del chip PACE3, all'uscita del quale vengono registrati 3 campionamenti (chiamati Sample 0, 1 e 2) ad una distanza fissata di 25 ns.

Variando la latenza*, ovvero il ritardo fra l'iniezione dell'impulso di calibrazione e l'inizio del campionamento, si ricostruisce la forma temporale del segnale in uscita dal formatore.

*Latenza = (Tempo di campionamento del Sample 0) - (Tempo di iniezione dell'impulso di calibrazione)



Forma temporale del segnale di calibrazione in uscita dal formatore del PACE3, ottenuta da una scansione in latenza, unendo le informazioni dei tre campionamenti.



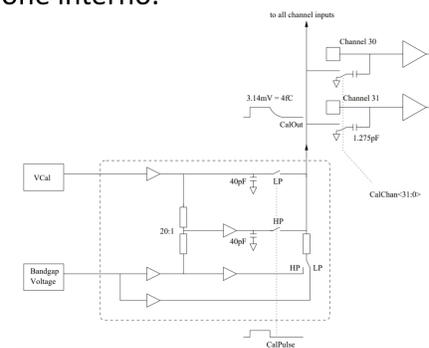
Curva del rapporto Sample 0 / Sample 1 per i diversi valori di latenza.

Ad ogni latenza corrisponde un certo valore del rapporto Sample 0 / Sample 1. Il punto di lavoro ideale è quello per cui Sample 0 / Sample 1 ~ 0.15:

- Sample 1 intorno al massimo, dove il segnale è più stabile
- in caso di saturazione, si può utilizzare l'informazione del Sample 0.

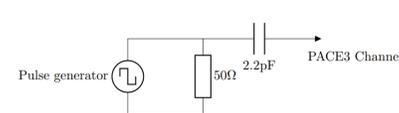
4. Procedure di calibrazione

CALIBRAZIONE INTERNA: iniezione di carica su uno o più canali del chip attraverso un circuito di calibrazione interno.



Schema del circuito di calibrazione interno [1].

CALIBRAZIONE ESTERNA: iniezione di carica su un condensatore saldato su un canale di un chip.



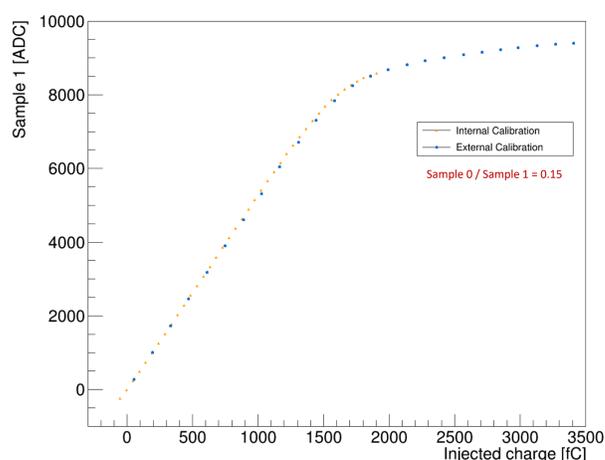
Schema del circuito per la calibrazione esterna.



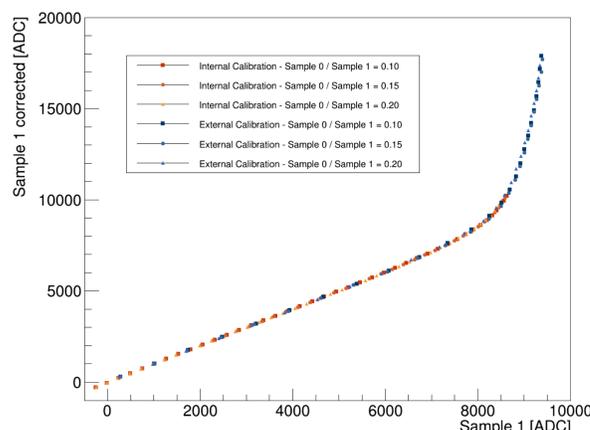
Foto del condensatore saldato su un canale del chip PACE3.

5. Curva di calibrazione

Ad una latenza fissata, si riporta il Sample 1 in funzione della carica iniettata per studiare la regione di non linearità del chip.



Sample 1 in funzione della carica iniettata, per calibrazione interna ed esterna



Curve di correzione per il Sample 1 ottenute con le due procedure di calibrazione a diverse latenze.

Il Sample 1 viene corretto tramite un fit lineare eseguito nella regione di linearità del chip.

6. Conclusioni

- Le due procedure di calibrazione, interna ed esterna, conducono a risultati compatibili fra loro.
- Per valori del Sample 1 di circa 8000 canali ADC, inizia la regione di non linearità del chip.
- Per valori del Sample 1 di oltre 9000 canali ADC, non viene raggiunta la saturazione completa. L'informazione del secondo campionamento può essere utilizzata anche per alti rilasci di energia, correggendola per gli effetti di non linearità.

Riferimenti:

[1] P. Aspell et al., PACE3: a large dynamic range analog memory front-end ASIC assembly for the charge readout of silicon sensors, doi:10.1109/NSSMIC.2005.1596401.
 [2] O. Adriani et al., The construction and testing of the silicon position sensitive modules for the LHCf experiment at CERN, 2010 JINST 5 P01012.