

# Stato dell'Upgrade b-layer replacement

03 Aprile 2008

# Test chip

Sono stati disegnati 3 chip con tecnologia IBM 0.13  $\mu\text{m}$

- E' frutto di una collaborazione che comprende:
  - ✓ Bonn: M. Karagounis, D. Arutinov, M. Barbero
  - ✓ CPPM: M. Menouni, J-C. Clemens
  - ✓ Genova: R. Beccherle, G. Darbo
  - ✓ LBNL: A. Makaoui, D. Gnani, M. Garcia-Sciveres
  - ✓ Nikhef: R. Kluit
- La submission era a fine Marzo ed i chip torneranno fra circa 2 mesi.

# Descrizione chip

## Analog Front End chip

- Voltage and Current Reference.
- DAC.
- [Command Decoder](#) e [Register Bank](#).
- Analog Front End (preamplificatore, shaper e comparatore).

## LVDS Driver and Receiver chip

- Un piccolo chip che contiene 4 canali CMOS -> LVDS e 4 canali LVDS -> CMOS.

## Strutture SEU proof

- Un chip che contiene 7 shift register basati su altrettante varianti di Latch disegnati per essere resistenti al SEU.

# Cmd Decoder & Regs

## Command Decoder

- Consiste in una versione semplificata del Command Decoder dell'MCC.
- E' un blocco stand alone completamente sincrono sintetizzato con Synopsys.
- Il futuro FEI4 sara' basato su questa architettura di comandi.

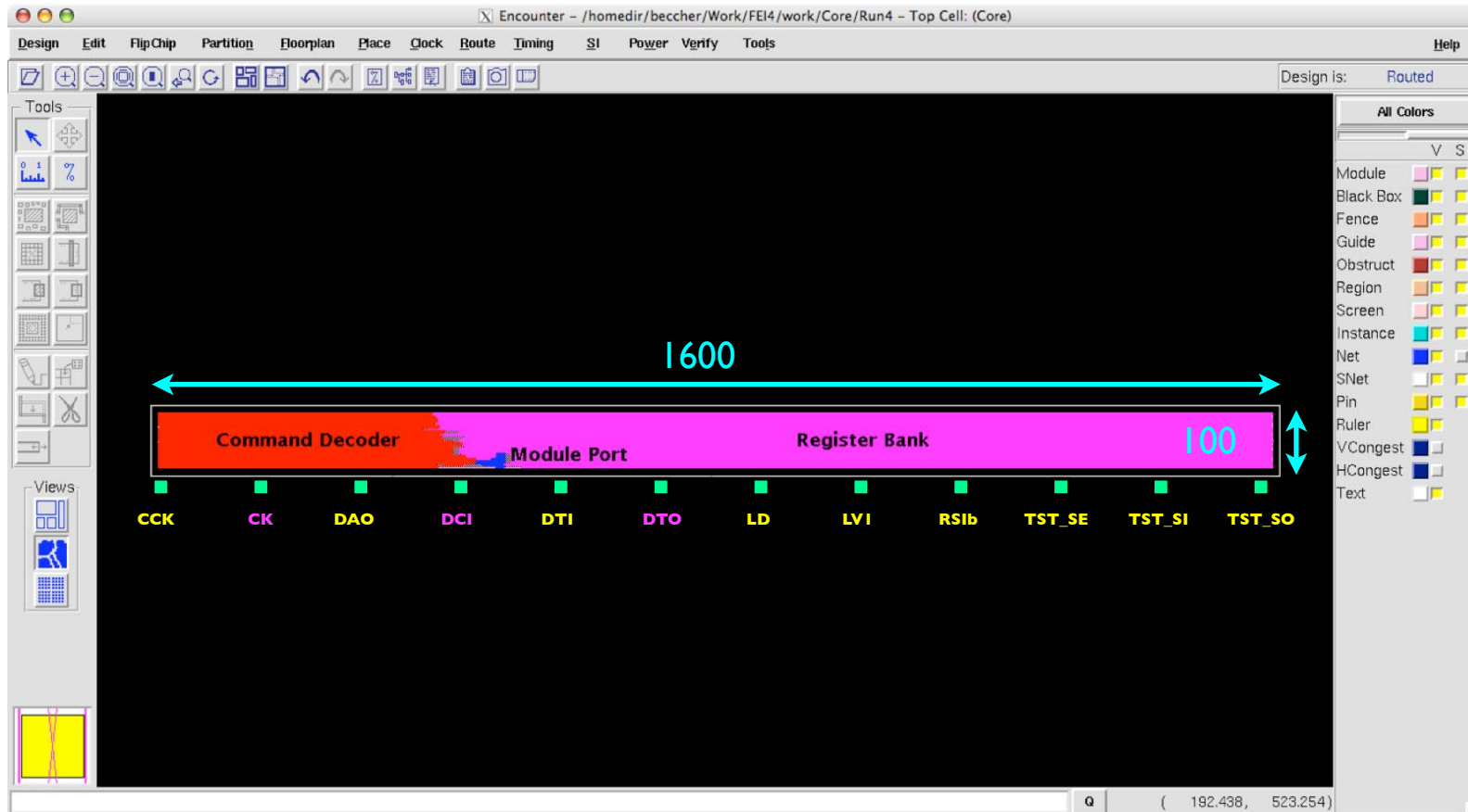
## Register Bank

- Sono stati implementati sei registri da 32 bit ed uno da 16 bit.
- Tali registri sono acceduti mediante i comandi [WrRegister](#) and [RdRegister](#) seguiti da un indirizzo ed una parola di 32 bit

## Tests da effettuare

- Sia il Command Decoder che il Register Bank sono protetti contro SEU e quindi il blocco e' stato ottimizzato per poter eseguire test di SEU.
- Tutte le uscite e gli ingressi sono CMOS.

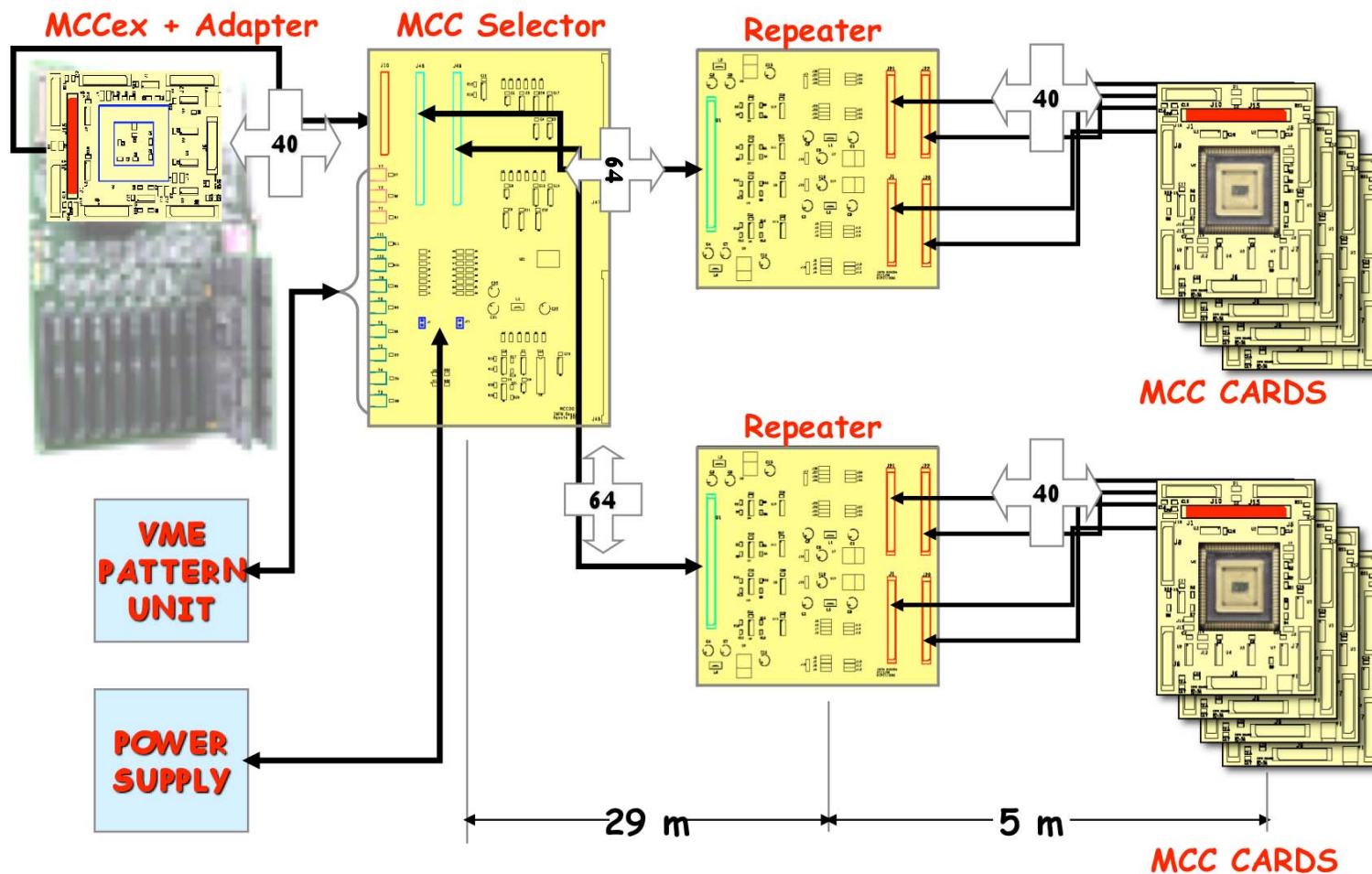
# Il blocco digitale



©

# SEU Tests: I'MCC

- In passato i test effettuati al PS sono stati effettuati con il seguente setup.



# SEU Tests: come testare il chip

- Esiste un setup simile al nostro sviluppato da Marsiglia per il PS del CERN. La velocità di readout è, limitata a 240 kHz.
- Si potrebbe anche utilizzare il setup di Bonn che però è orientato molto di più ai test funzionali del chip.
- Probabilmente a Genova dovremmo sviluppare una scheda di test da abbinare ad uno dei due sistemi.
- L'idea è quella di testare tutto utilizzando solo i pin DCI, DTO, CK (eventualmente RSb) e mantenere il chip attivo e funzionante durante l'irraggiamento.
- Occorre sincronizzarsi con gli spill.
- Ogni struttura interna ha un contatore di errori che viene scritto in uno dei 7 registri e che permette di effettuare misure dettagliate leggendo il chip.