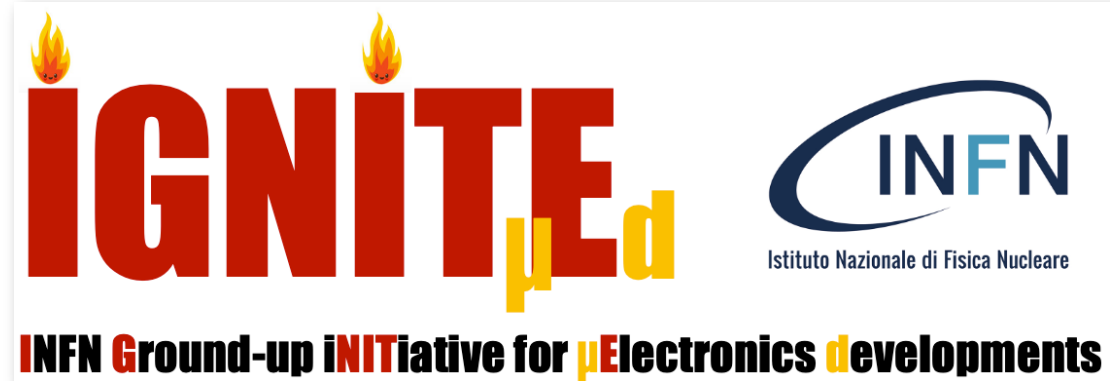




CSN1 - LNF

Paolo Ciambrone

- **IGNITE** è un progetto, supportato dalla GE, che intende promuovere e coordinare le attività di ricerca e sviluppo nel campo della microelettronica per la realizzazione di un sistema *rad-hard* integrato per il *read-out* di rivelatori a pixel 4D, in grado di soddisfare le richieste dei rivelatori di vertice della prossima generazione ($\sigma_t < 30$ ps, $\sigma_s \approx 10$ μ m, Φ $10^{16} \div 10^{17}$ 1-MeV neutron equ. per cm²)
 - Vede coinvolte 14 sezioni INFN, 72 ricercatori/tecnologi (17.8 FTE) - dati 2023
- **Obiettivi:**
 - La creazione di un network INFN per lo sviluppo di competenze e di strategie comuni nell'ambito della microelettronica (per non disperdere e consolidare quanto già fatto nel campo della tecnologia CMOS 28 nm), anche in prospettiva futura
 - La realizzazione di un modulo integrato completo ad alta densità per il *4D-tracking*, sfruttando la tecnologia CMOS a 28 nm
 - sviluppo di ASIC *rad-hard* (≈ 1 -2 cm²) con elettronica di FE e TDC integrati per singolo pixel
 - sviluppo di Silicon Photonics Circuits *rad-hard* (PIC) per il readout seriale ottico ad altissima velocità
 - sviluppo di High-density interconnected system per la realizzazione del sistema integrato di *read-out*
 - sviluppo dei relativi sistemi di test e acquisizione
- **Background**
 - L'iniziativa poggia sull'esperienza di gruppi INFN che hanno già sviluppato competenze e progetti nel campo:
 - **Scaltech28:** caratterizzazione sotto radiazione di dispositivi con tecnologia CMOS 28 nm e sviluppo regole di design
 - **TimeSPOT:** sviluppo di un ASIC (CMOS 28 nm) di piccole dimensioni con integrate le funzionalità di *read-out* e di misura del tempo per singolo pixel con risoluzione di 30 ps
 - **FALAPHEL:** sviluppo di serializzatori a 25 Gbps e di circuiti fotonici su silicio (rad-hard CMOS 28 nm) per la trasmissione ottica dei dati basati sulla tecnica a suddivisione di frequenza in grado di permettere un *throughput* di 100 Gbps per ASIC

- **Cronoprogramma**

- Programma quadriennale (2023 – 2026) con un budget previsto di ~ 2.4 M€ + fondi per borse PhD e AdR
- Primo biennio
 - Caratterizzazione della tecnologia sotto radiazione tramite lo sviluppo di un miniASIC ad hoc e test di irraggiamento (Sviluppo PCB di test)
 - Sviluppo di un primo prototipo di ASIC *rad-hard* di dimensioni contenute (64x64 o 128x128 pixel) con integrate per singolo pixel l'elettronica analogica di *front-end*, il sistema di misura del tempo e il sistema di lettura, da caratterizzare individualmente e accoppiato (ibridizzato) a un sensore a pixel (Sviluppo PCB, sistemi di test e di acquisizione)
 - Sviluppo di un primo prototipo del PIC
 - Sviluppo di un modulo integrato contenente il chip ibridizzato, i circuiti di *read-out* seriale, i sistemi di raffreddamento, ... (Studio architettura, sviluppo PCB, studio interposer, sviluppo sistema di test)
- Secondo biennio
 - Sviluppo ASIC finale *detector grade* (1-2 cm²)
 - Sviluppo modulo finale di *read-out*

- **Anagrafica 2024**

- Progetto "sinergico" con gli esperimenti di LHC
 - P. Albicocco 10% sinergico con LHCb
 - M. Beretta 10% sinergico con FASE2_ATLAS
 - P. Ciambone 20% sinergico con LHCb (Resp. Loc.)
 - G. Tinti 20% sinergico con NA62

- **Richieste 2024**

- $\sim 4 \div 6$ M.U. Servizio Elettronica e Automazione
- ~ 10 k€ su consumo per lo sviluppo di schede elettroniche

- **Attività 2023**

- Definita possibile architettura del sistema
 - layout adattabile a pitch variabili da $\approx 40 \mu\text{m}$ fino a $\approx 100 \mu\text{m}$ (ed eventualmente suoi multipli interi)
 - sistema con un unico chip di front-end e due diversi chip di back-end
 - Possibile uso del Serial Power
- Studi in corso sui possibili sistemi di integrazione tra i chip (Face-2-Face with TSV)
- Sottomesso un MiniASIC (32 canali FE, 32 TDC, PLL, Readout interface) per la caratterizzazione delle architetture e dei circuiti utilizzati
- Sottomesso MiniASIC con strutture di test per la caratterizzazione della tecnologia 28nm sotto radiazione
- In corso lo sviluppo dei PCB e dei sistemi di test (da completare entro fine anno – 7k€ disponibili)
- In corso lo sviluppo di un ASIC a 64x64 canali (MPW)

- **Attività 2024**

- Test dell'ASIC 64x64 su banco
 - Sviluppo schede per il test (richiesti 10 k€, sj alla disponibilità dell'ASIC)
- Integrazione e test con serializzatori e sistemi di trasmissione ottica (System in Package)
- Ibridizzazione con sensori 3D-trench (AIDAInnova) e test sotto fascio
- Studi su implementazioni F2F e TSV.
- Inizio disegno BE ASIC