

Esperimenti per misure di precisione: l'esempio di MEG

Marco Francesconi

Introduzione alle Tecniche di Trigger e Data Acquisition in Esperimenti di Fisica, Napoli, 10 Ott 2023

Una slides per la storia di questo talk...



The TDAQ System of the MEG Experiment and its upgrade

- The MEG experiment
- requirements for the TDAQ from physics
 - DAQ choice
 - requirements for the trigger
- An FPGA based trigger
 - algorithm implementation
- TDAQ efficiency considerations
- The MEG II case
 - upgrade design
 - the upgraded TDAQ system

ISOTDAQ 2017



Luca Galli, INFN Sezione di Pisa
luca.galli@pi.infn.it



Vincenzo: *“Perchè non presenti il Talk che presentava Luca su MEG a ISOTDAQ?”*

Marco: *“Bella idea!”*

Una slides per la storia di questo talk...



The TDAQ System of the MEG Experiment and its upgrade

- The MEG experiment
- requirements for the TDAQ from physics
 - DAQ choice
 - requirements for the trigger
- An FPGA based trigger
 - algorithm implementation
- TDAQ efficiency considerations
- The MEG II case
 - upgrade design
 - the upgraded TDAQ system

ISOTDAQ 2017

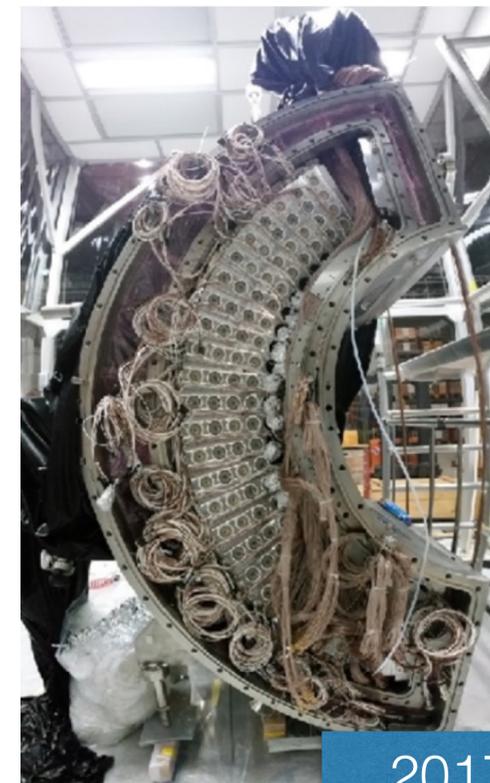


Luca Galli, INFN Sezione di Pisa
luca.galli@pi.infn.it

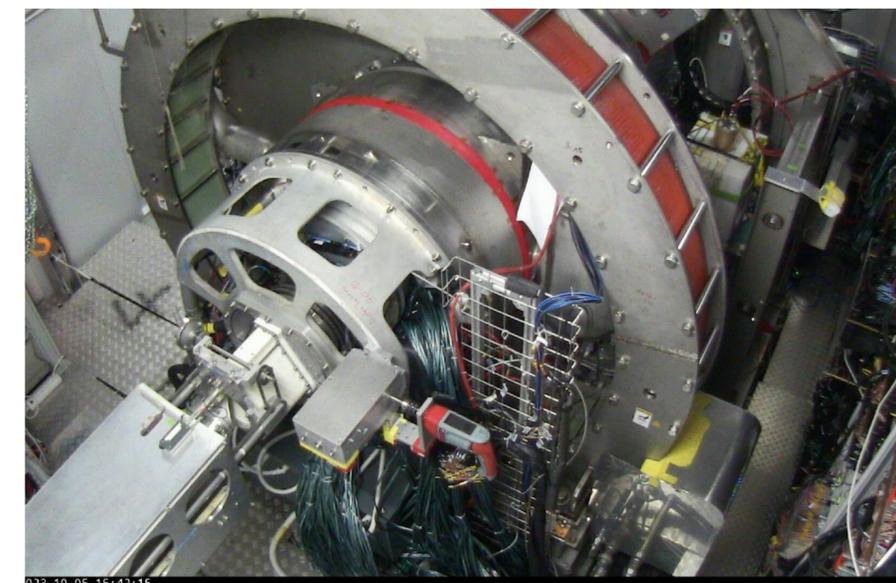
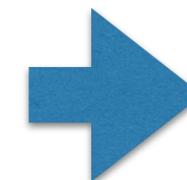


Vincenzo: *“Perchè non presenti il Talk che presentava Luca su MEG a ISOTDAQ?”*

Marco: *“Bella idea!”*



2017



2021-2023

Peccato (o meglio “Per fortuna”!) che molte cose siano cambiate in 6 anni

Cosa c'è in questo talk



The TDAQ System of the MEG Experiment and its upgrade

- The MEG experiment
- requirements for the TDAQ from physics
 - DAQ choice
 - requirements for the trigger
- An FPGA based trigger
 - algorithm implementation
- TDAQ efficiency considerations
- The MEG II case
 - upgrade design
 - the upgraded TDAQ system

ISOTDAQ 2017



Luca Galli, INFN Sezione di Pisa
luca.galli@pi.infn.it



- Panoramica della Frontiera dell'Intensità
- Le sfide sul TDAQ
 - Soluzioni adottate in MEG (late 2000) e MEG II (early 2010)
 - Qualche accenno ad altri esperimenti
- Esempio di un sistema di TDAQ
 - Dal disegno
 - All'uso
- Cosa ha funzionato bene
 - E cosa meno bene
 - Alcuni "trucchi del mestiere"

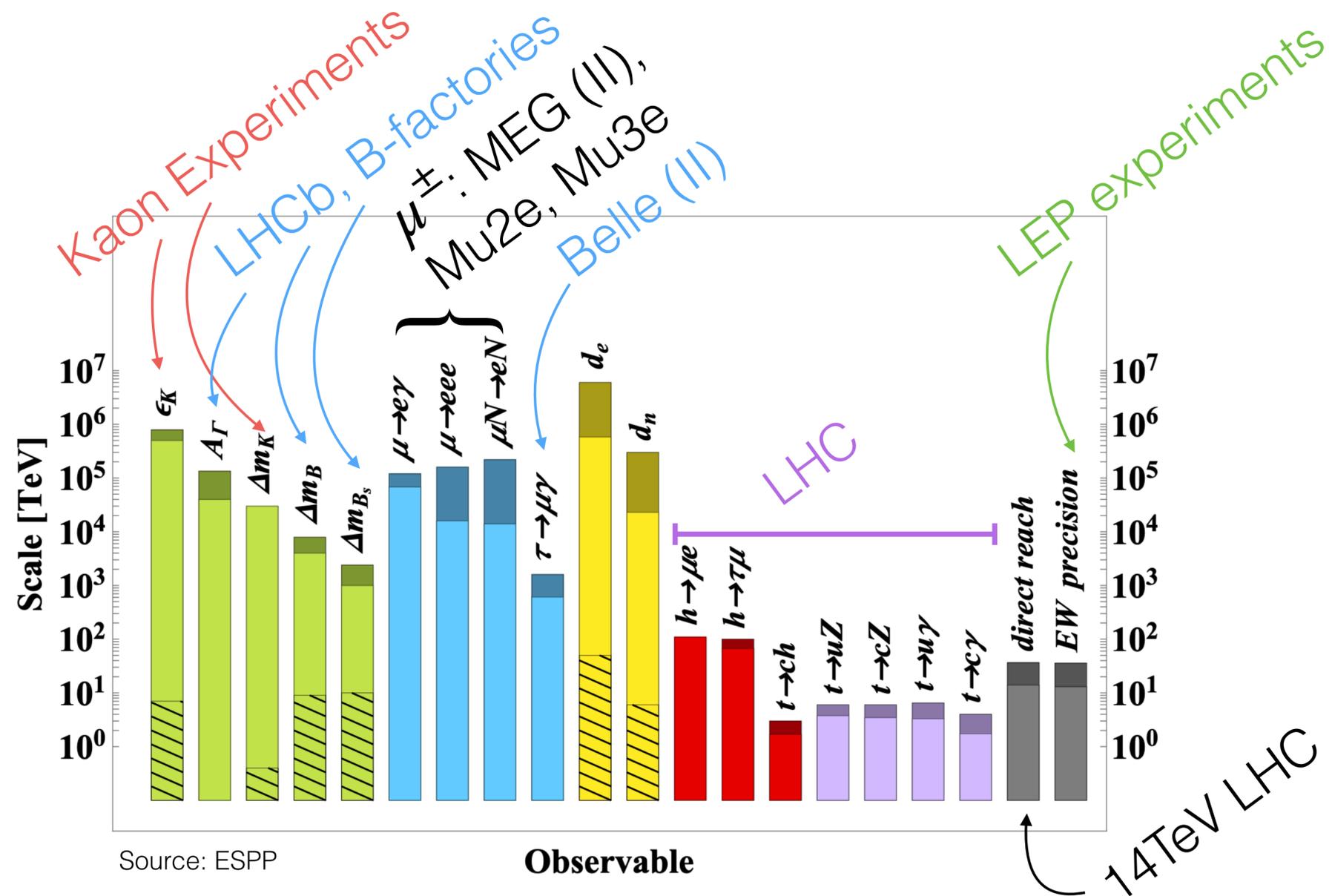
Disclaimer: bias verso la fisica dei μ^\pm



Un esempio completo di quanto descritto da R.Ferrari su una scala "descrivibile" in 1 ora

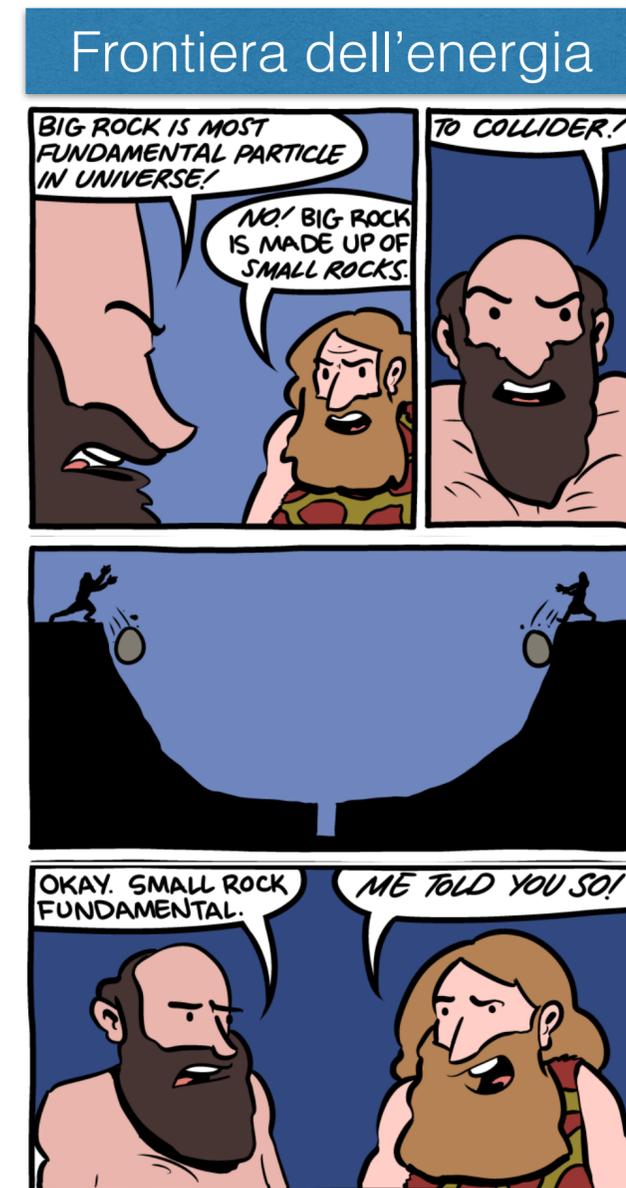
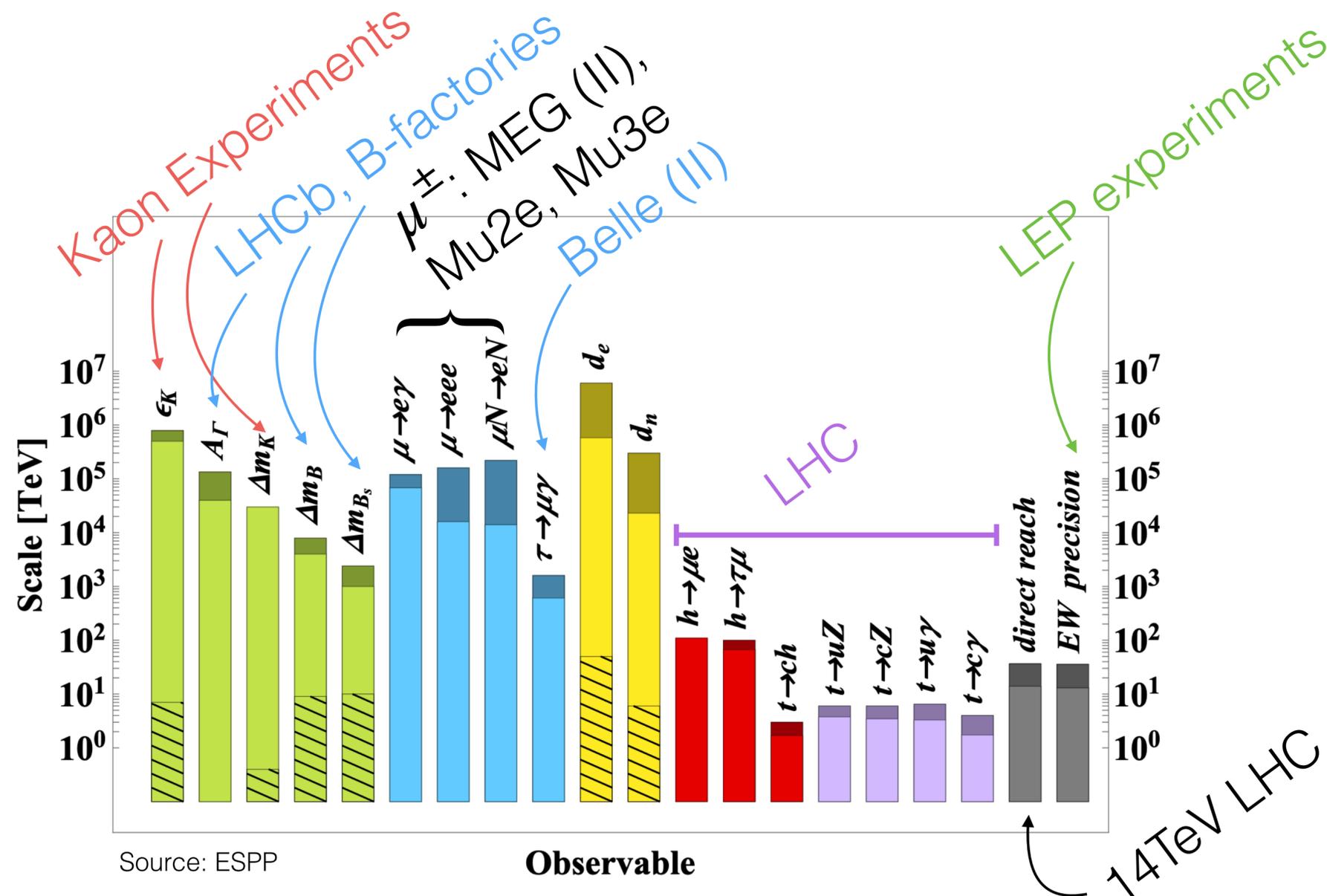
La frontiera dell'intensità

Approccio complementare alla **frontiera dell'energia**:
 in base alle assunzioni teoriche può porre limiti più stringenti della ricerca diretta



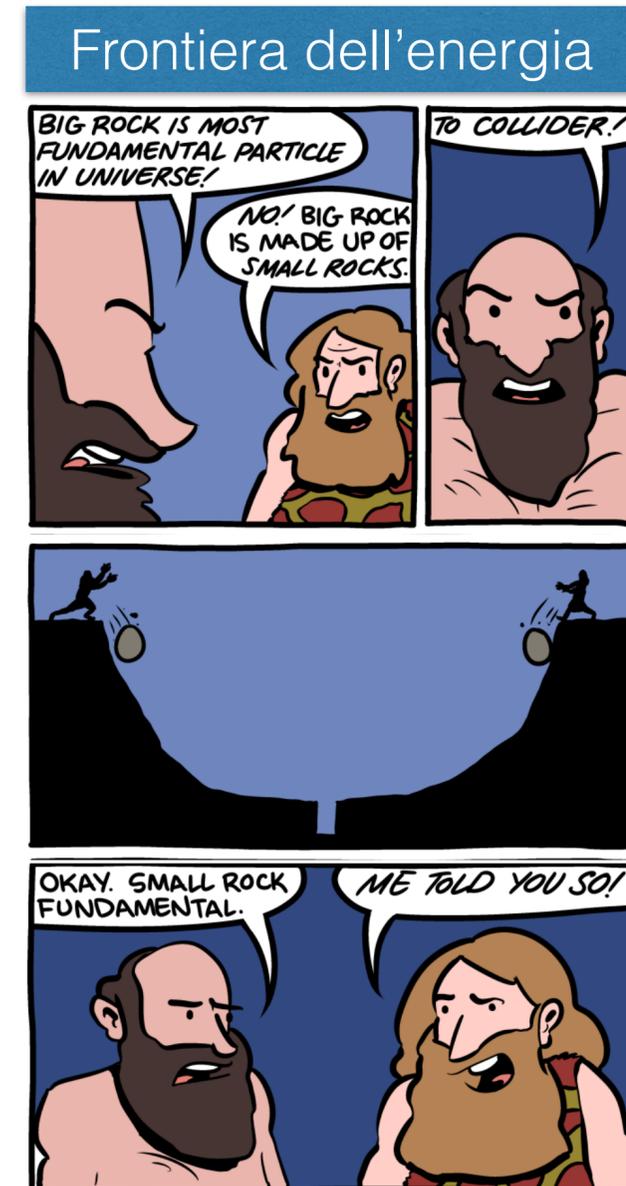
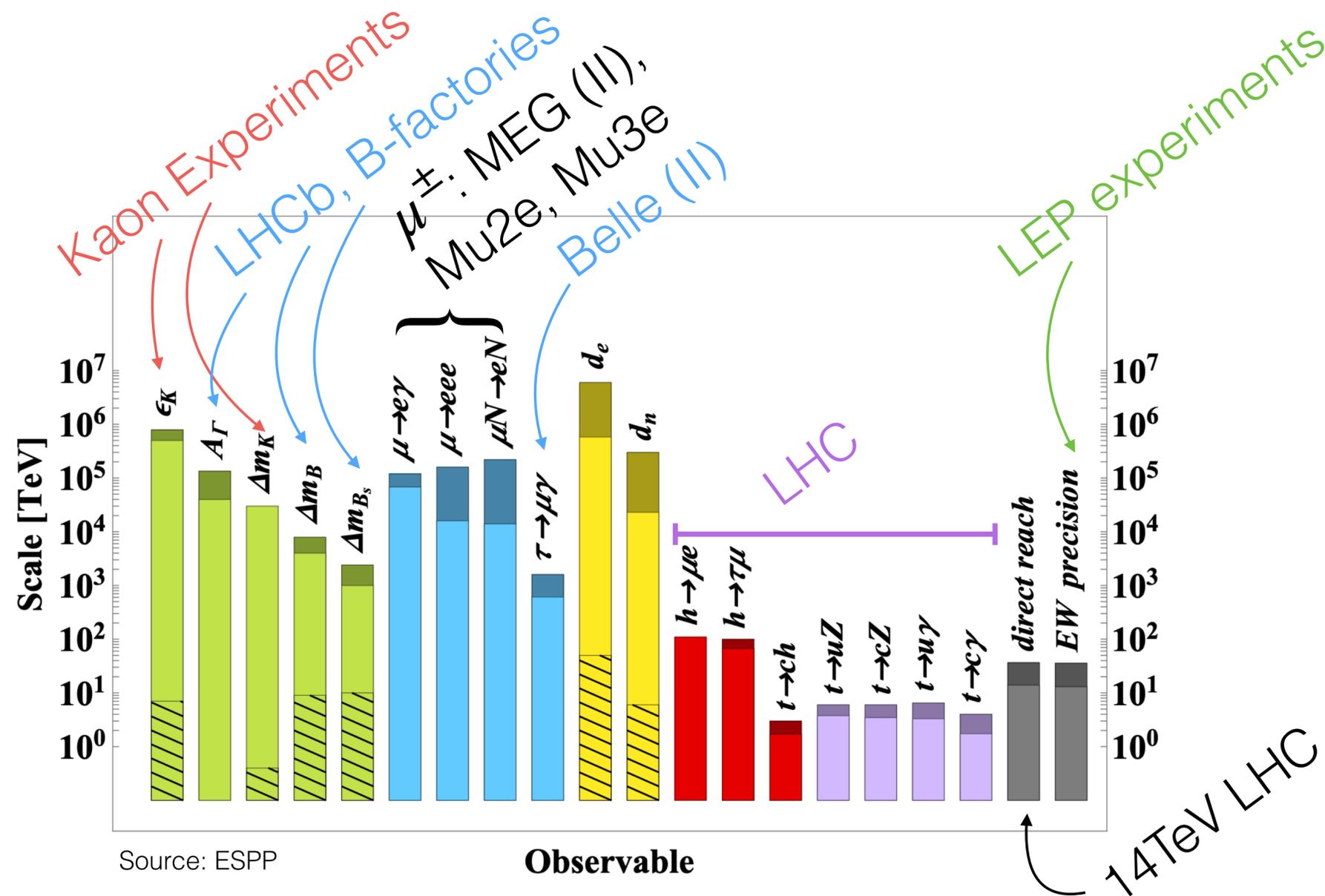
La frontiera dell'intensità

Approccio complementare alla **frontiera dell'energia**:
 in base alle assunzioni teoriche può porre limiti più stringenti della ricerca diretta



La frontiera dell'intensità

Approccio complementare alla **frontiera dell'energia**:
 in base alle assunzioni teoriche può porre limiti più stringenti della ricerca diretta



<https://imaur.com/SoDibJz>



Ricerca di processi Rari/Proibiti

La nostra conoscenza attuale è un fondo per la misura
In particolare per i muoni: tutti i decadimenti sono “noia”

<i>Michel decay</i>	$\mu \rightarrow e\nu\bar{\nu}$	~100%
<i>Radiative decay</i>	$\mu \rightarrow e\nu\bar{\nu}\gamma$	$3.3 \cdot 10^{-3}$
	$\mu \rightarrow e\nu\bar{\nu}ee$	$3.4 \cdot 10^{-5}$
Nuova fisica	???	~ 10^{-15}

Ricerca di processi Rari/Proibiti

La nostra conoscenza attuale è un fondo per la misura
In particolare per i muoni: tutti i decadimenti sono “noia”

<i>Michel decay</i>	$\mu \rightarrow e\nu\bar{\nu}$	~100%
<i>Radiative decay</i>	$\mu \rightarrow e\nu\bar{\nu}\gamma$	$3.3 \cdot 10^{-3}$
	$\mu \rightarrow e\nu\bar{\nu}ee$	$3.4 \cdot 10^{-5}$
Nuova fisica	???	~ 10^{-15}

Chiave il ruolo del trigger!

Selezioni iper-ottimizzate sul segnale \rightarrow 1 esperimento = 1 misura

Ricerca di processi Rari/Proibiti

La nostra conoscenza attuale è un fondo per la misura
In particolare per i muoni: tutti i decadimenti sono “noia”

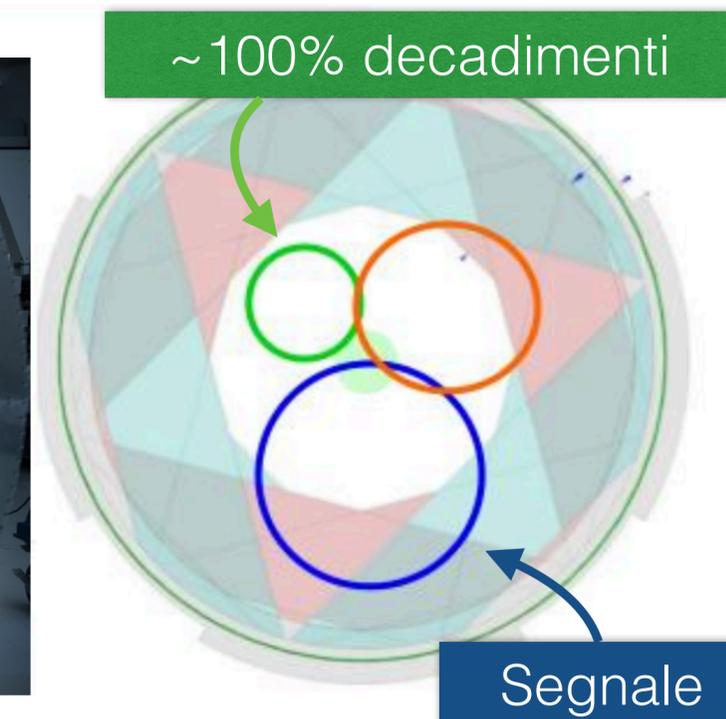
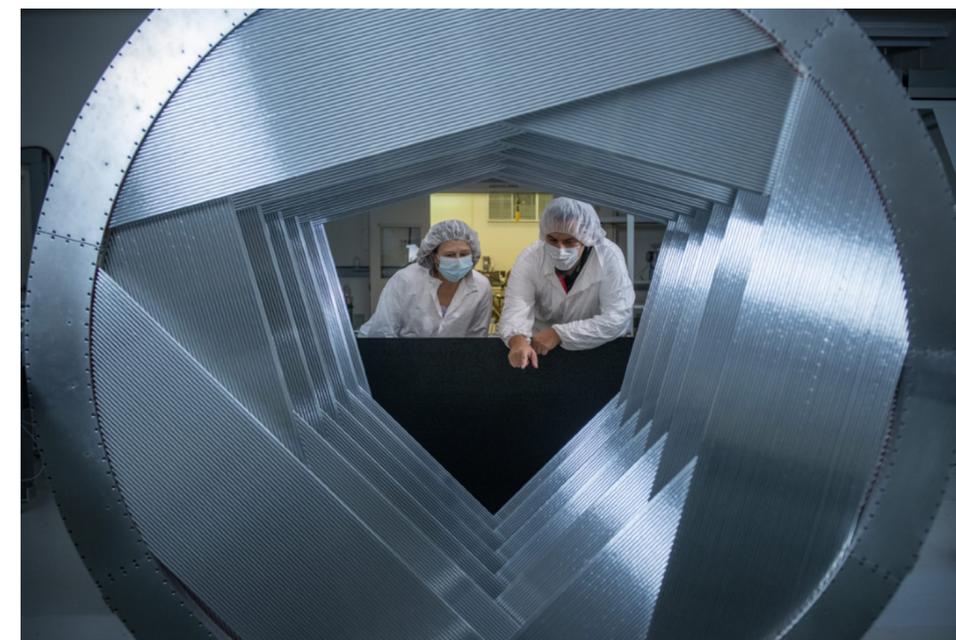
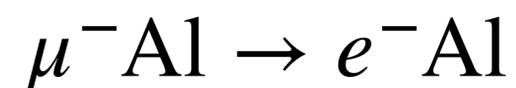
<i>Michel decay</i>	$\mu \rightarrow e\nu\bar{\nu}$	$\sim 100\%$
<i>Radiative decay</i>	$\mu \rightarrow e\nu\bar{\nu}\gamma$	$3.3 \cdot 10^{-3}$
	$\mu \rightarrow e\nu\bar{\nu}ee$	$3.4 \cdot 10^{-5}$
Nuova fisica	???	$\sim 10^{-15}$

Chiave il ruolo del trigger!

Selezioni iper-ottimizzate sul segnale \rightarrow 1 esperimento = 1 misura

“**Livello 0**” di trigger: rivelatori ottimizzati per essere ciechi

Esempio: il Tracciatore/Calorimetro di Mu2e



Caratteristiche comuni: I background accidentali

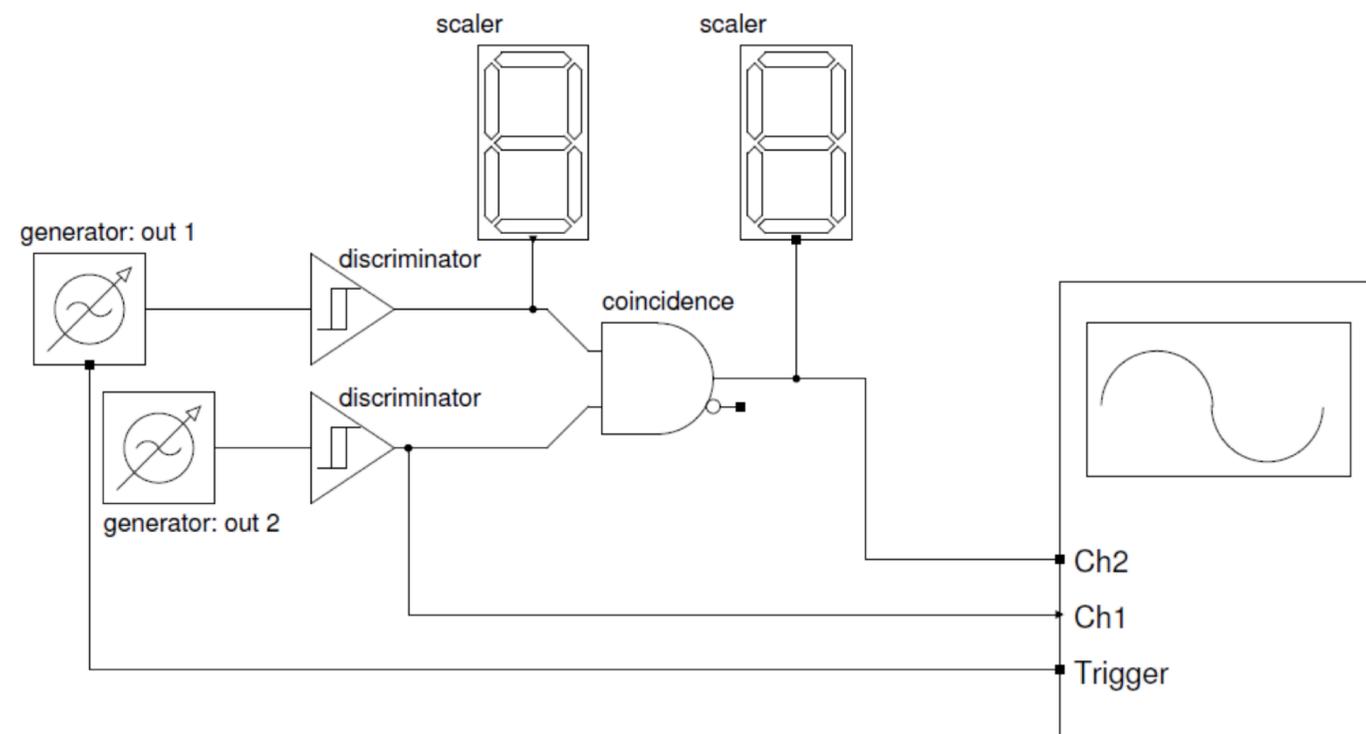


Ricerche di eventi rari → **larga statistica** di decadimenti osservati
Per farlo in un tempo ragionevole (<10 anni) serve **alta intensità** di fascio

Caratteristiche comuni: I background accidentali

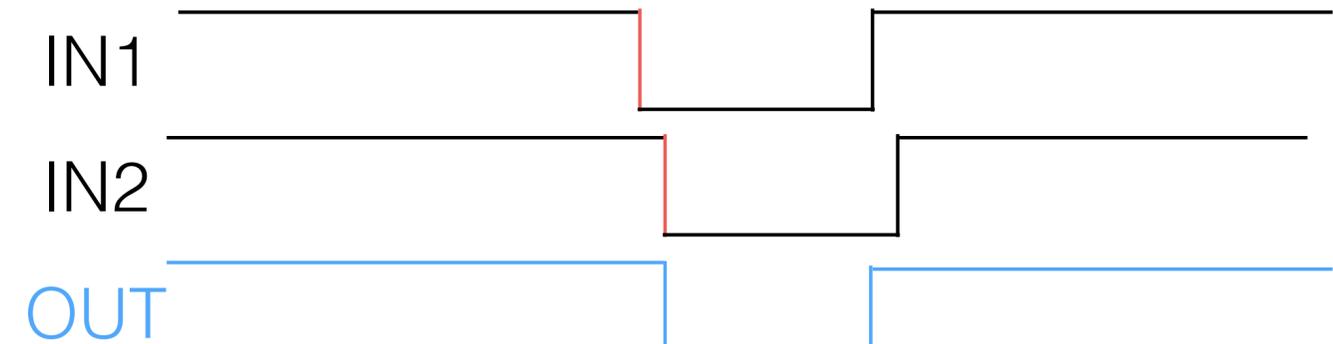
Ricerche di eventi rari → **larga statistica** di decadimenti osservati
Per farlo in un tempo ragionevole (<10 anni) serve **alta intensità** di fascio

Problema delle coincidenze accidentali



Esempio del laboratorio 1

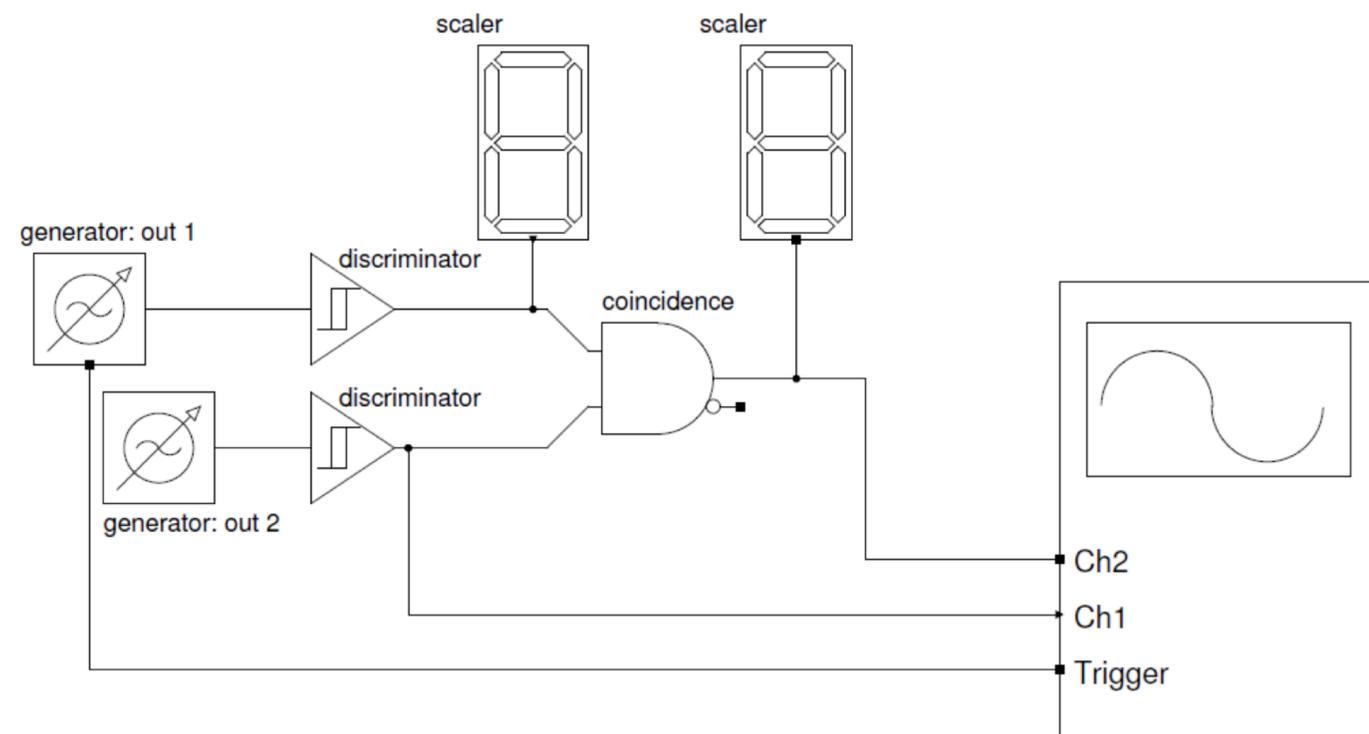
Utilizzo “atteso”:



Caratteristiche comuni: I background accidentali

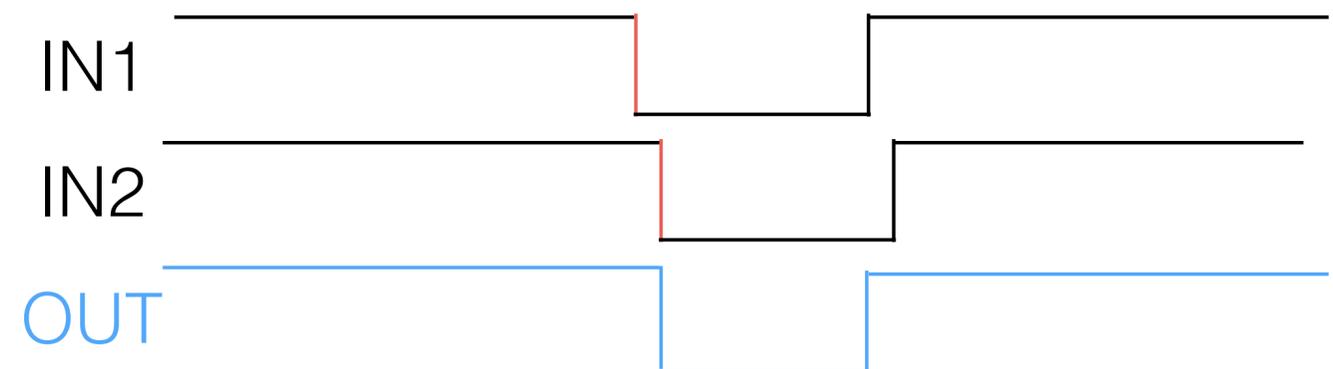
Ricerche di eventi rari → **larga statistica** di decadimenti osservati
Per farlo in un tempo ragionevole (<10 anni) serve **alta intensità** di fascio

Problema delle coincidenze accidentali

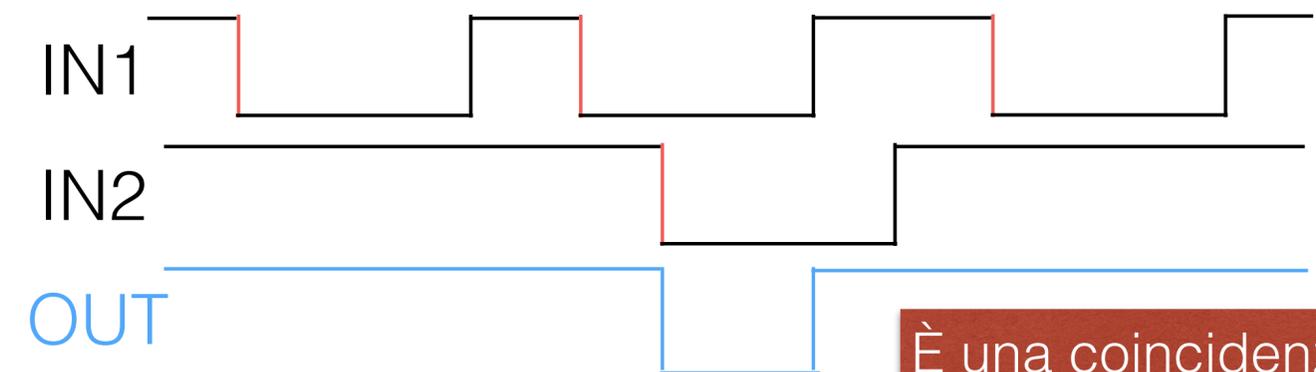


Esempio del laboratorio 1

Utilizzo "atteso":



Ad alto rate:



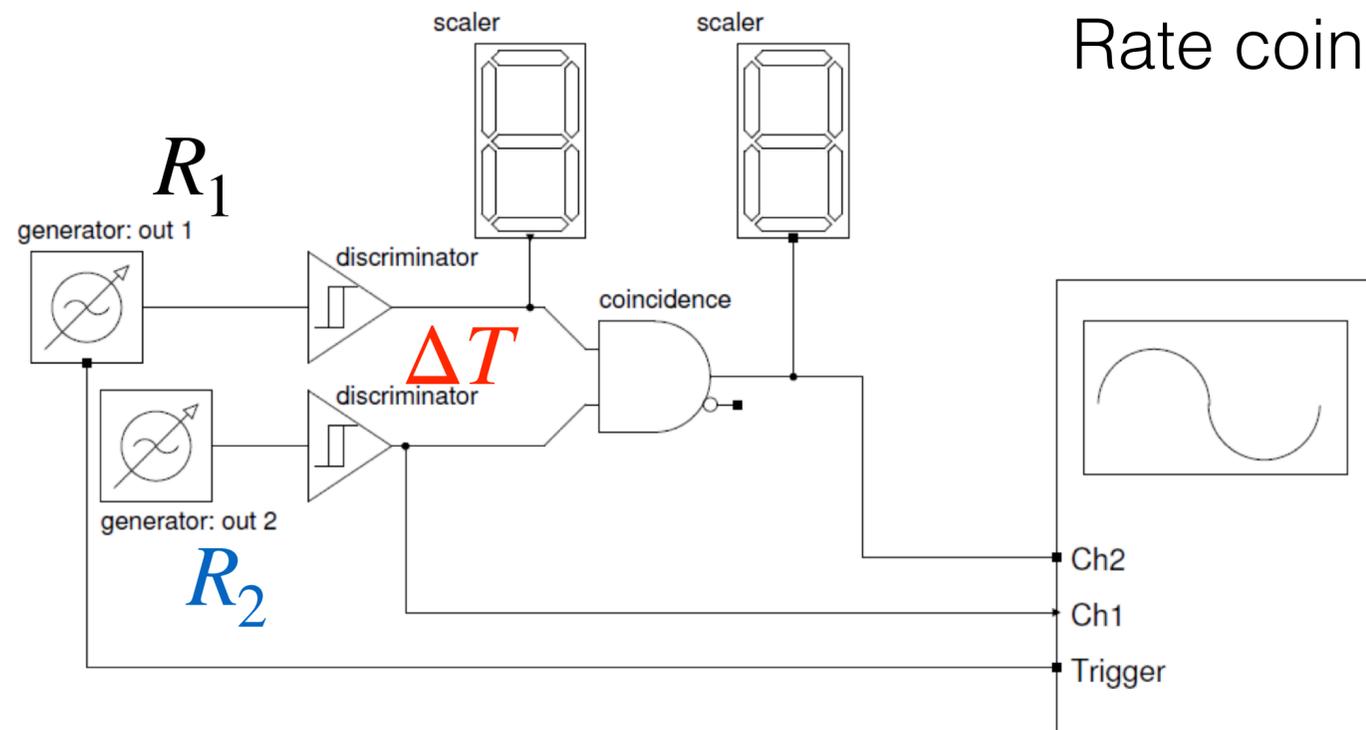
È una coincidenza ??

Le coincidenze accidentali

Rate coincidenze accidentali, entrambi i segnali con shaping ΔT :

$$R_{Acc} = R_1 \times R_2 \times 2 \Delta T$$

R_1 e R_2 sono fissati dal disegno dell'esperimento



Le coincidenze accidentali

Rate coincidenze accidentali, entrambi i segnali con shaping ΔT :

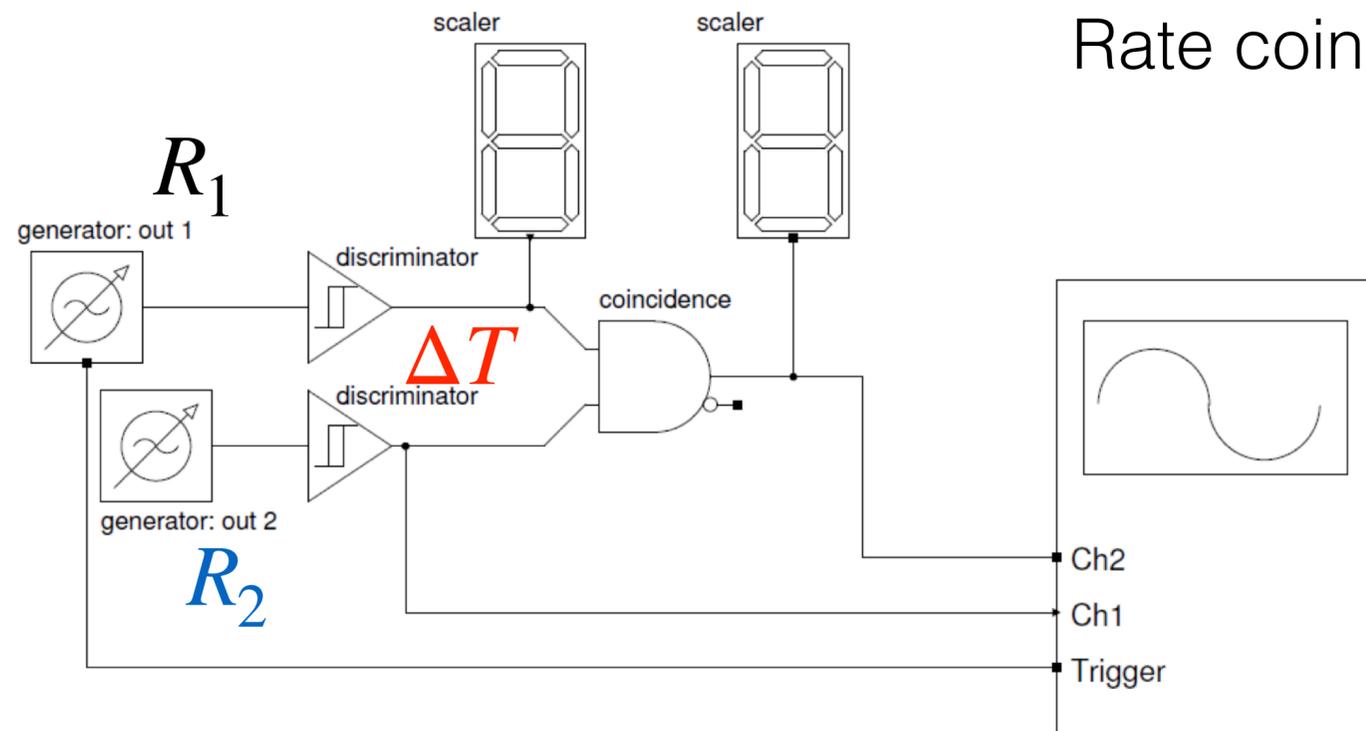
$$R_{Acc} = R_1 \times R_2 \times 2 \Delta T$$

R_1 e R_2 sono fissati dal disegno dell'esperimento

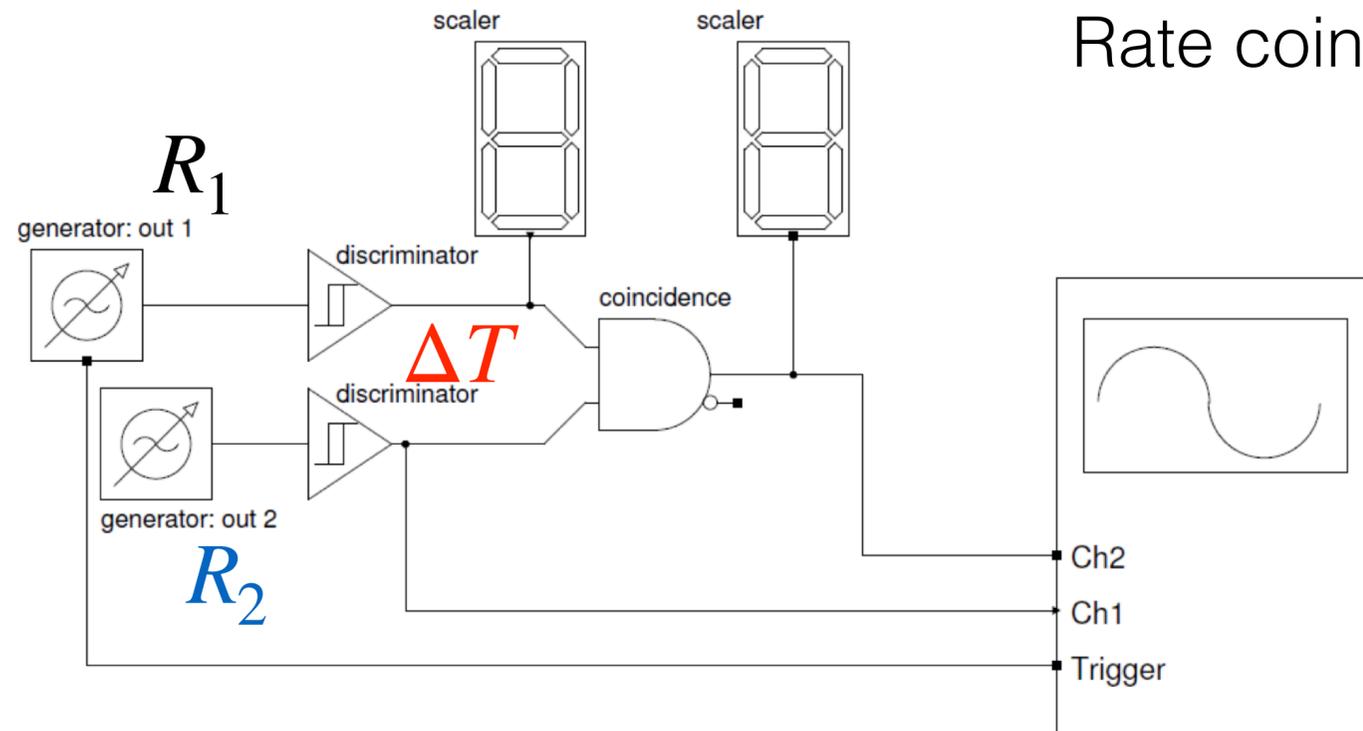
Su ΔT si può lavorare per abbassare il rate.

A patto che:

- La risoluzione temporale dei rivelatori sia buona
- Tutta la catena elettronica (incluso il trigger) sia sufficientemente veloce



Le coincidenze accidentali



Rate coincidenze accidentali, entrambi i segnali con shaping ΔT :

$$R_{Acc} = R_1 \times R_2 \times 2 \Delta T$$

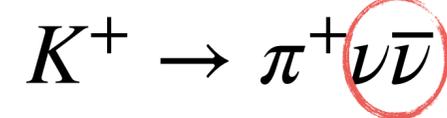
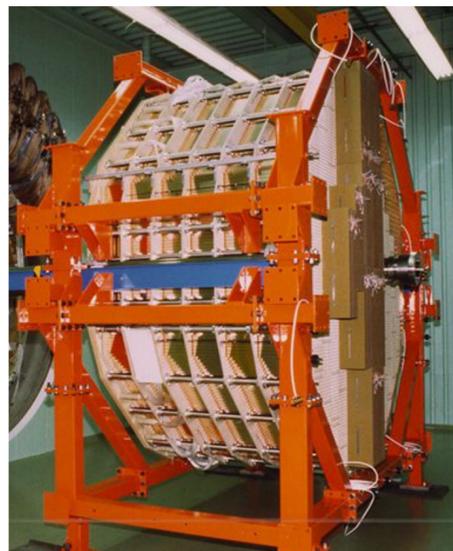
R_1 e R_2 sono fissati dal disegno dell'esperimento

Su ΔT si può lavorare per abbassare il rate.

A patto che:

- La risoluzione temporale dei rivelatori sia buona
- Tutta la catena elettronica (incluso il trigger) sia sufficientemente veloce

Esempio reale: Photon Veto di NA62



Anti-coincidenza per rimuovere qualsiasi altra particella (in particolare fotoni)

Risoluzione temporale dell'attuale LKr: **550 ps**

Goal per l'upgrade "HIKE":

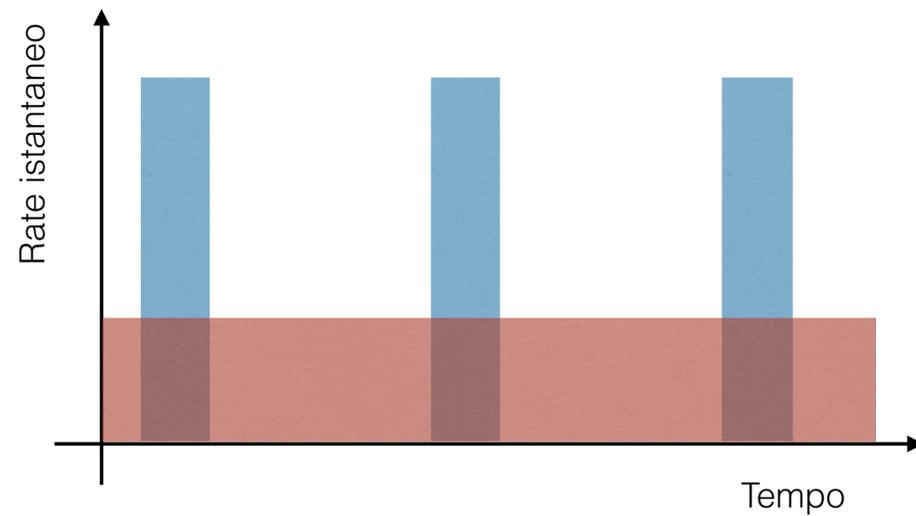
$\times 4$ beam rate \rightarrow nuovo rivelatore con almeno **100 ps**

Fascio continuo o fascio impulsato?



I rate che entrano nell'equazione sono rate **istantanei**

$$R_{Acc} = R_1 \times R_2 \times 2 \Delta T$$



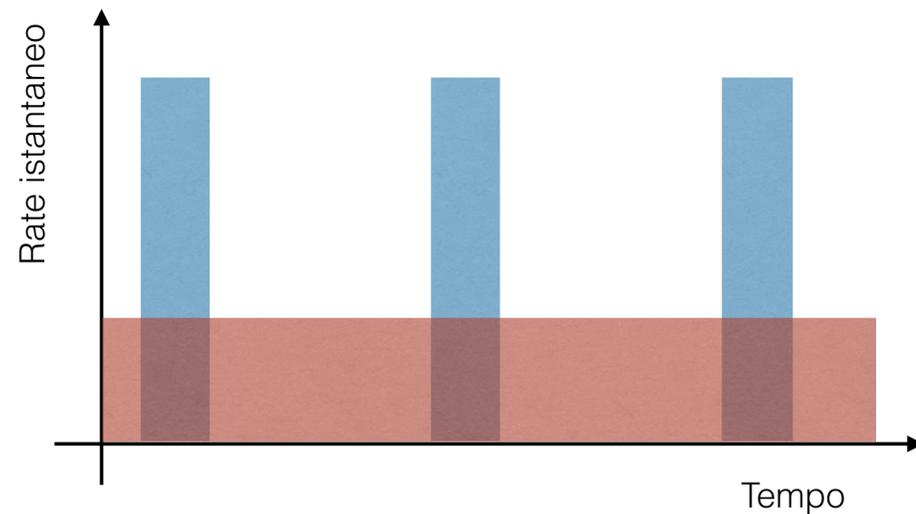
A parità di rate medio, **fasci continui** sono preferibili a **fasci fortemente impulsati**

Fascio continuo o fascio impulsato?



I rate che entrano nell'equazione sono rate **istantanei**

$$R_{Acc} = R_1 \times R_2 \times 2 \Delta T$$



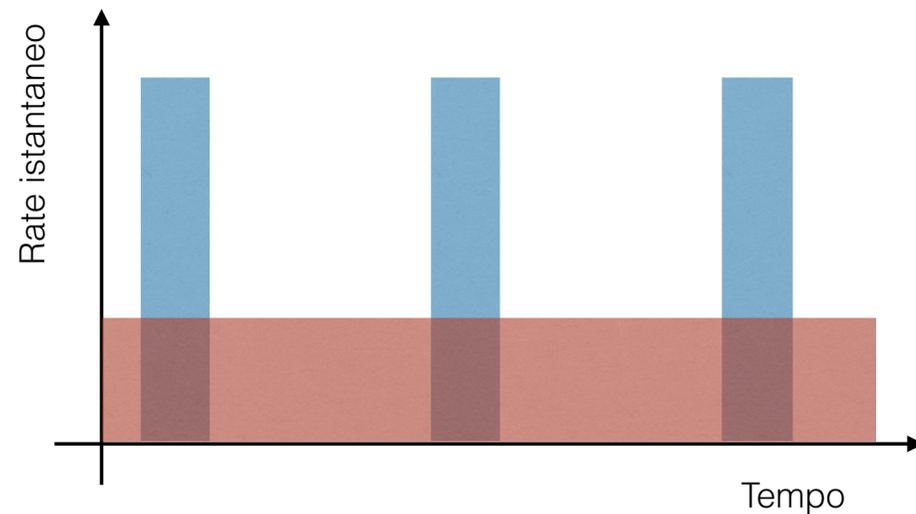
A parità di rate medio, **fasci continui** sono preferibili a **fasci fortemente impulsati**

Due esempi diametralmente opposti: MEG (II) e Mu2e

Fascio continuo o fascio impulsato?

I rate che entrano nell'equazione sono rate **istantanei**

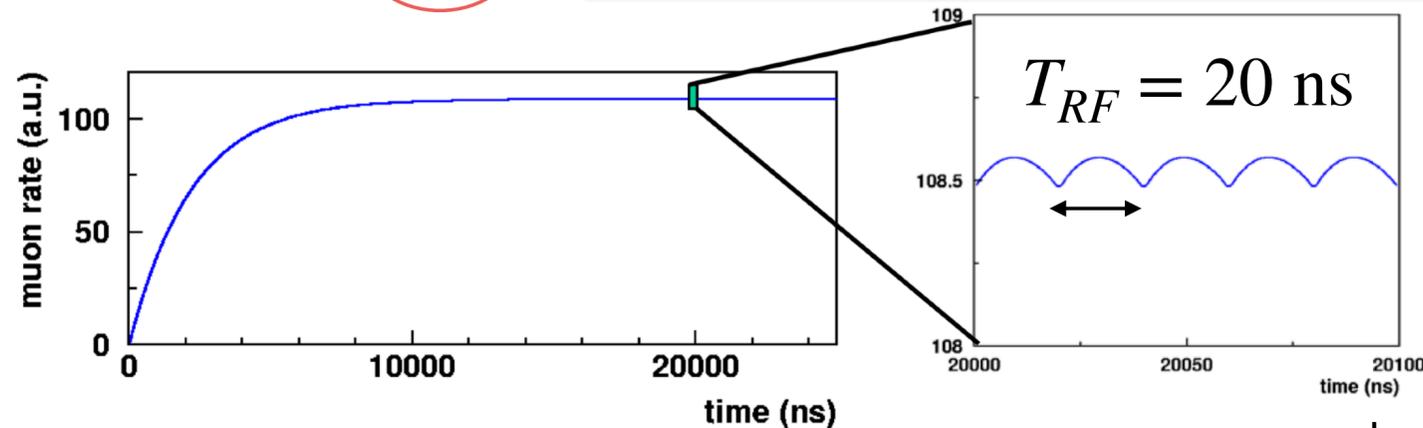
$$R_{Acc} = R_1 \times R_2 \times 2 \Delta T$$



A parità di rate medio, **fasci continui** sono preferibili a **fasci fortemente impulsati**

Due esempi diametralmente opposti: MEG (II) e Mu2e

MEG II $\mu^+ \rightarrow e^+ \gamma$ **Coincidenza 2 particelle osservabili**

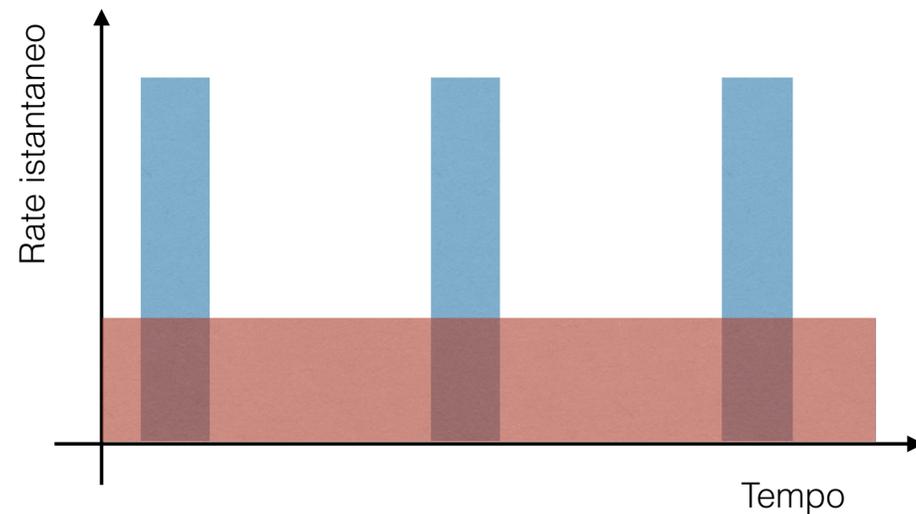


Fascio continuo dovuto alla collezione di μ^+ provenienti da π^+ , $\tau(\pi^+) \simeq T_{RF}$

Fascio continuo o fascio impulsato?

I rate che entrano nell'equazione sono rate **istantanei**

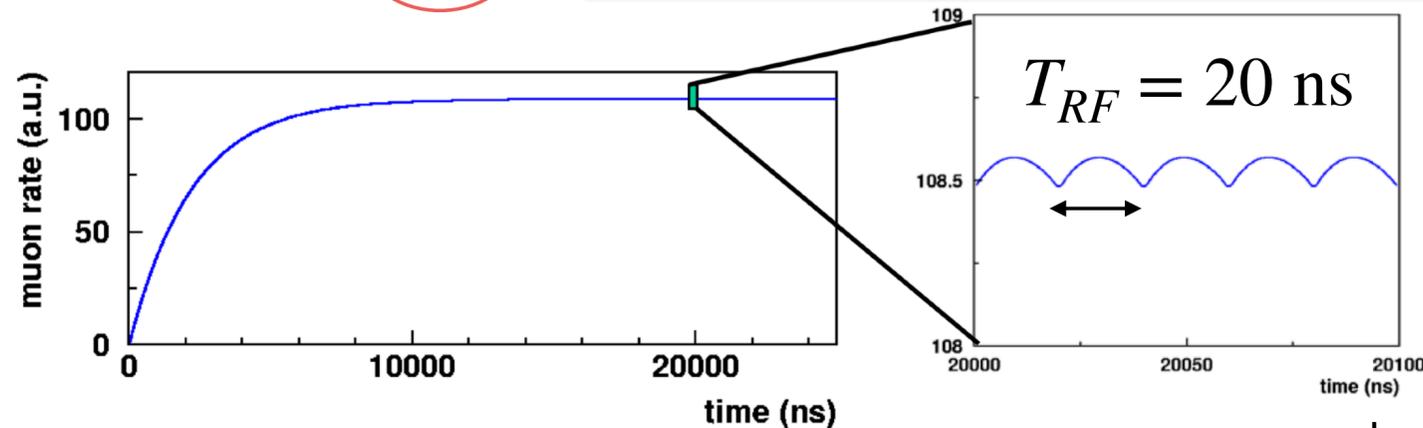
$$R_{Acc} = R_1 \times R_2 \times 2 \Delta T$$



A parità di rate medio, **fasci continui** sono preferibili a **fasci fortemente impulsati**

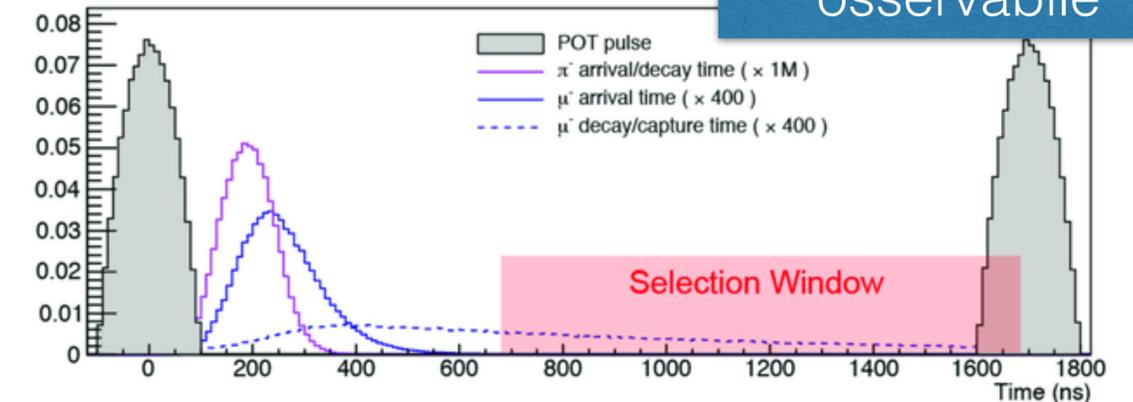
Due esempi diametralmente opposti: MEG (II) e Mu2e

MEG II $\mu^+ \rightarrow e^+ \gamma$ **Coincidenza 2 particelle osservabili**



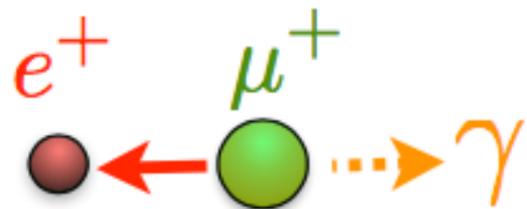
Fascio continuo dovuto alla collezione di μ^+ provenienti da π^+ , $\tau(\pi^+) \simeq T_{RF}$

Mu2e $\mu^- Al \rightarrow e^- Al$ **1 sola particella osservabile**



Struttura con bunch molto stretti per estinguere i fondi di fascio dovuto ai π^\pm

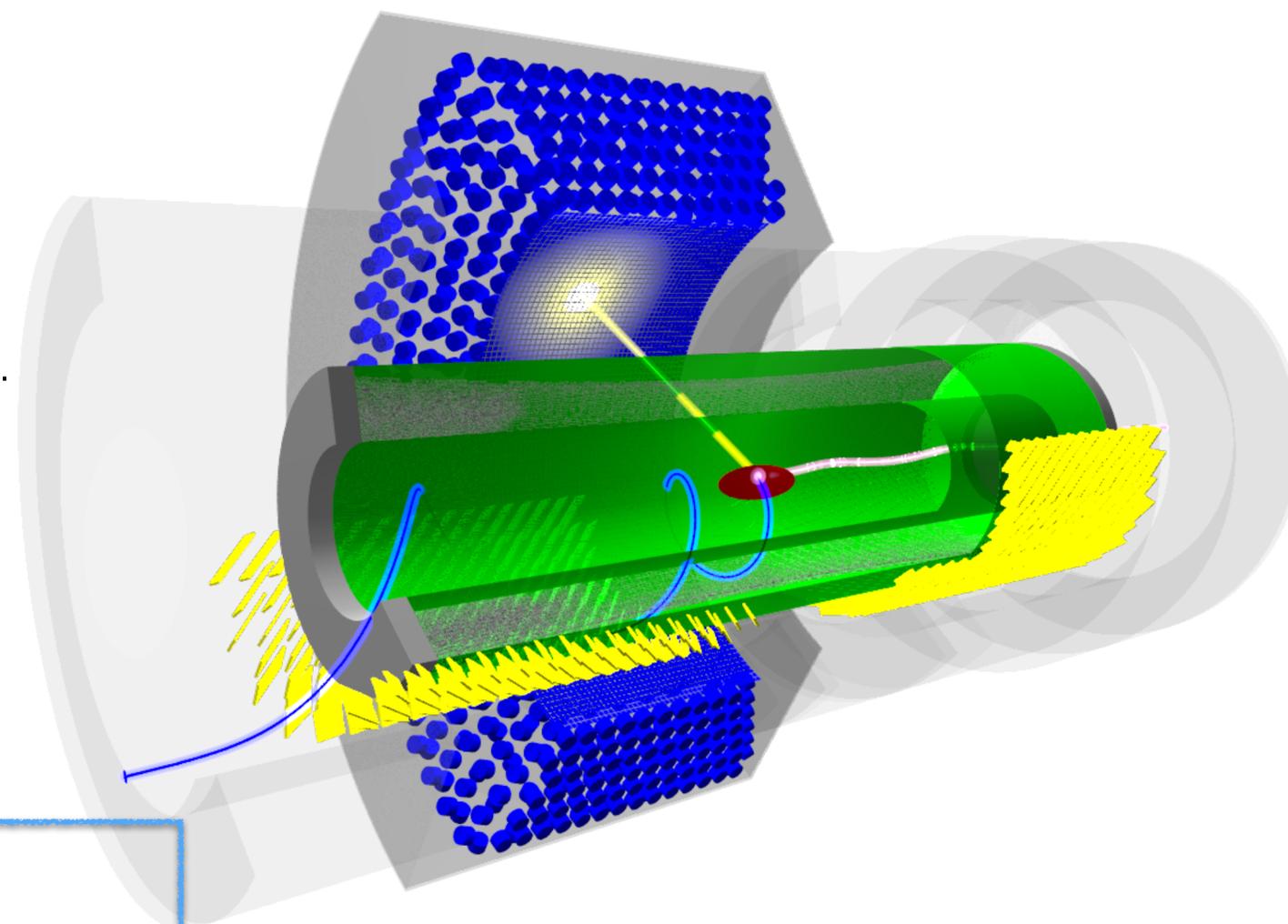
L'esempio di MEG II



L'esperimento MEG (II) ha lo scopo di osservare il
decadimento $\mu^+ \rightarrow e^+ \gamma$

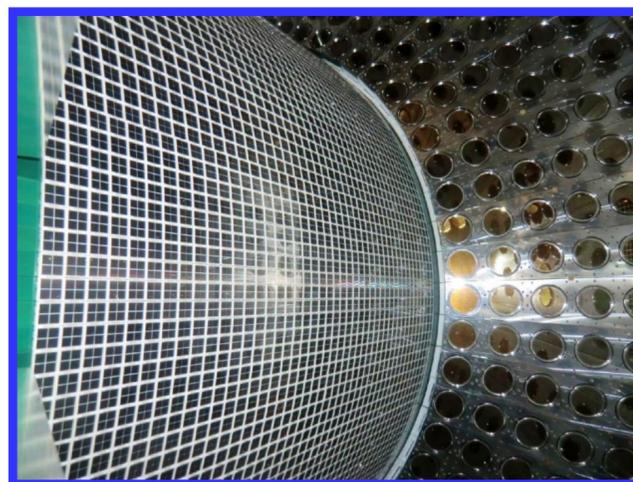
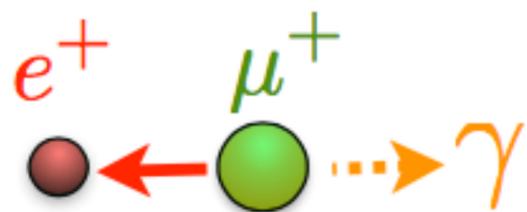
- Fondo nullo dal Modello Standard ($BR \sim 10^{-52}$)
- Molto sensibile a fisica **oltre il modello standard**.

MEG II = MEG con rivelatori più
veloci e più **segmentati**



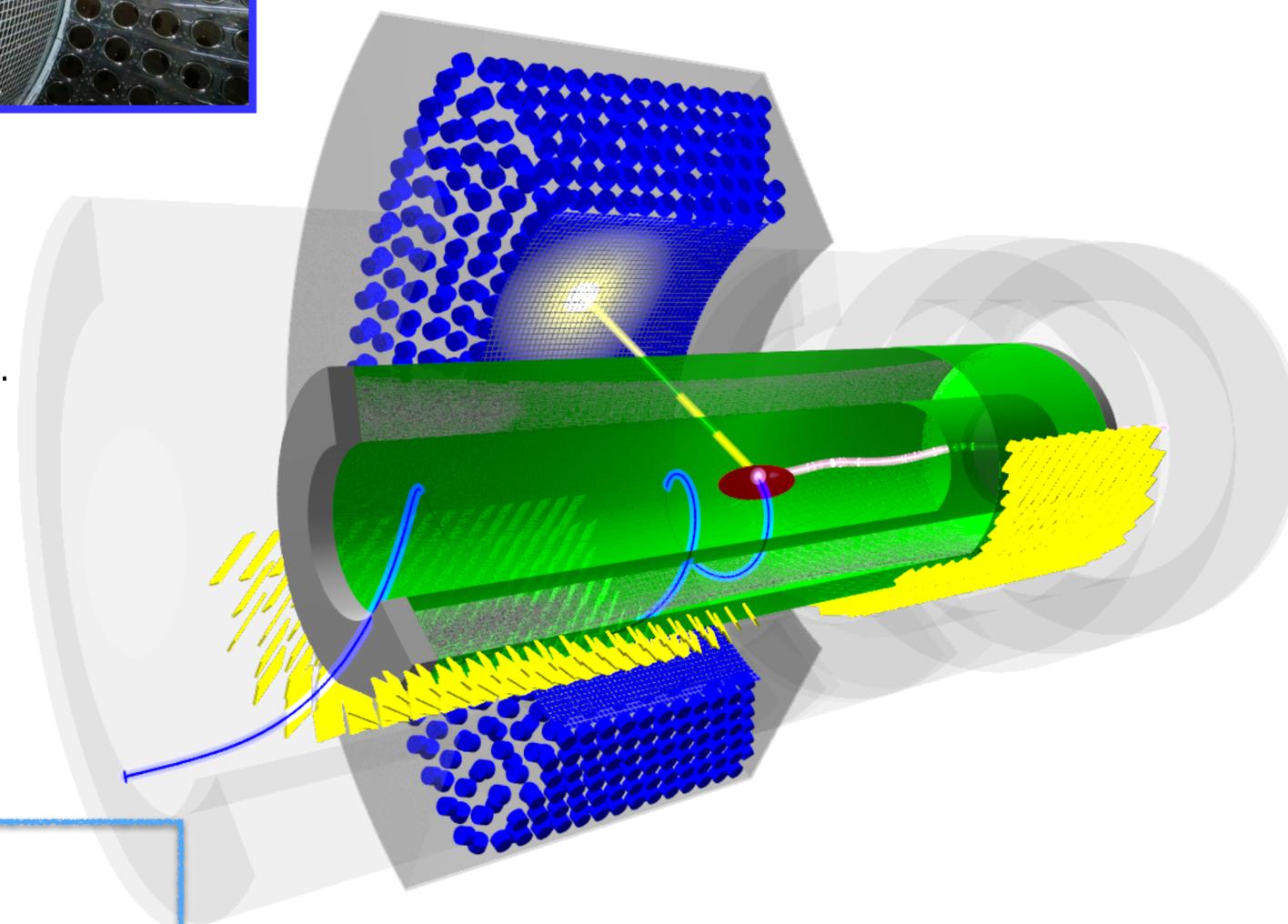
Sensibilità finale attesa per MEG II
 $BR(\mu^+ \rightarrow e^+ + \gamma) \leq 6 \cdot 10^{-14}$ (@ 90% C.L.)

L'esempio di MEG II



LXe

Detector a scintillazione
4092 **SiPMs** +
668 **PMTs**



L'esperimento MEG (II) ha lo scopo di osservare il **decadimento** $\mu^+ \rightarrow e^+ \gamma$

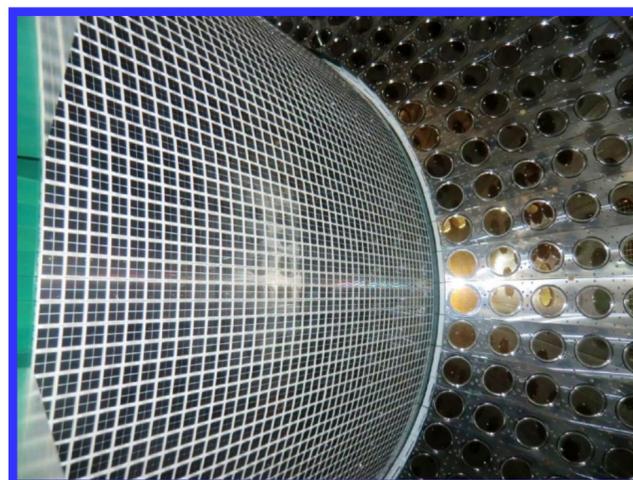
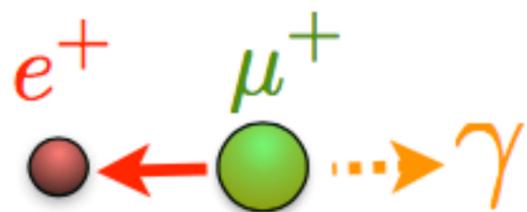
- Fondo nullo dal Modello Standard ($BR \sim 10^{-52}$)
- Molto sensibile a fisica **oltre il modello standard**.

MEG II = MEG con rivelatori più **veloci** e più **segmentati**

Sensibilità finale attesa per MEG II

$$BR(\mu^+ \rightarrow e^+ + \gamma) \leq 6 \cdot 10^{-14} \text{ (@ 90\% C.L.)}$$

L'esempio di MEG II



LXe

Detector a scintillazione
4092 **SiPMs** +
668 **PMTs**



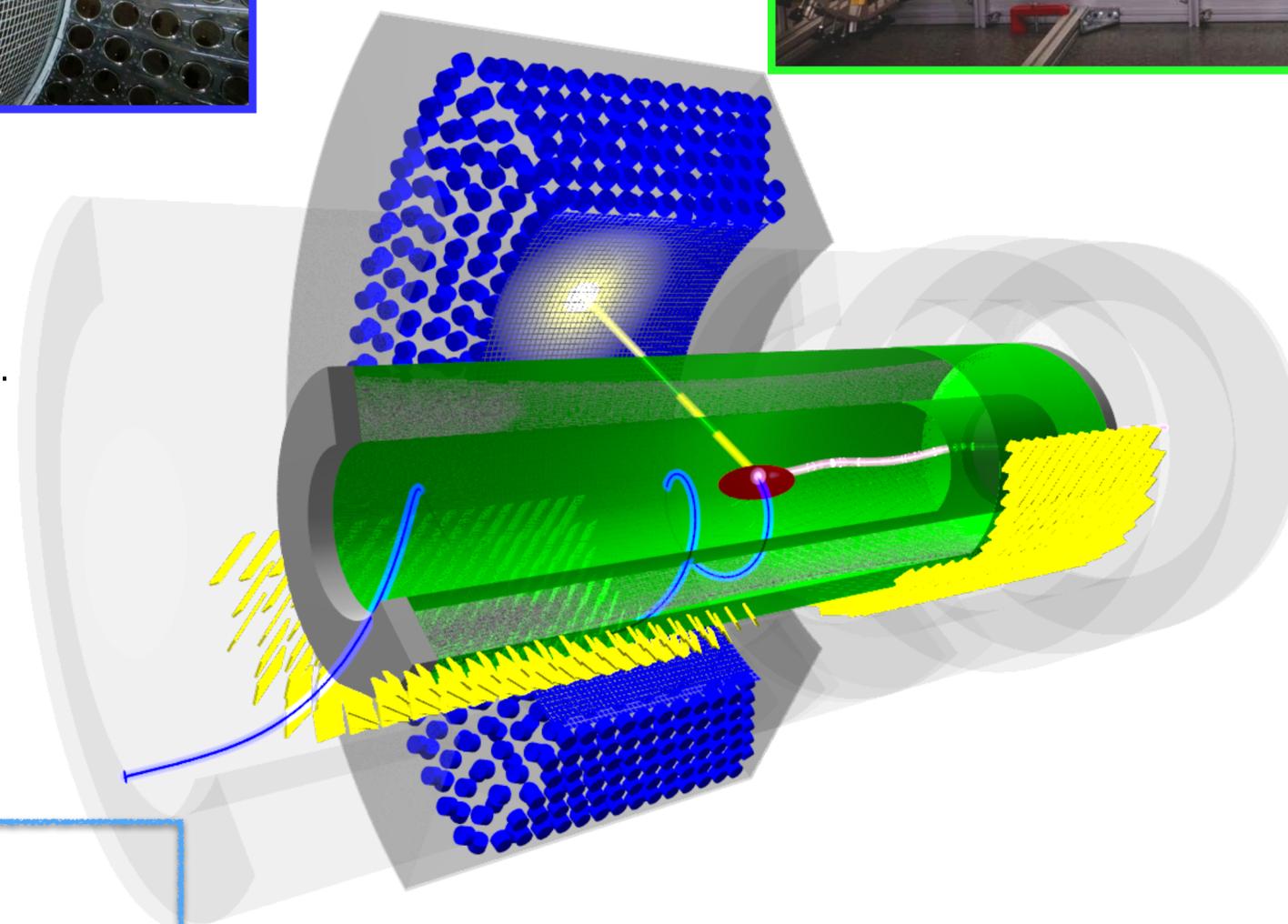
Drift Chamber

1728 celle di deriva

L'esperimento MEG (II) ha lo scopo di osservare il **decadimento** $\mu^+ \rightarrow e^+ \gamma$

- Fondo nullo dal Modello Standard ($BR \sim 10^{-52}$)
- Molto sensibile a fisica **oltre il modello standard**.

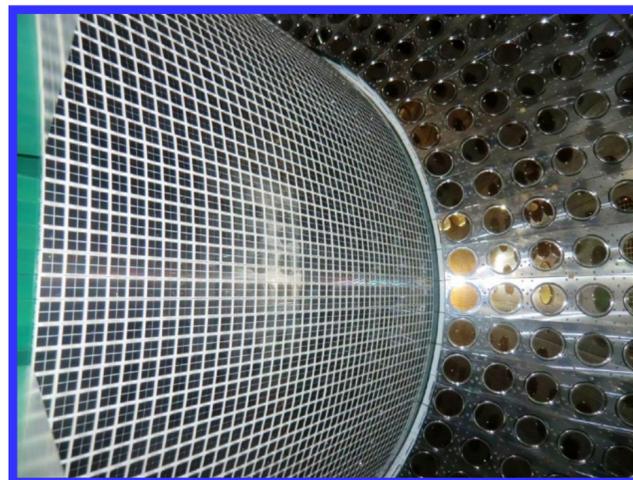
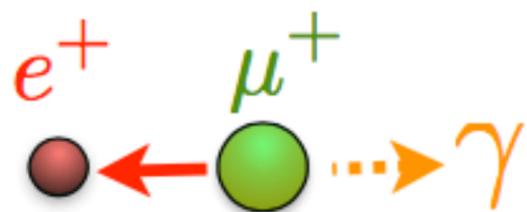
MEG II = MEG con rivelatori più **veloci** e più **segmentati**



Sensibilità finale attesa per MEG II

$$BR(\mu^+ \rightarrow e^+ + \gamma) \leq 6 \cdot 10^{-14} \text{ (@ 90\% C.L.)}$$

L'esempio di MEG II



LXe

Detector a scintillazione
4092 **SiPMs** +
668 **PMTs**



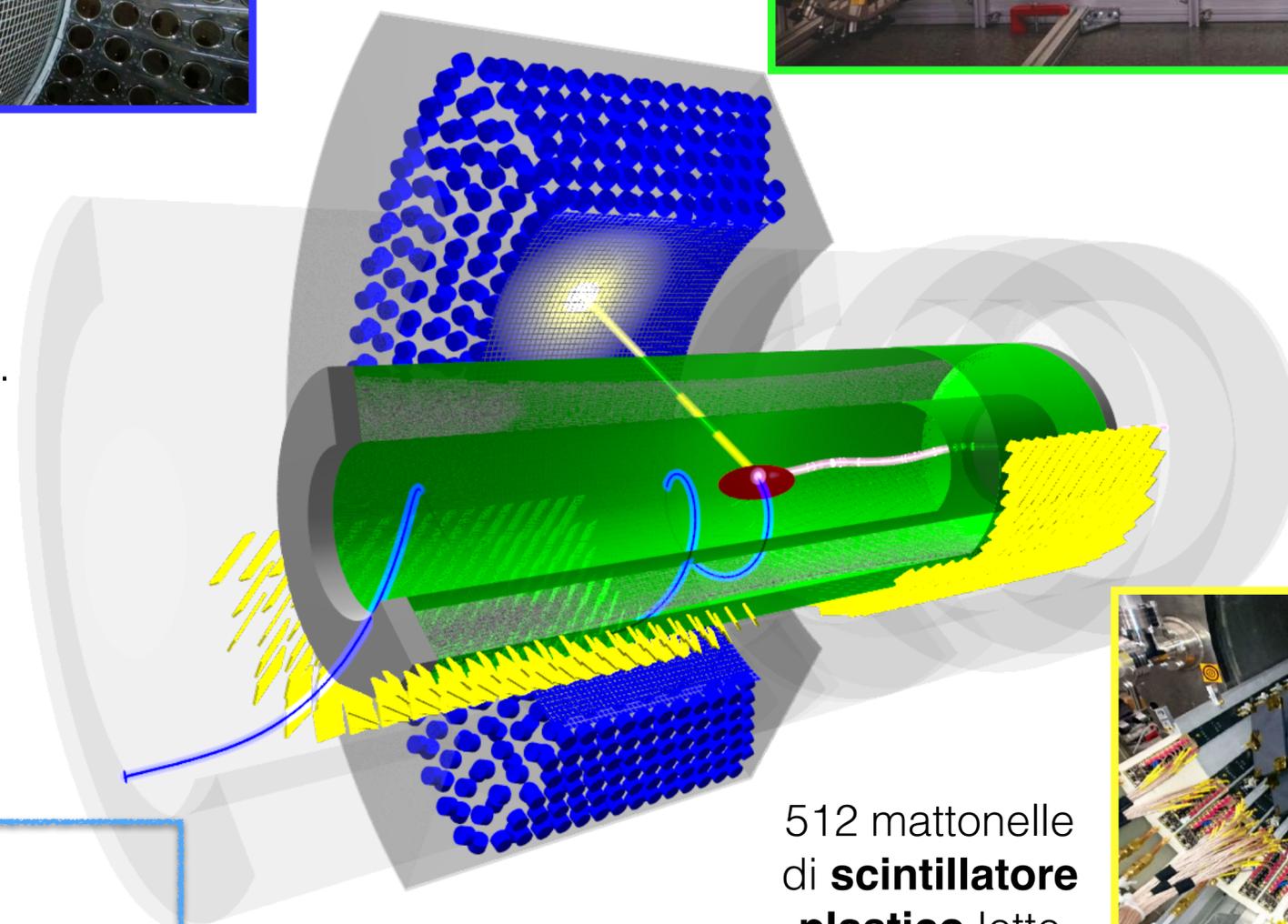
Drift Chamber

1728 celle di deriva

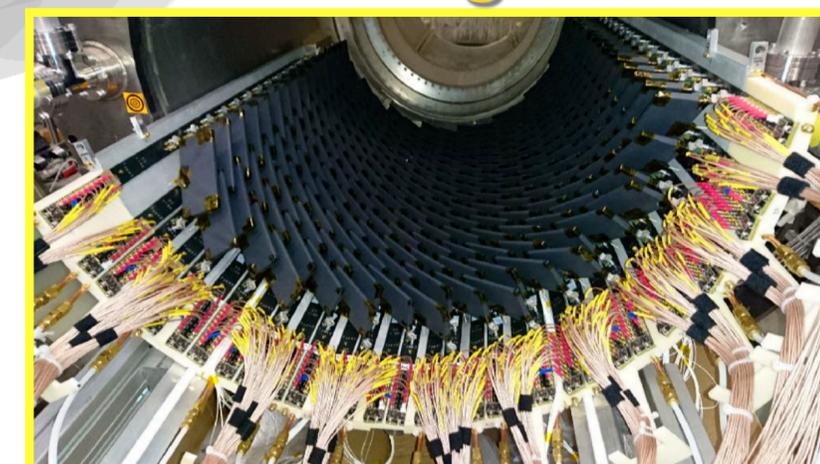
L'esperimento MEG (II) ha lo scopo di osservare il **decadimento** $\mu^+ \rightarrow e^+ \gamma$

- Fondo nullo dal Modello Standard ($BR \sim 10^{-52}$)
- Molto sensibile a fisica **oltre il modello standard**.

MEG II = MEG con rivelatori più **veloci** e più **segmentati**



Timing Counter



512 mattonelle di **scintillatore plastico** lette con SiPMs

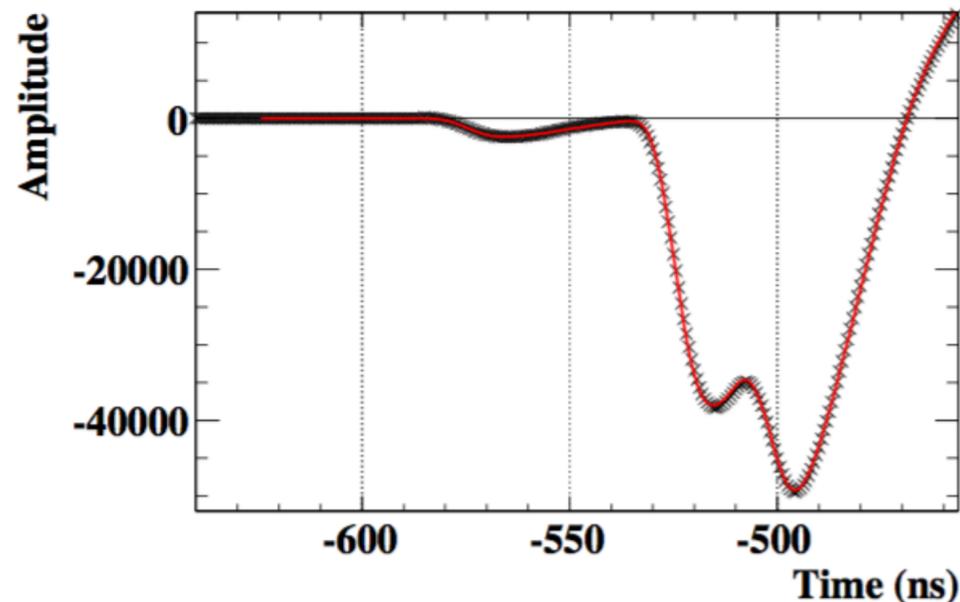
Sensibilità finale attesa per MEG II

$$BR(\mu^+ \rightarrow e^+ + \gamma) \leq 6 \cdot 10^{-14} \text{ (@ 90\% C.L.)}$$

Parte I: (T)DAQ

Cosa leggere da ogni canale e come farlo

Cosa leggere per ogni canale?



Opzioni direttamente dal sito della



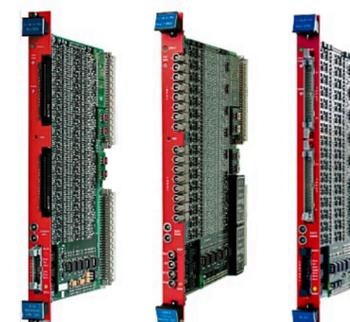
TDCs

Channel Multihit TDC (25 ps) housed in a 1-unit wide VME 6U module. The channels can be enabled for the detection of hits rising/falling edges. The data acquisition can be programmed in Events or in Continuous Storage Mode.



ADCs (Peak Sensing)

Digital Peak Sensing ADC belongs to a new generation of detector readout systems based on a mixed analog-digital acquisition chain (64 channels) and a low dead time.



QDC

Channel Multievent QDC sections are multiplexed and subsequently converted by two fast 12-bit ADCs. These modules offers a 32 event buffer memory, addressing mode and data transfer mode.

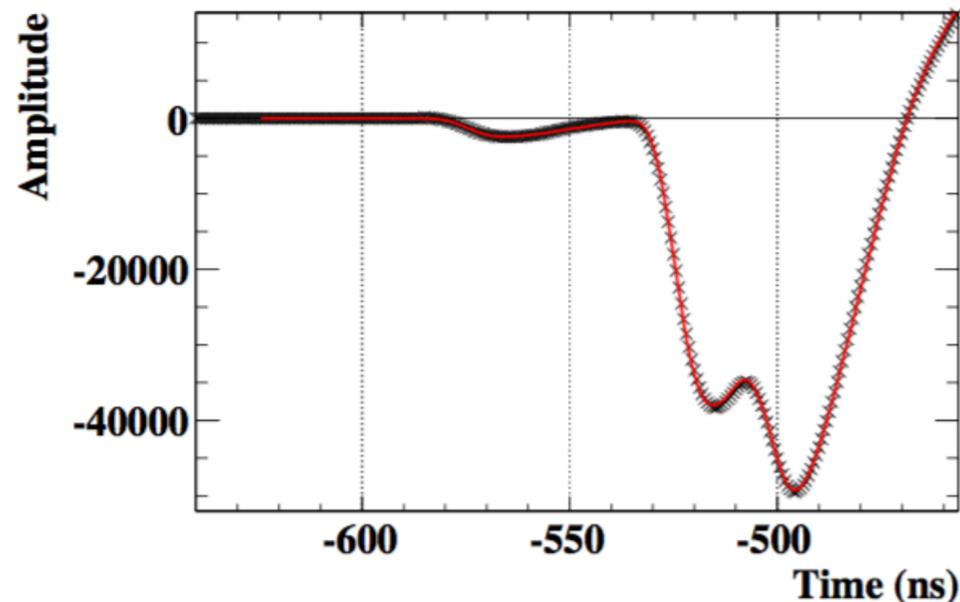


Digitizers

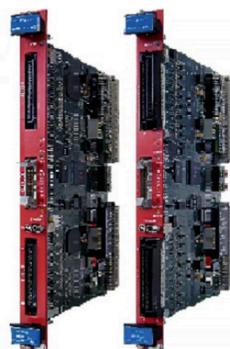
CAEN Digitizers are platform independent instruments housing high speed multichannel ADCs with local memory and FPGAs for real-time data processing.

Cosa leggere per ogni canale?

“Classico”
QDC/ADC+TDC



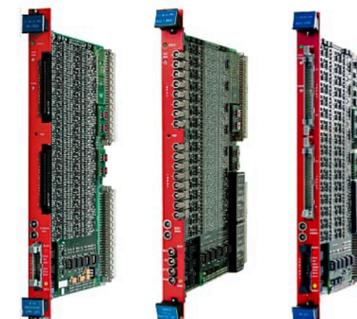
Opzioni direttamente dal sito della  CAEN
Tools for Discovery



TDCs
Channel Multihit TDC (25 ps) housed in a 1-unit wide VME 6U module. The channels can be enabled for the detection of hits rising/falling edges. The data acquisition can be programmed in Events or in Continuous Storage Mode.



ADCs (Peak Sensing)
Digital Peak Sensing ADC belongs to a new generation of detector readout systems based on a mixed analog-digital acquisition chain (64 channels) and a low dead time.



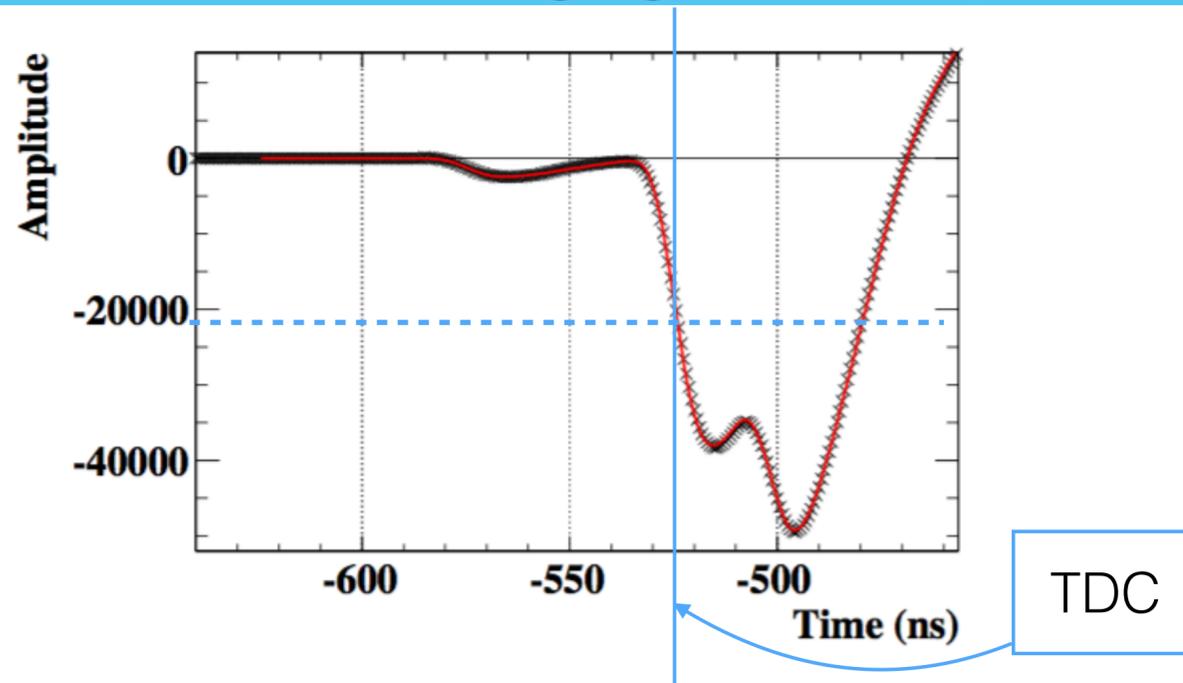
QDC
Channel Multievent QDC sections are multiplexed and subsequently converted by two fast 12-bit ADCs. These modules offers a 32 event buffer memory, addressing mode and data transfer mode.



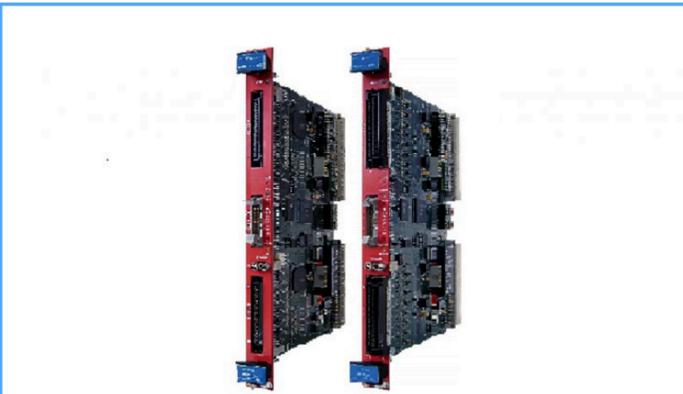
Digitizers
CAEN Digitizers are platform independent instruments housing high speed multichannel ADCs with local memory and FPGAs for real-time data processing.

Cosa leggere per ogni canale?

“Classico”
QDC/ADC+TDC



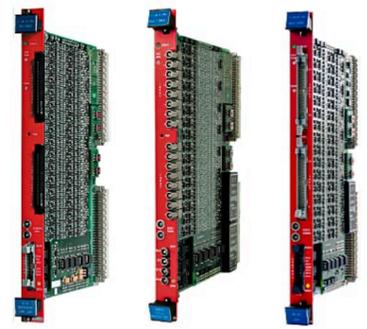
Opzioni direttamente dal sito della



TDCs
Channel Multihit TDC (25 ps) housed in a 1-unit wide VME 6U module. The channels can be enabled for the detection of hits rising/falling edges. The data acquisition can be programmed in Events or in Continuous Storage Mode.



ADCs (Peak Sensing)
Digital Peak Sensing ADC belongs to a new generation of detector readout systems based on a mixed analog-digital acquisition chain (64 channels) and a low dead time.



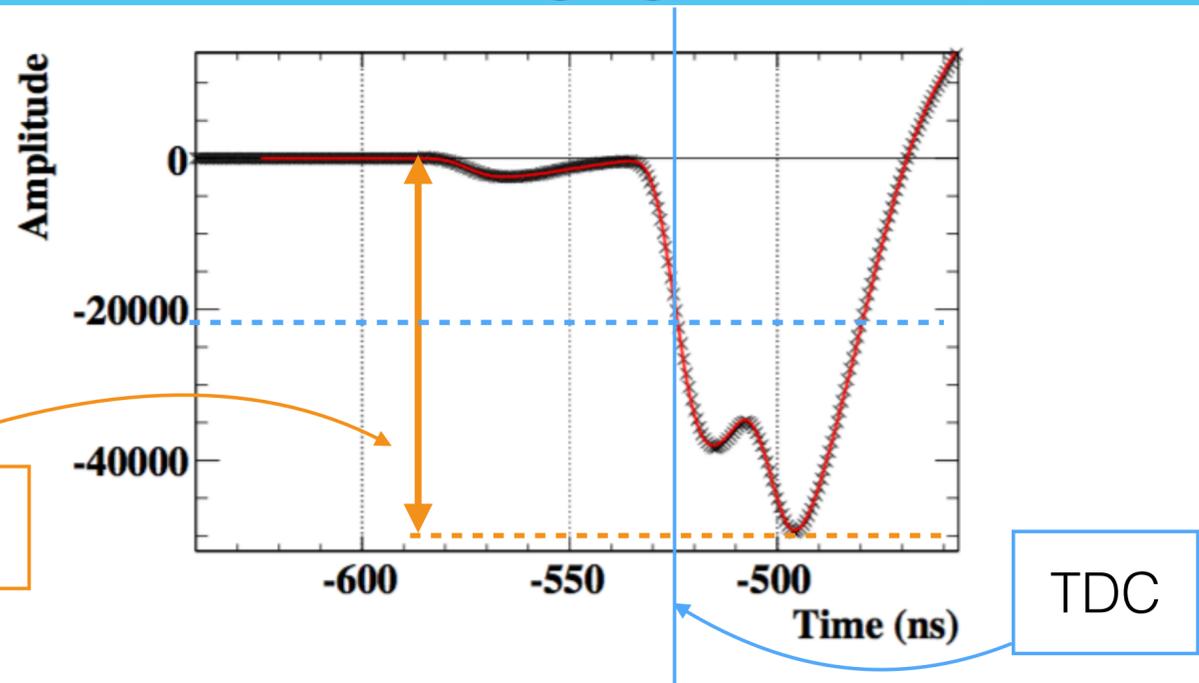
QDC
Channel Multievent QDC sections are multiplexed and subsequently converted by two fast 12-bit ADCs. These modules offers a 32 event buffer memory, addressing mode and data transfer mode.



Digitizers
CAEN Digitizers are platform independent instruments housing high speed multichannel ADCs with local memory and FPGAs for real-time data processing.

Cosa leggere per ogni canale?

“Classico”
QDC/ADC+TDC



Peak sensing ADC

Opzioni direttamente dal sito della



TDCs
Channel Multihit TDC (25 ps) housed in a 1-unit wide VME 6U module. The channels can be enabled for the detection of hits rising/falling edges. The data acquisition can be programmed in Events or in Continuous Storage Mode.

ADCs (Peak Sensing)
Digital Peak Sensing ADC belongs to a new generation of detector readout systems based on a mixed analog-digital acquisition chain (64 channels) and a low dead time.

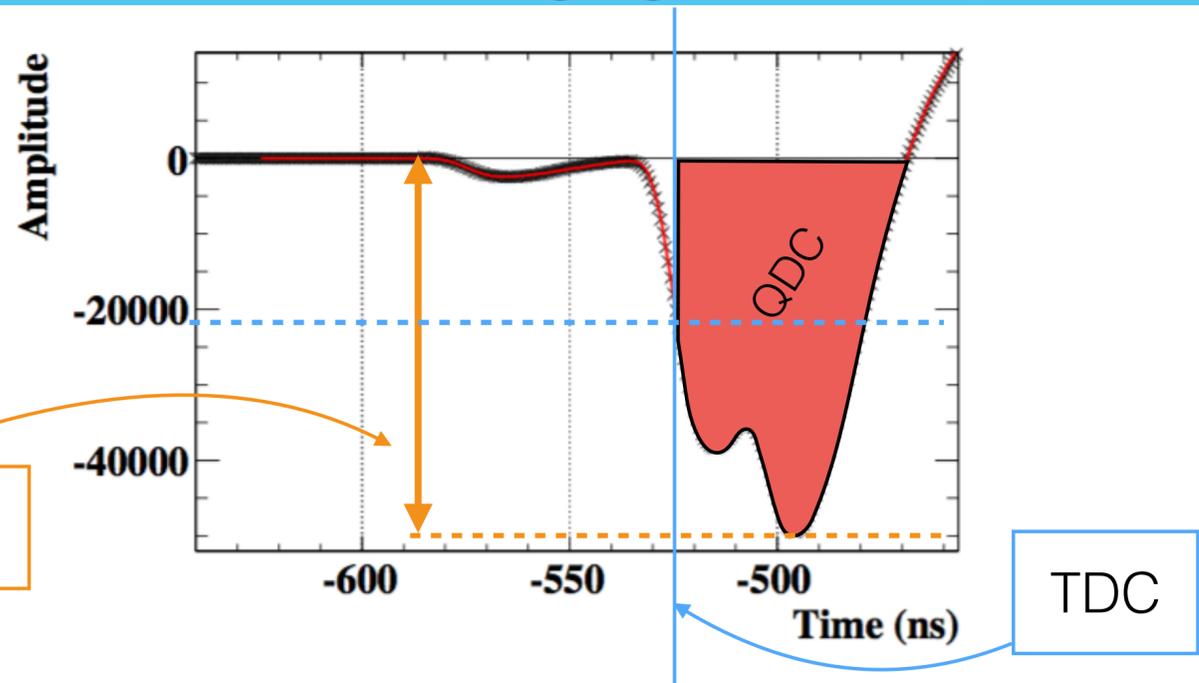
QDC
Channel Multievent QDC sections are multiplexed and subsequently converted by two fast 12-bit ADCs. These modules offers a 32 event buffer memory, addressing mode and data transfer mode.

Digitizers
CAEN Digitizers are platform independent instruments housing high speed multichannel ADCs with local memory and FPGAs for real-time data processing.

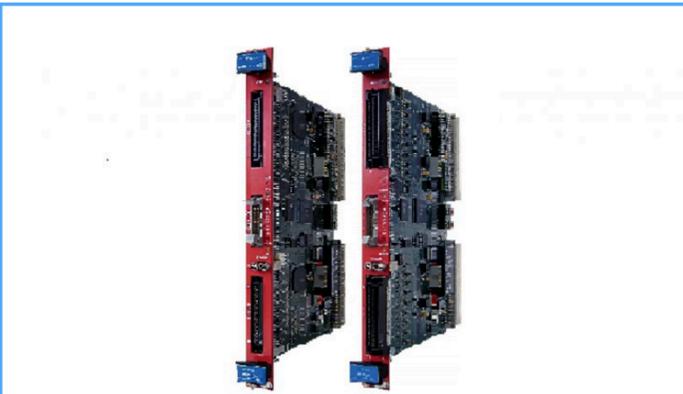
Cosa leggere per ogni canale?

“Classico”
QDC/ADC+TDC

Peak sensing ADC



Opzioni direttamente dal sito della



TDCs
Channel Multihit TDC (25 ps) housed in a 1-unit wide VME 6U module. The channels can be enabled for the detection of hits rising/falling edges. The data acquisition can be programmed in Events or in Continuous Storage Mode.



ADCs (Peak Sensing)
Digital Peak Sensing ADC belongs to a new generation of detector readout systems based on a mixed analog-digital acquisition chain (64 channels) and a low dead time.



QDC
Channel Multievent QDC sections are multiplexed and subsequently converted by two fast 12-bit ADCs. These modules offers a 32 event buffer memory, addressing mode and data transfer mode.

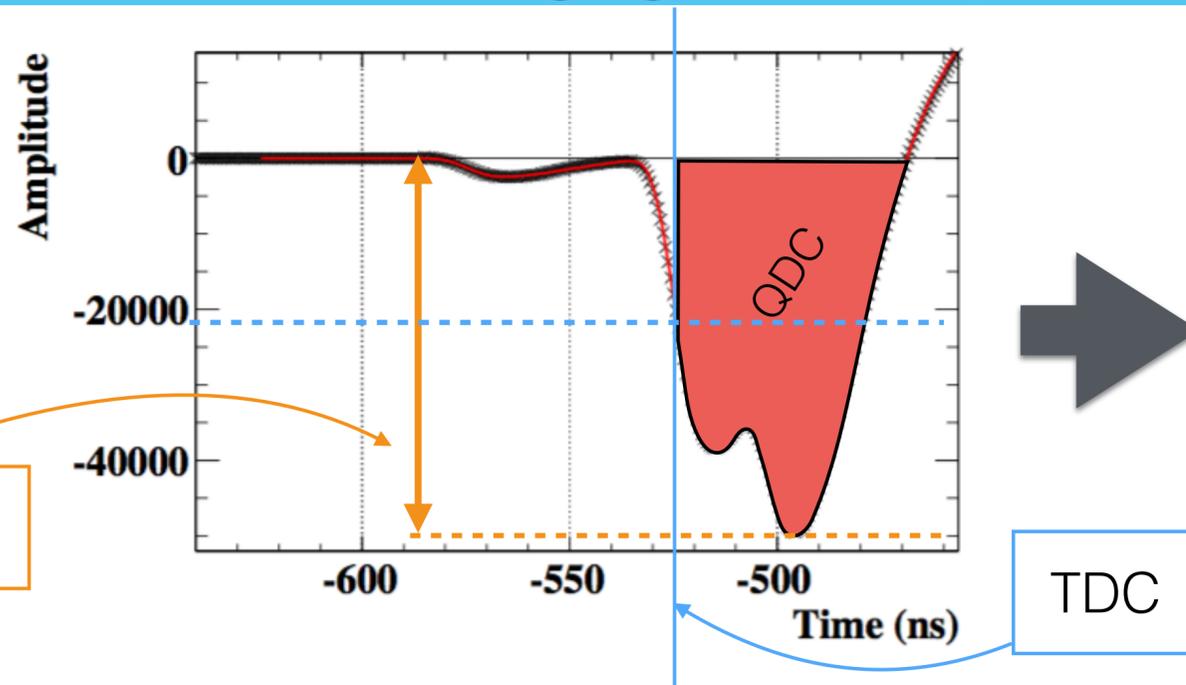


Digitizers
CAEN Digitizers are platform independent instruments housing high speed multichannel ADCs with local memory and FPGAs for real-time data processing.

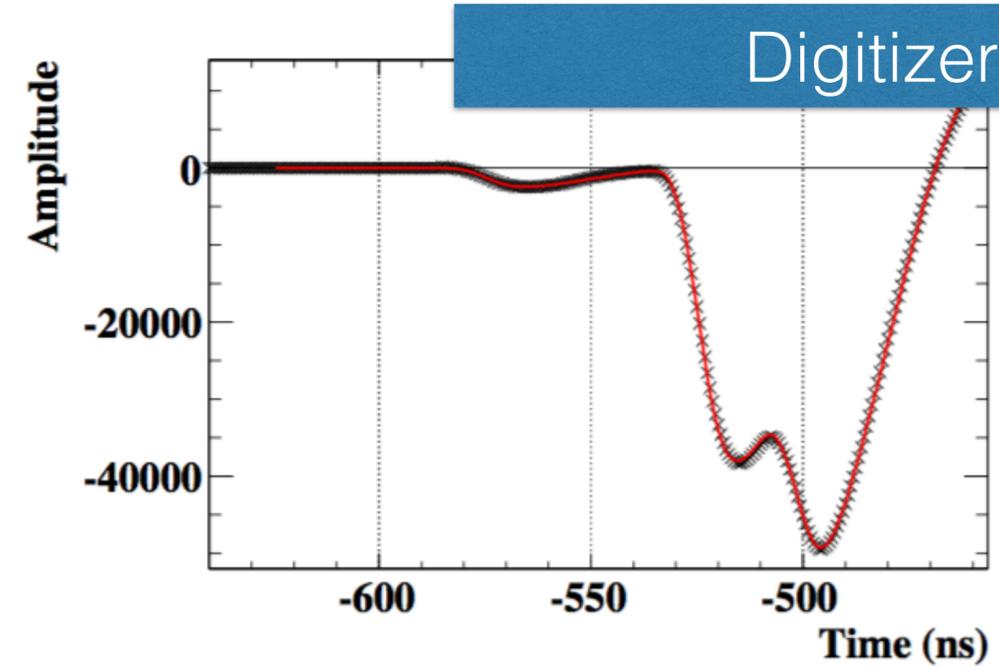
Cosa leggere per ogni canale?

“Classico”
QDC/ADC+TDC

Peak sensing ADC



Digitizers



Opzioni direttamente dal sito della



TDCs
Channel Multihit TDC (25 ps) housed in a 1-unit wide VME 6U module. The channels can be enabled for the detection of hits rising/falling edges. The data acquisition can be programmed in Events or in Continuous Storage Mode.

ADCs (Peak Sensing)
Digital Peak Sensing ADC belongs to a new generation of detector readout systems based on a mixed analog-digital acquisition chain (64 channels) and a low dead time.

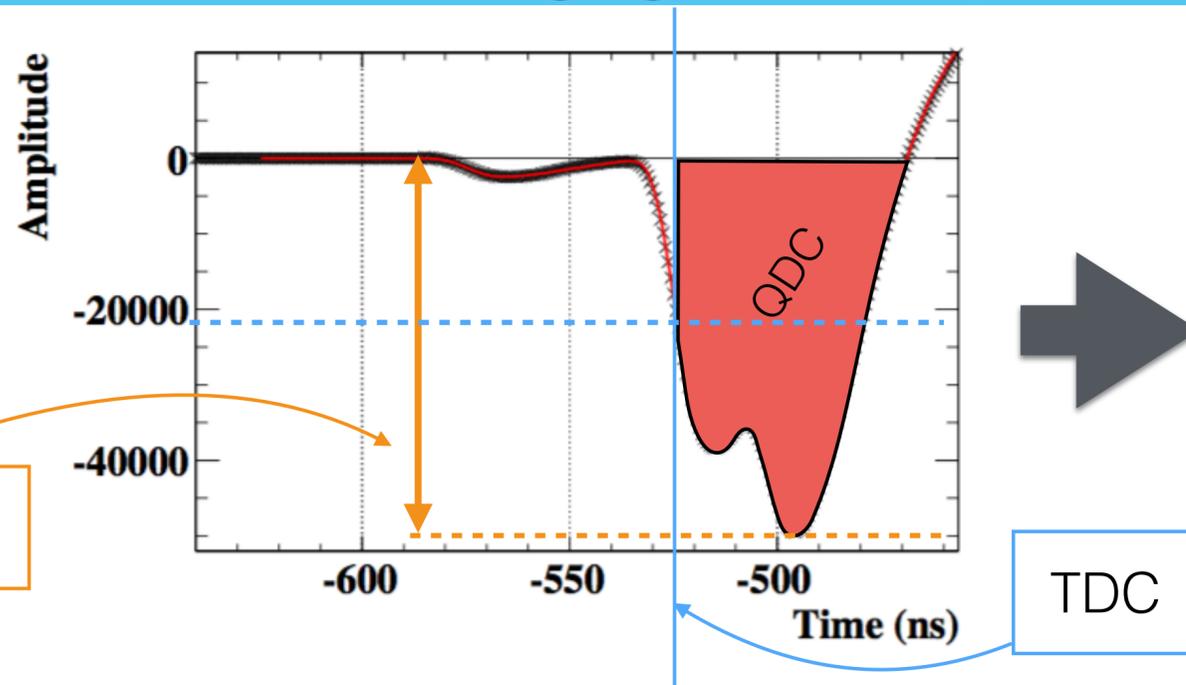
QDC
Channel Multievent QDC sections are multiplexed and subsequently converted by two fast 12-bit ADCs. These modules offers a 32 event buffer memory, addressing mode and data transfer mode.

Digitizers
CAEN Digitizers are platform independent instruments housing high speed multichannel ADCs with local memory and FPGAs for real-time data processing.

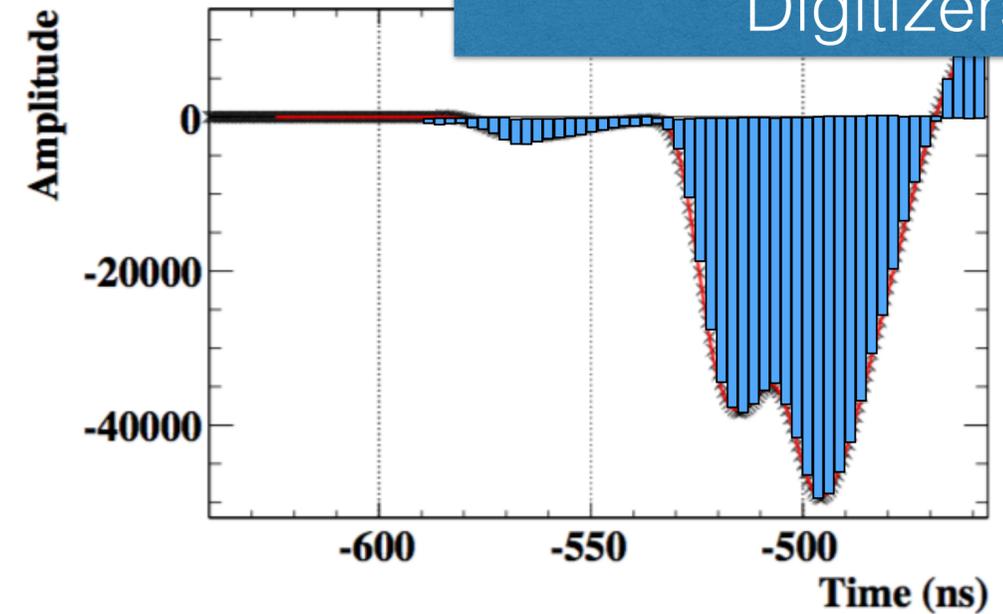
Cosa leggere per ogni canale?

“Classico”
QDC/ADC+TDC

Peak sensing ADC



Digitizers



Opzioni direttamente dal sito della



TDCs
Channel Multihit TDC (25 ps) housed in a 1-unit wide VME 6U module. The channels can be enabled for the detection of hits rising/falling edges. The data acquisition can be programmed in Events or in Continuous Storage Mode.

ADCs (Peak Sensing)
Digital Peak Sensing ADC belongs to a new generation of detector readout systems based on a mixed analog-digital acquisition chain (64 channels) and a low dead time.

QDC
Channel Multievent QDC sections are multiplexed and subsequently converted by two fast 12-bit ADCs. These modules offers a 32 event buffer memory, addressing mode and data transfer mode.

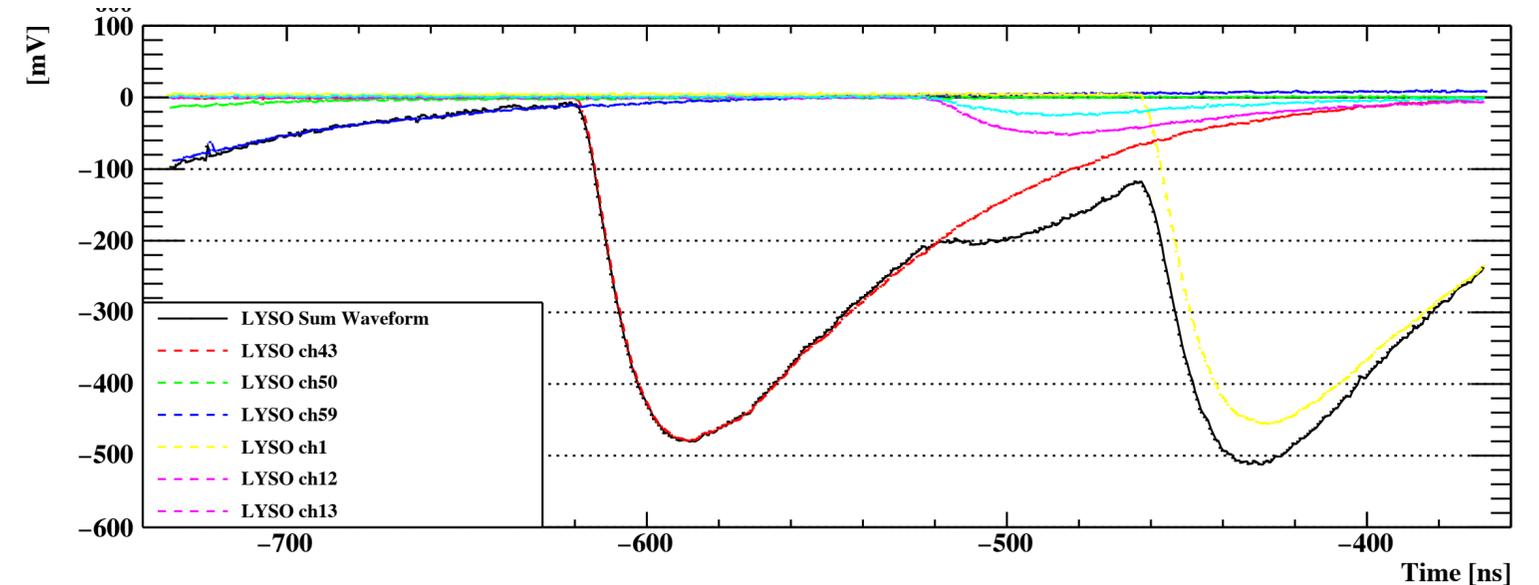
Digitizers
CAEN Digitizers are platform independent instruments housing high speed multichannel ADCs with local memory and FPGAs for real-time data processing.

MEG: un oscilloscopio 8000 canali



A favore dei digitisers:

- Identificazione e separazione del **pileup**
 - Ad esempio separazione di vari segnali
- Sviluppo “**offline**” degli algoritmi
- Tutti i dati sono sempre a disposizione
 - Possono essere **ri-processati** alla necessità
- A > 1 GHz le performance dei rivelatori diventano dominanti



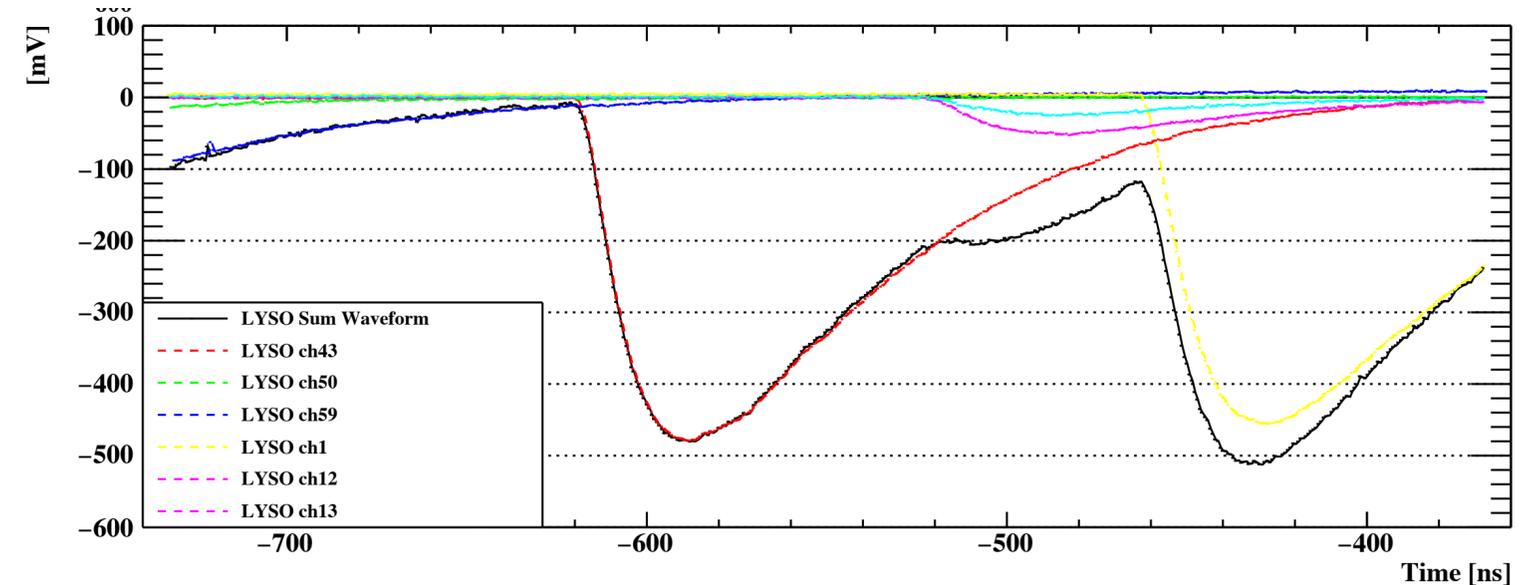
Ma

MEG: un oscilloscopio 8000 canali



A favore dei digitisers:

- Identificazione e separazione del **pileup**
- Ad esempio separazione di vari segnali
- Sviluppo “**offline**” degli algoritmi
- Tutti i dati sono sempre a disposizione
- Possono essere **ri-processati** alla necessità
- A > 1 GHz le performance dei rivelatori diventano dominanti



Ma

2 canali, 14bit, 1 GSPS
= 1k€! Solo per il chip!

8000 canali = 8M€ !!!!
E questo non include FPGA/PCB...

AD9680BCPZRL7-1000

Images are for reference only
See Product Specifications

Share

Compare Product

Add To Project | Add Notes

Mouser No: 584-AD9680BCPZRL1000

Mfr. No: AD9680BCPZRL7-1000

Mfr.: Analog Devices

Customer No:

Description: Analog to Digital Converters - ADC 14Bit Dual 1 Gbps ADC JESD204

Datasheet: [AD9680BCPZRL7-1000 Datasheet \(PDF\)](#)

ECAD Model: Request Free CAD Models

Download the free [Library Loader](#) to convert this file for your ECAD Tool. [Learn more about the ECAD Model.](#)

More Information [Learn more about Analog Devices AD9680BCPZRL7-1000](#)

Shipping Alert: This product may require additional documentation to export from the United States.

Availability

Stock: Non-Stocked

Factory Lead Time: 13 Weeks

Enter Quantity:

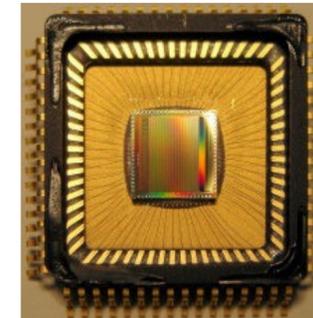
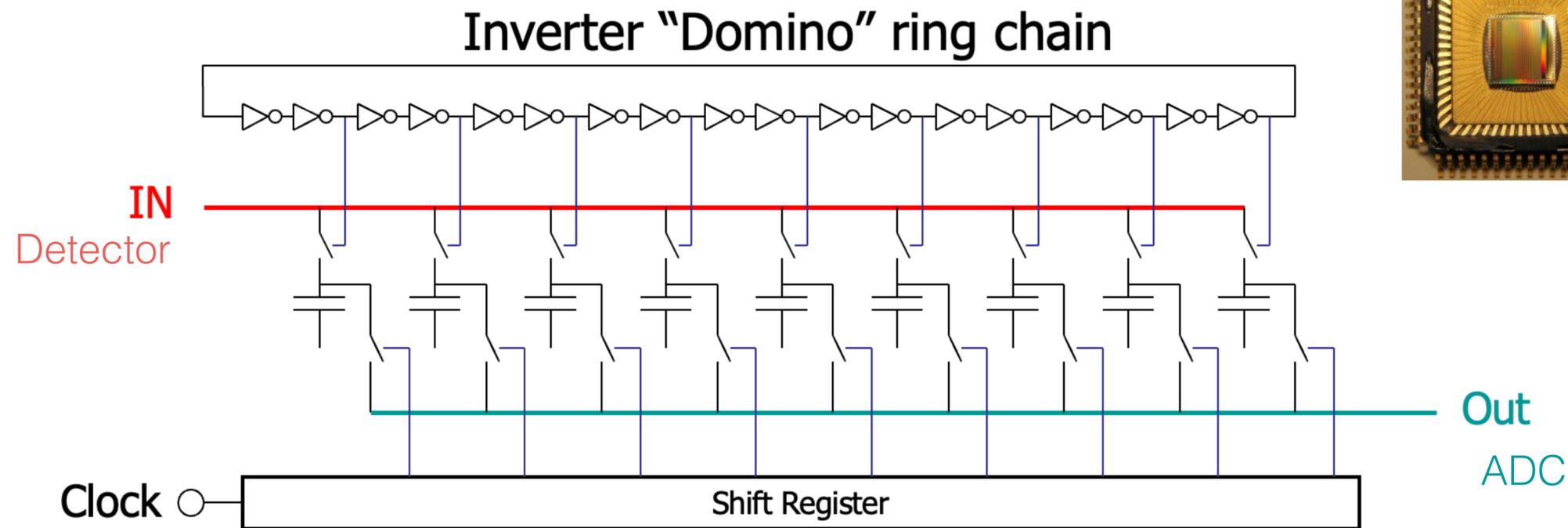
Minimum: 750 Multiples: 750

This Product Ships FREE

Pricing (EUR)

Qty.	Unit Price	Ext. Price
Full Reel (Order in multiples of 750)		
750	977,39 €	733.042,50 €

DRS4, il più conosciuto “Switched Capacitor Array”



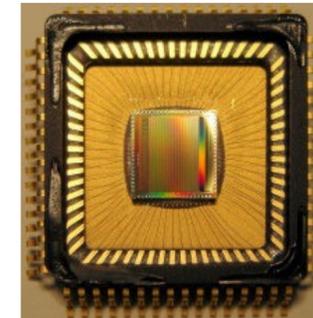
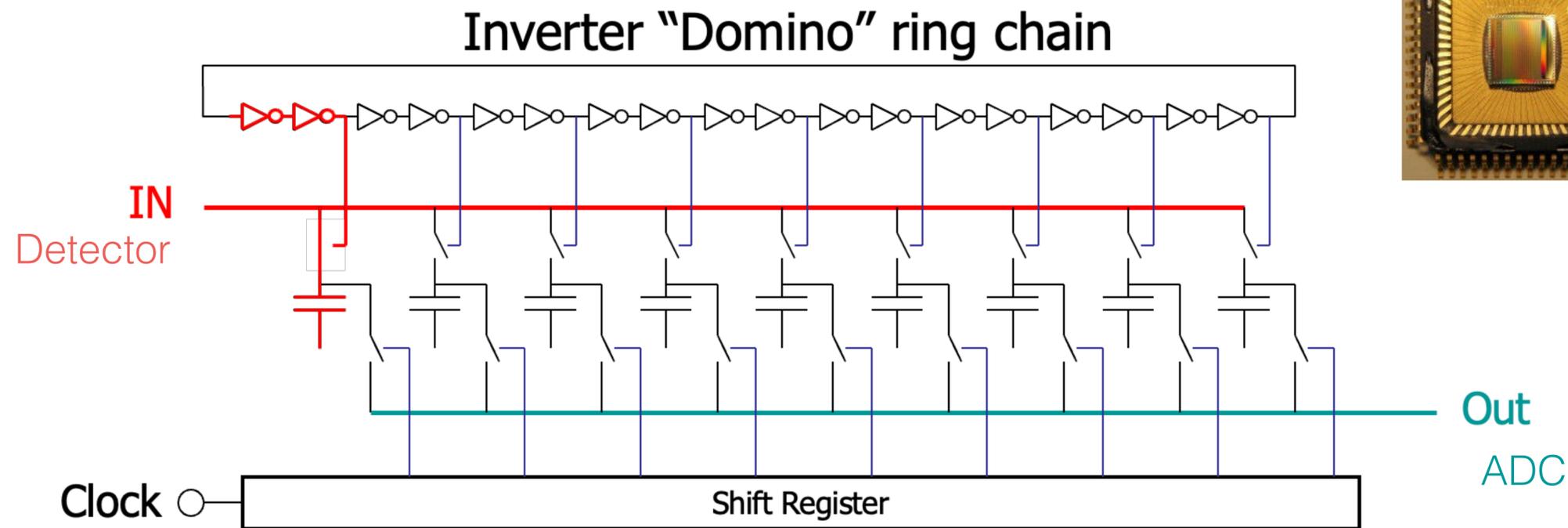
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



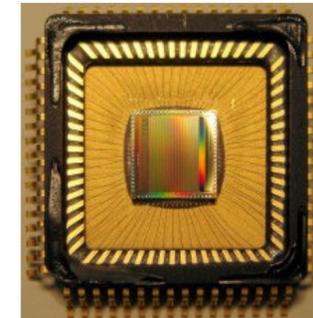
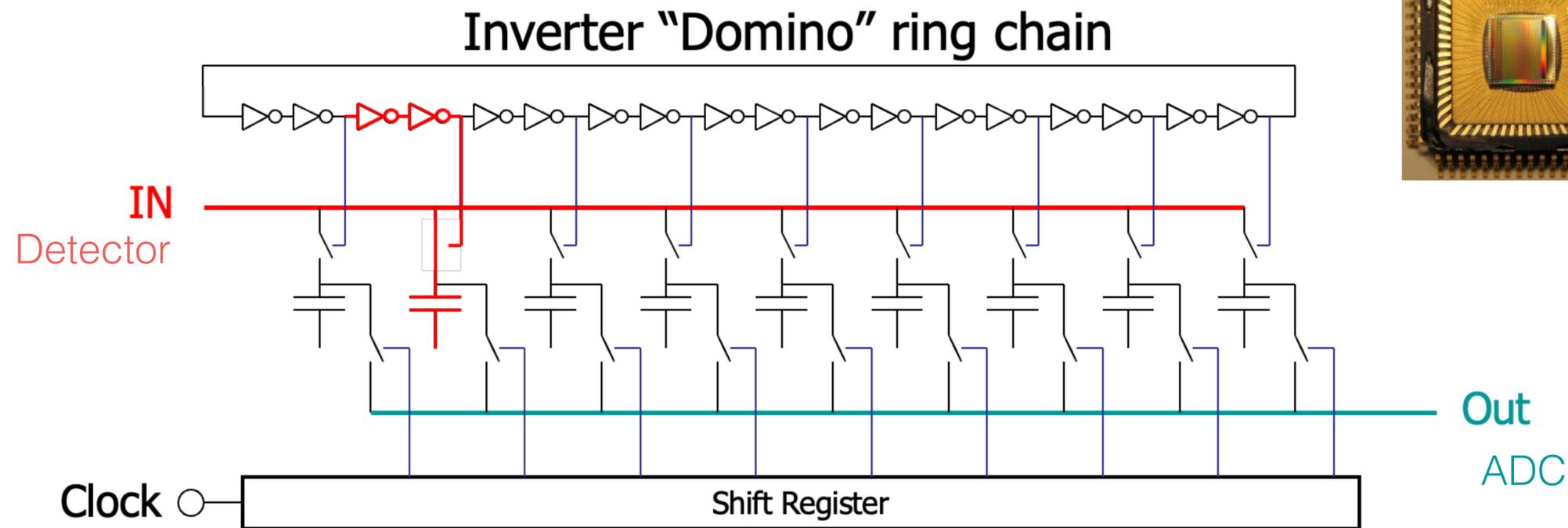
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



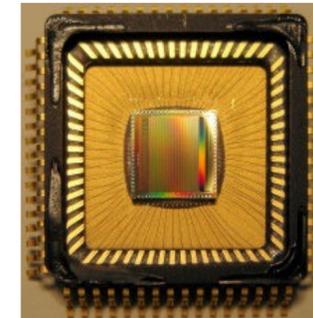
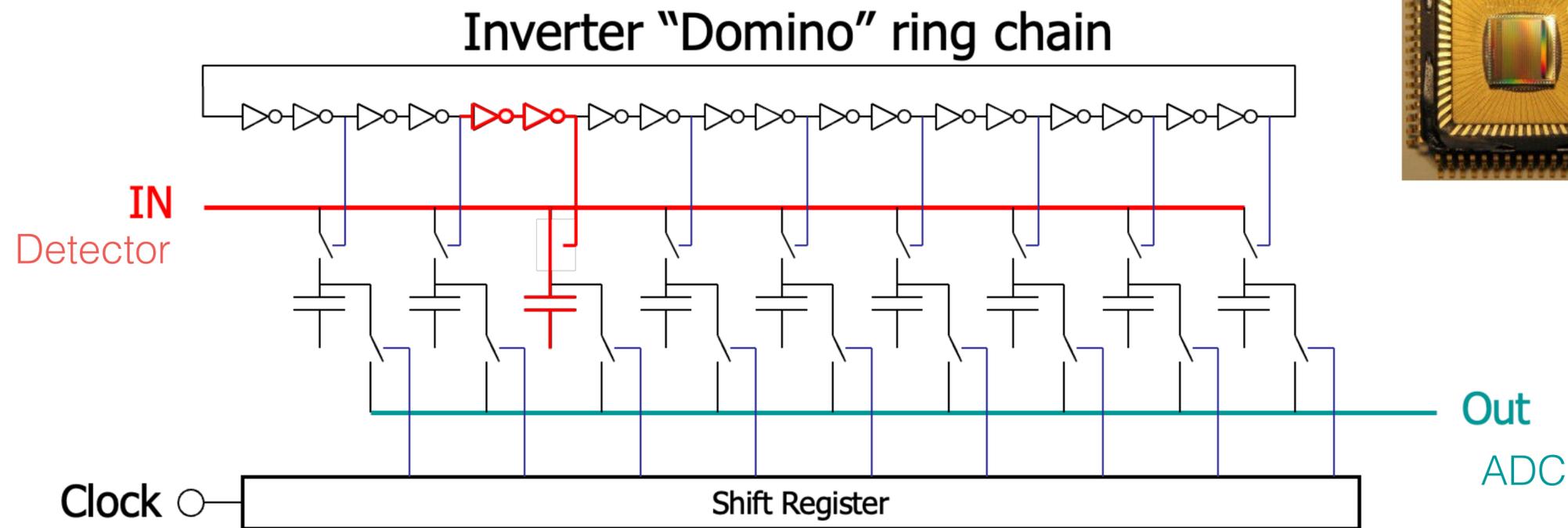
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



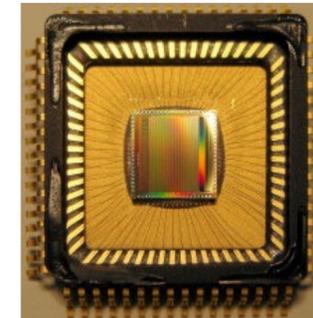
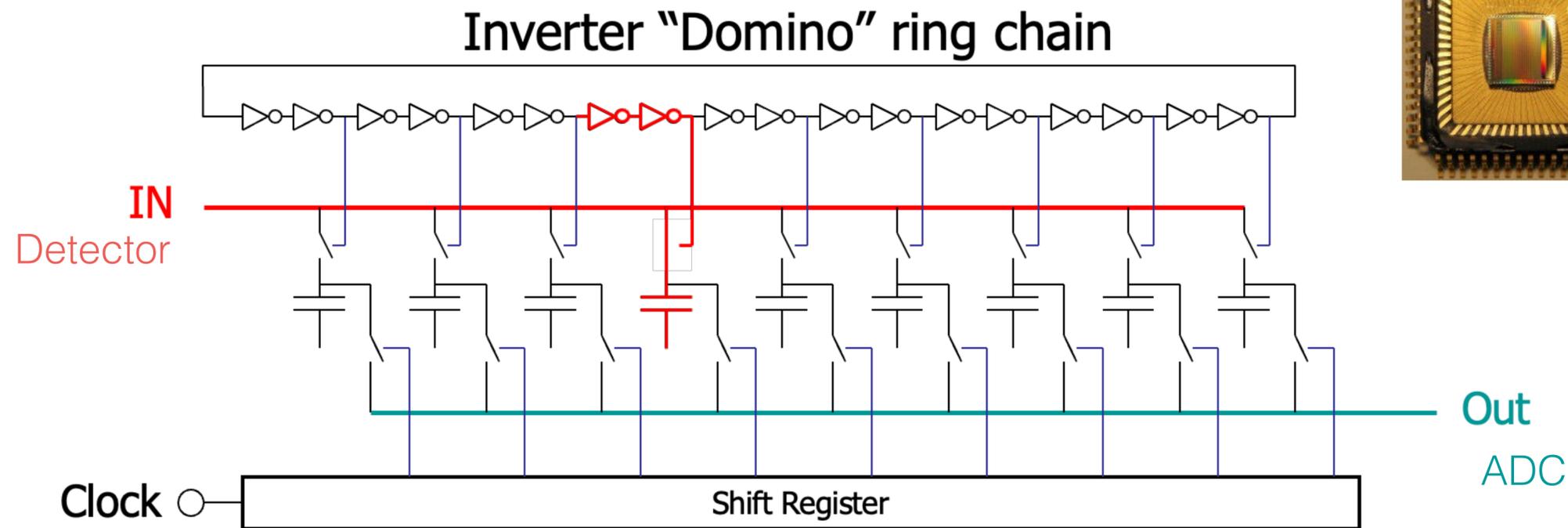
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



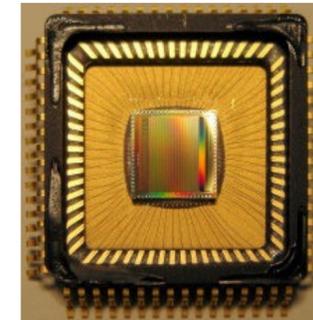
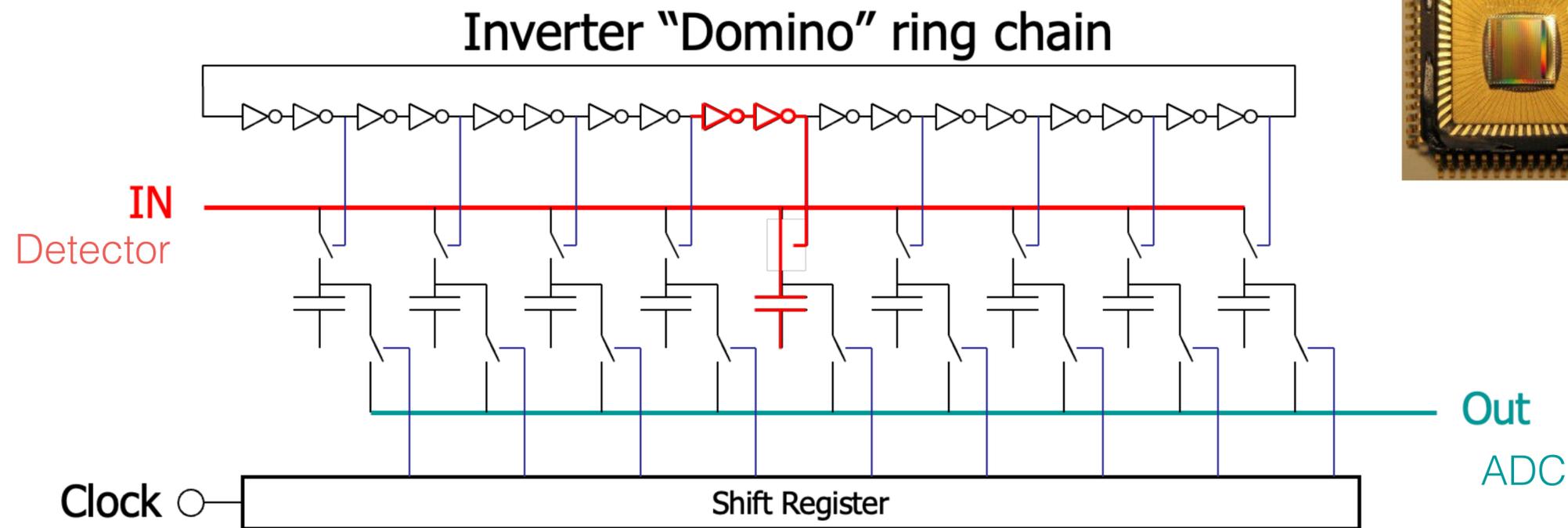
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



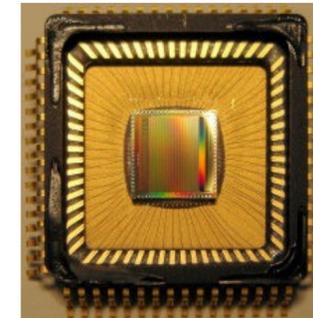
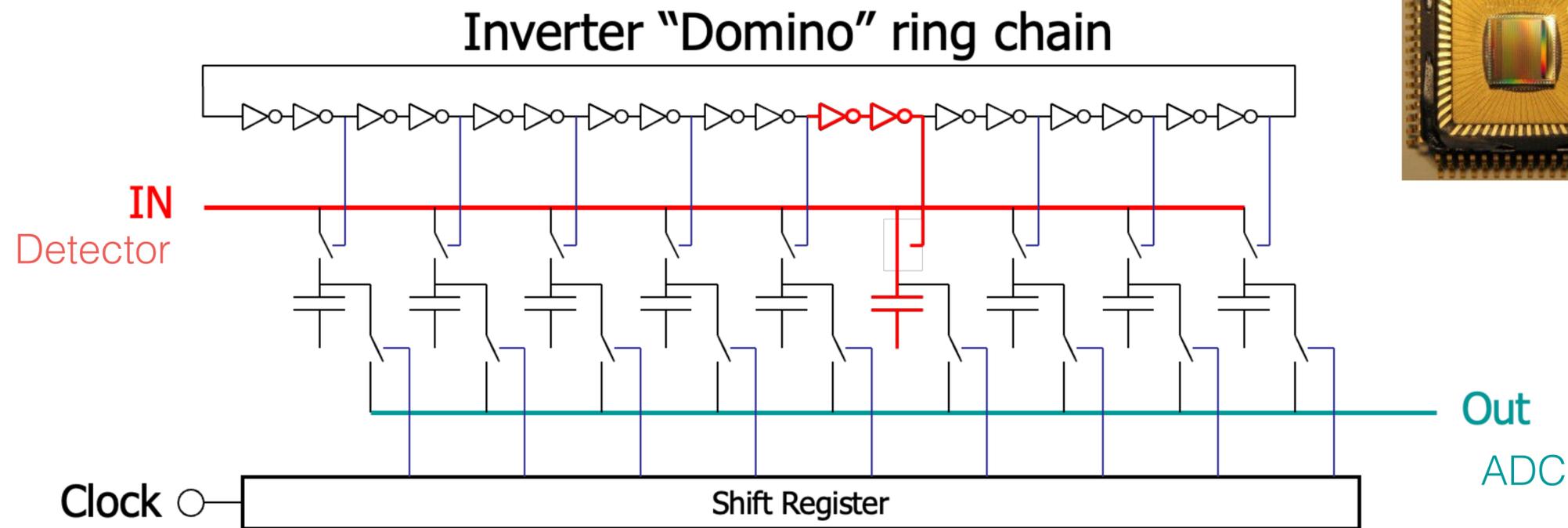
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



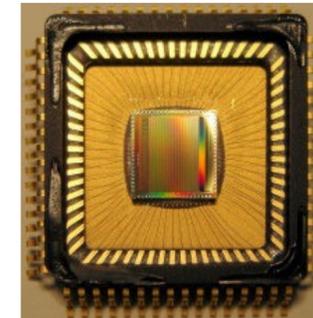
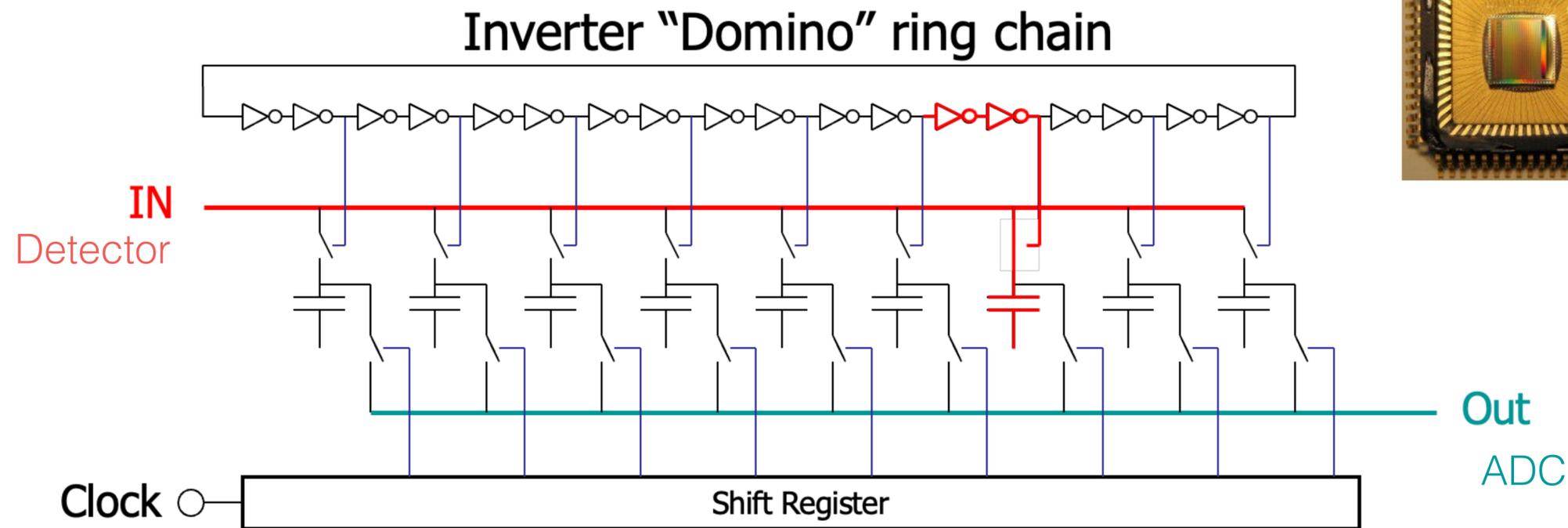
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



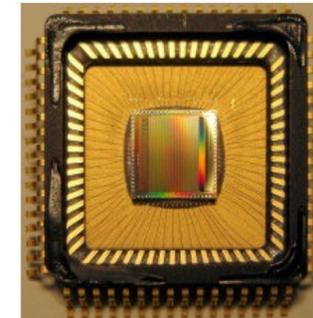
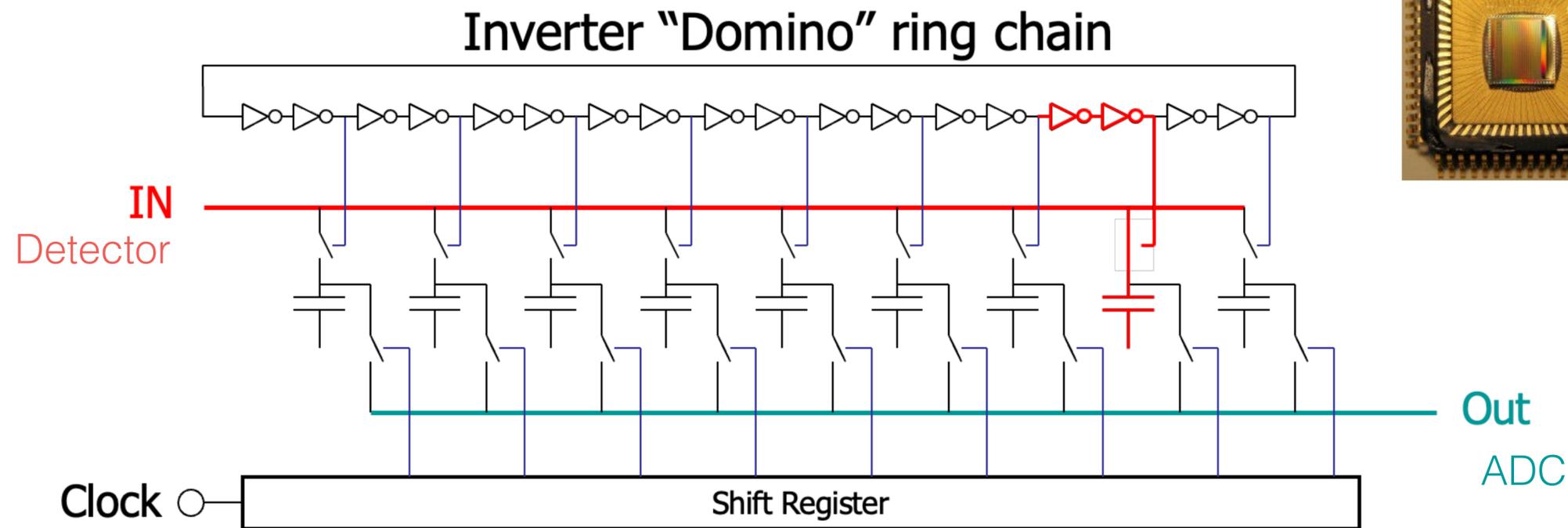
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



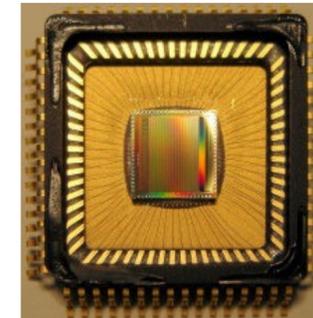
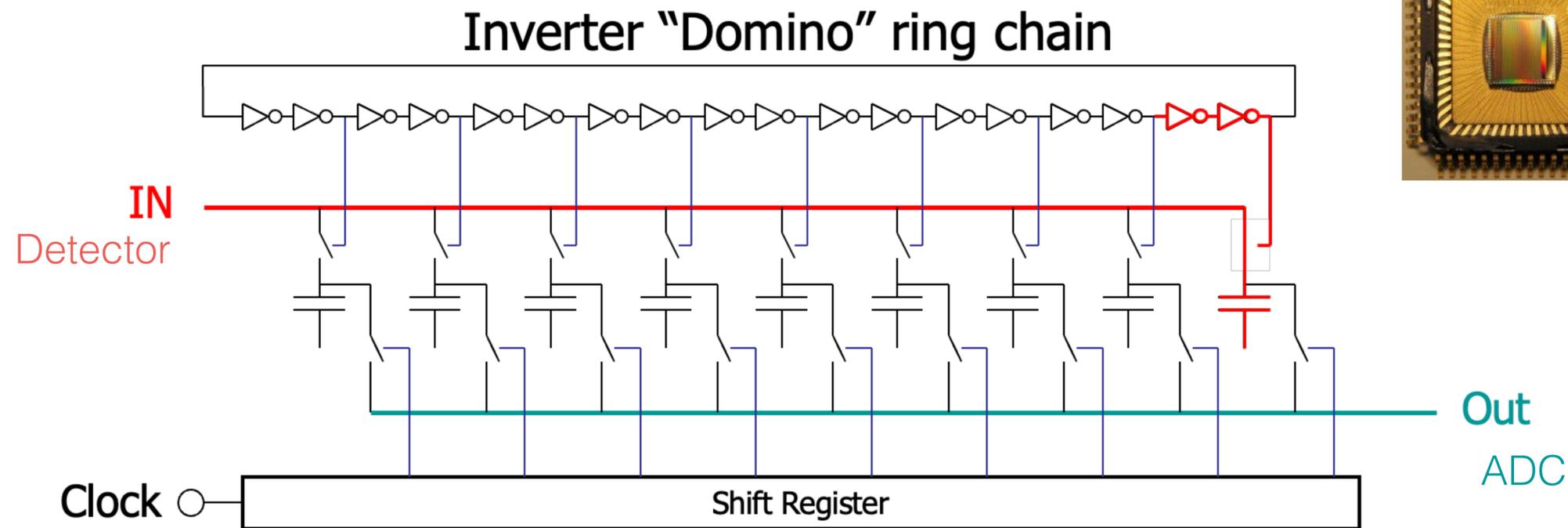
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



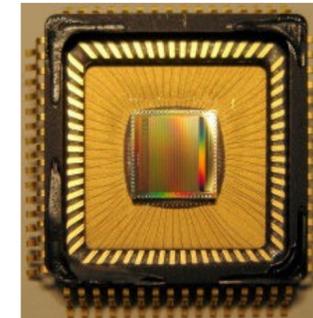
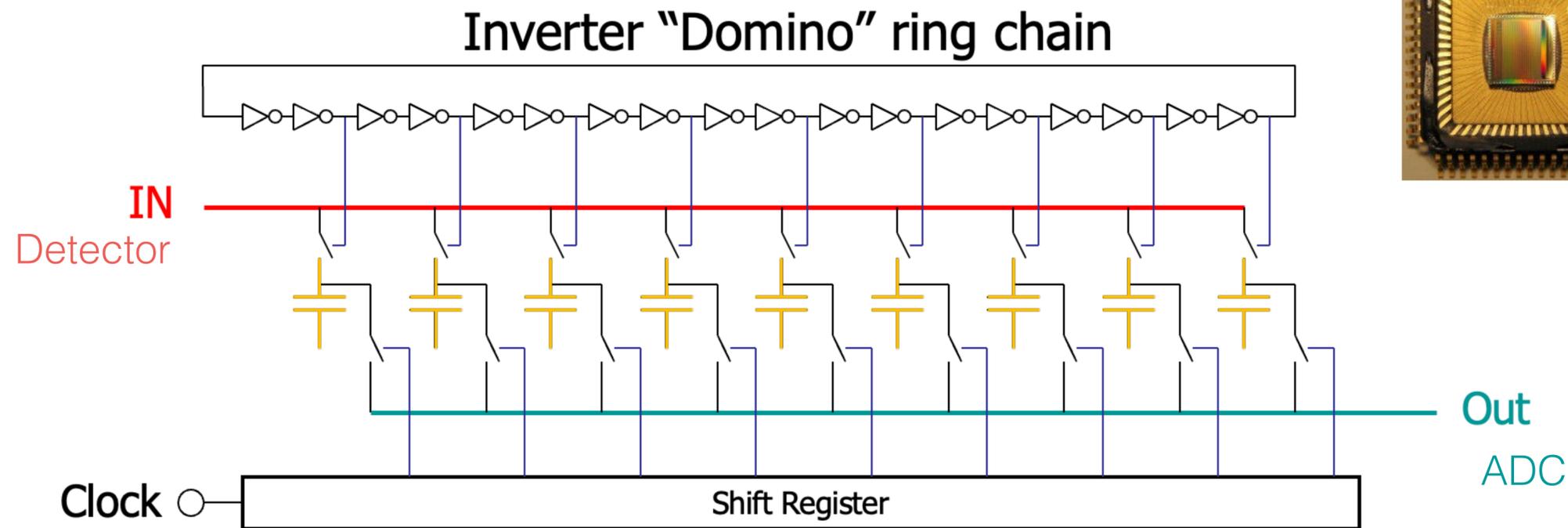
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



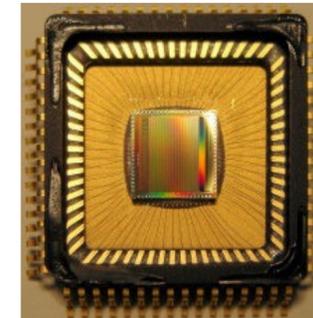
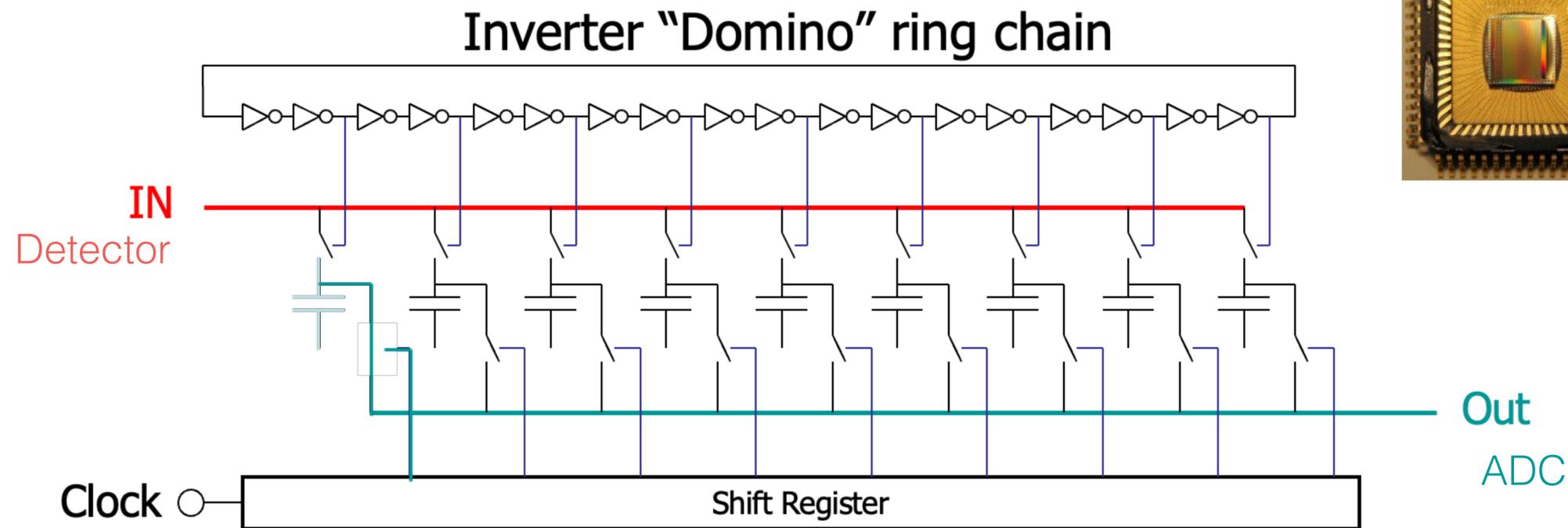
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



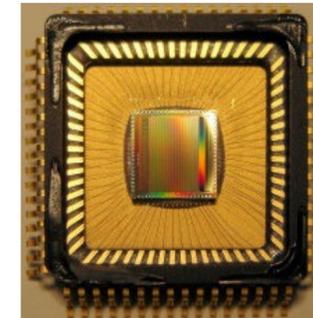
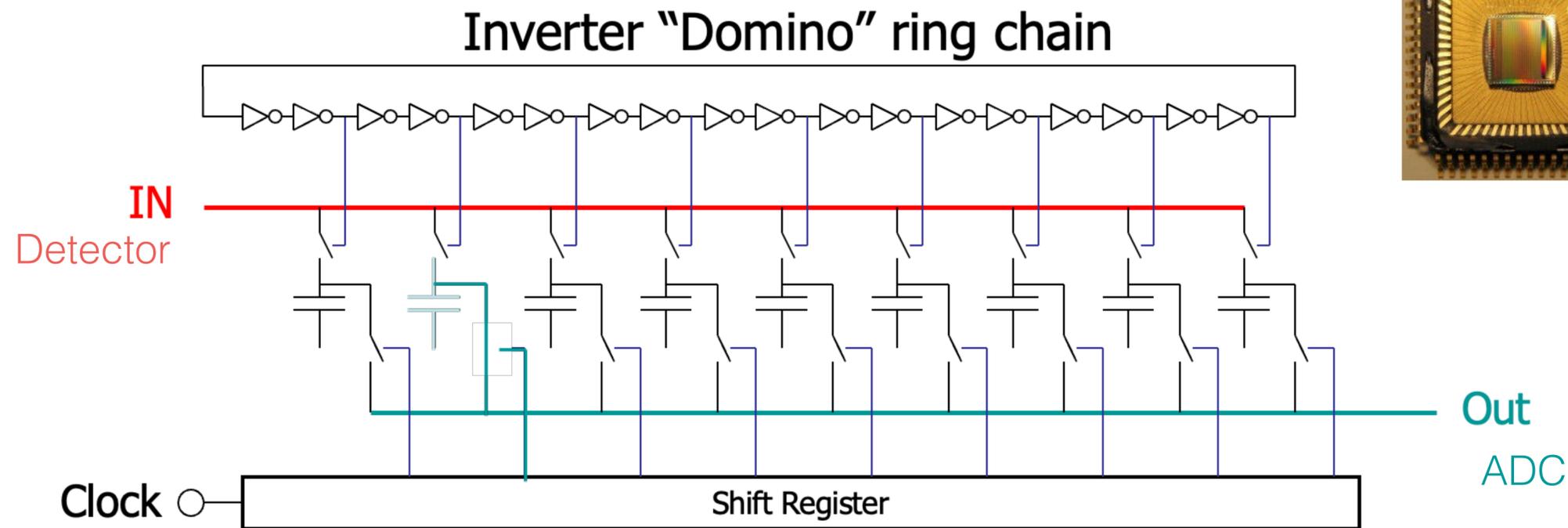
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



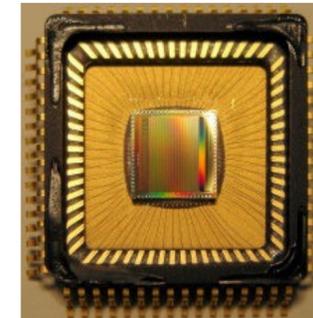
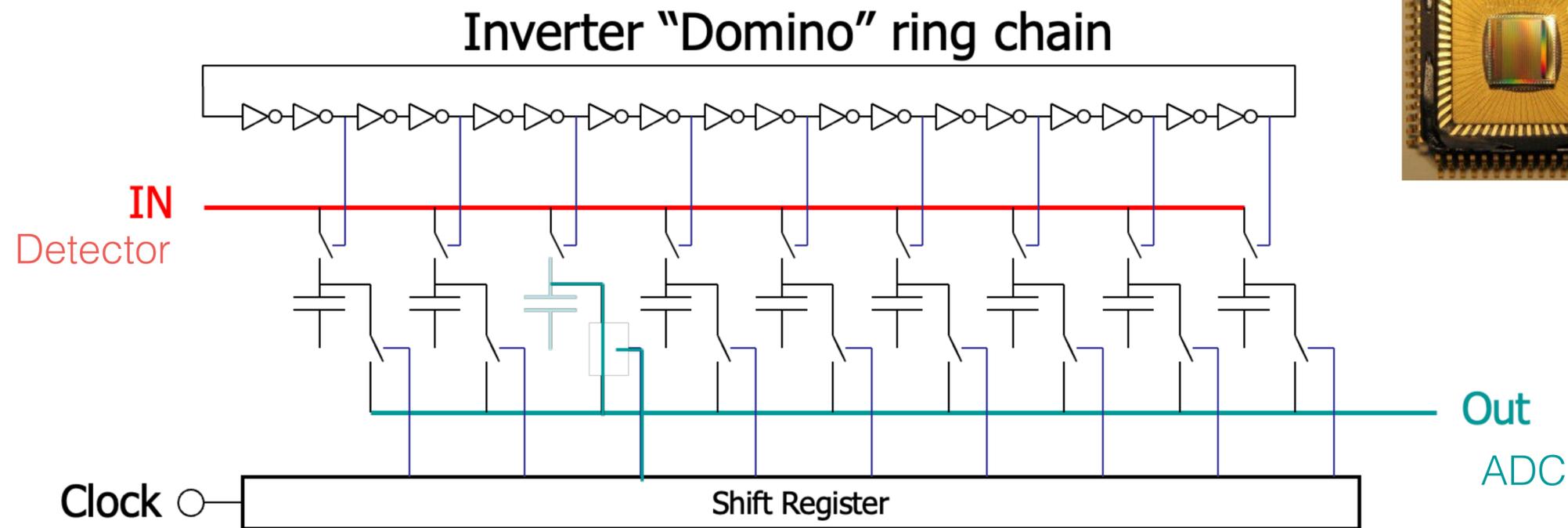
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



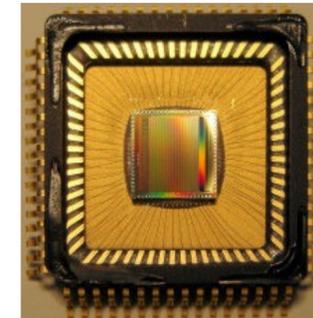
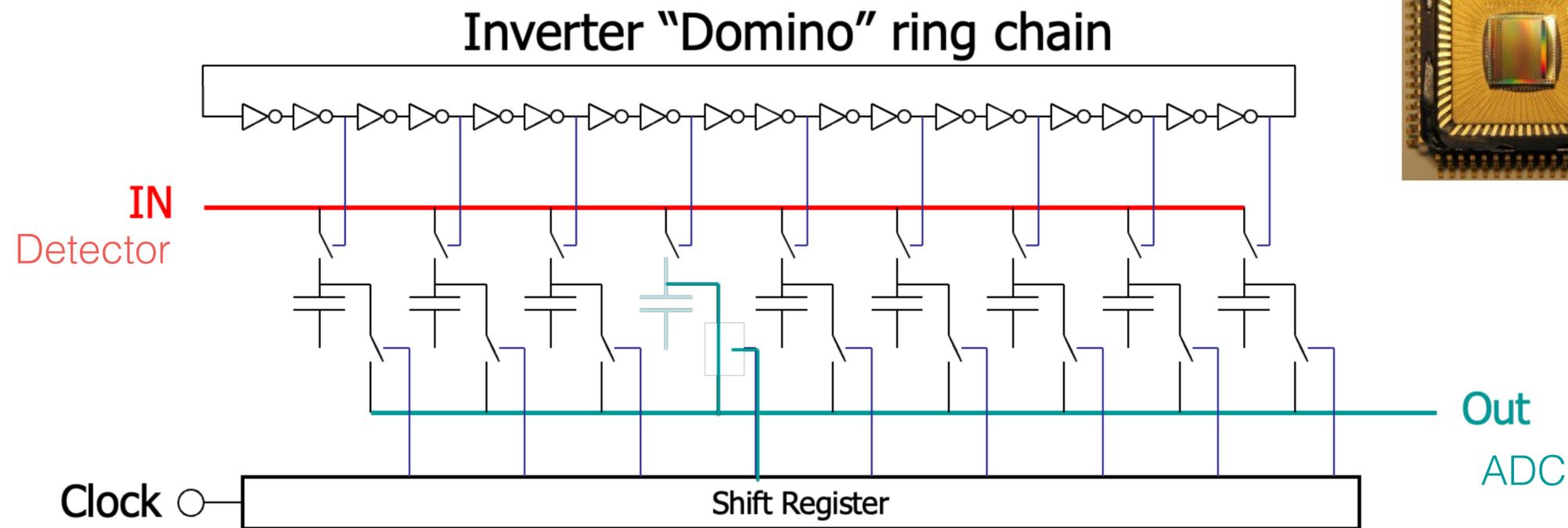
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



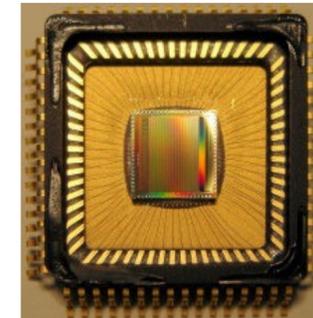
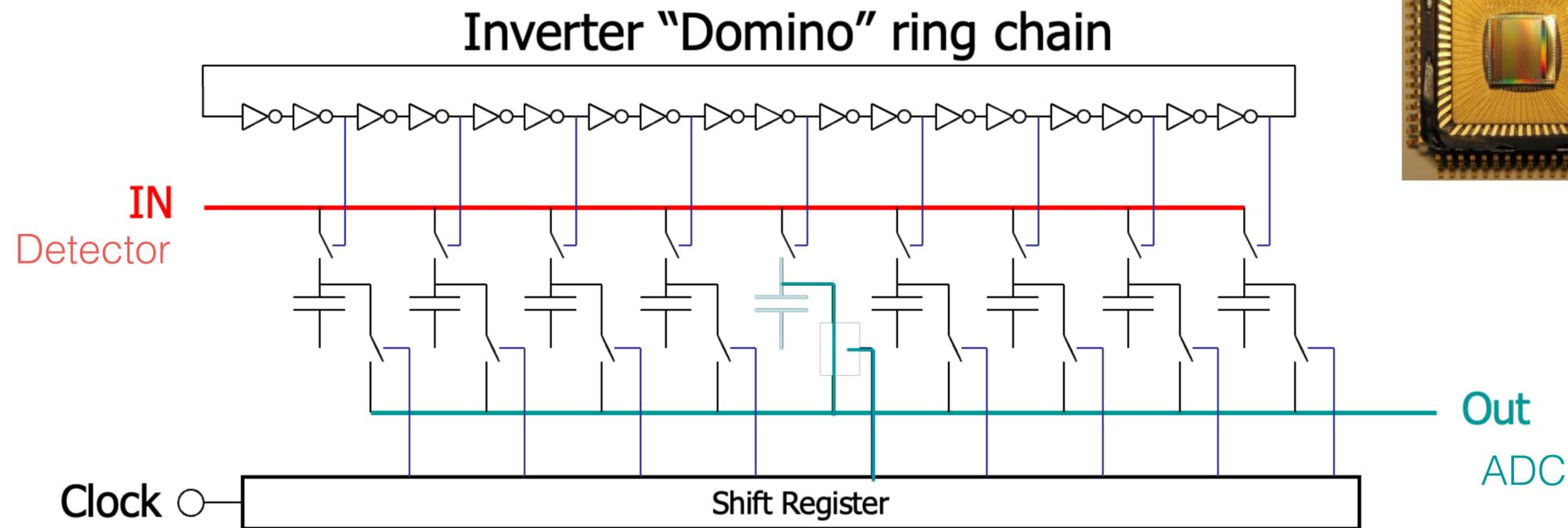
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



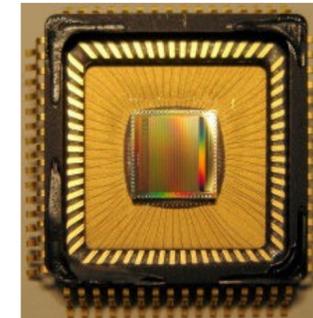
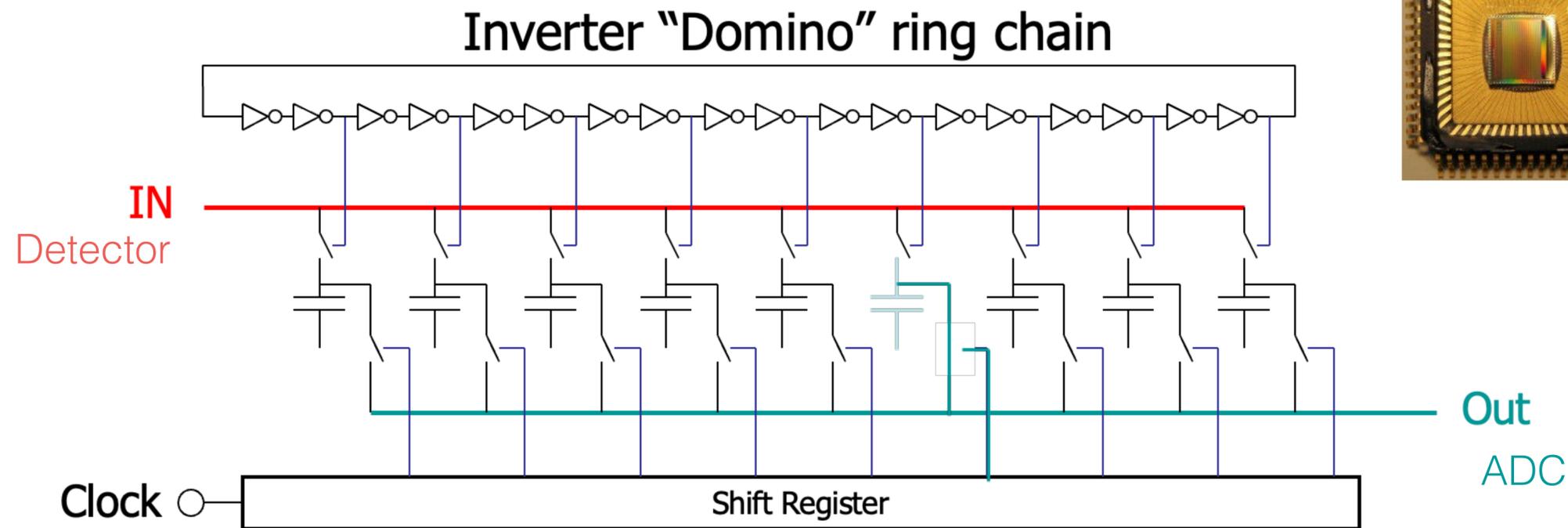
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



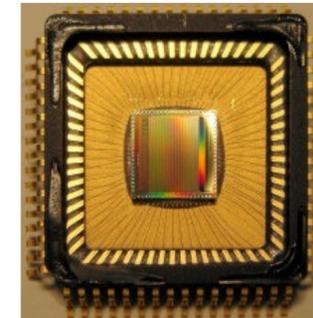
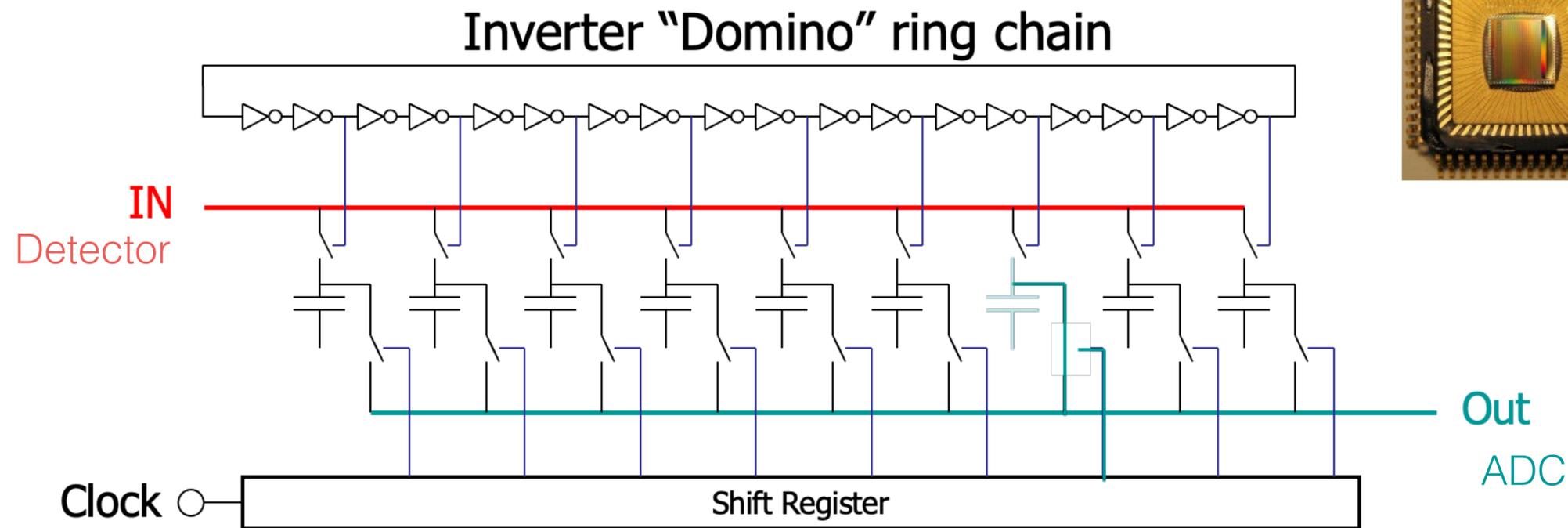
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



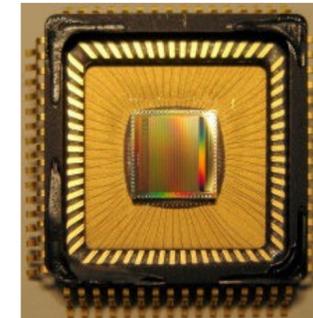
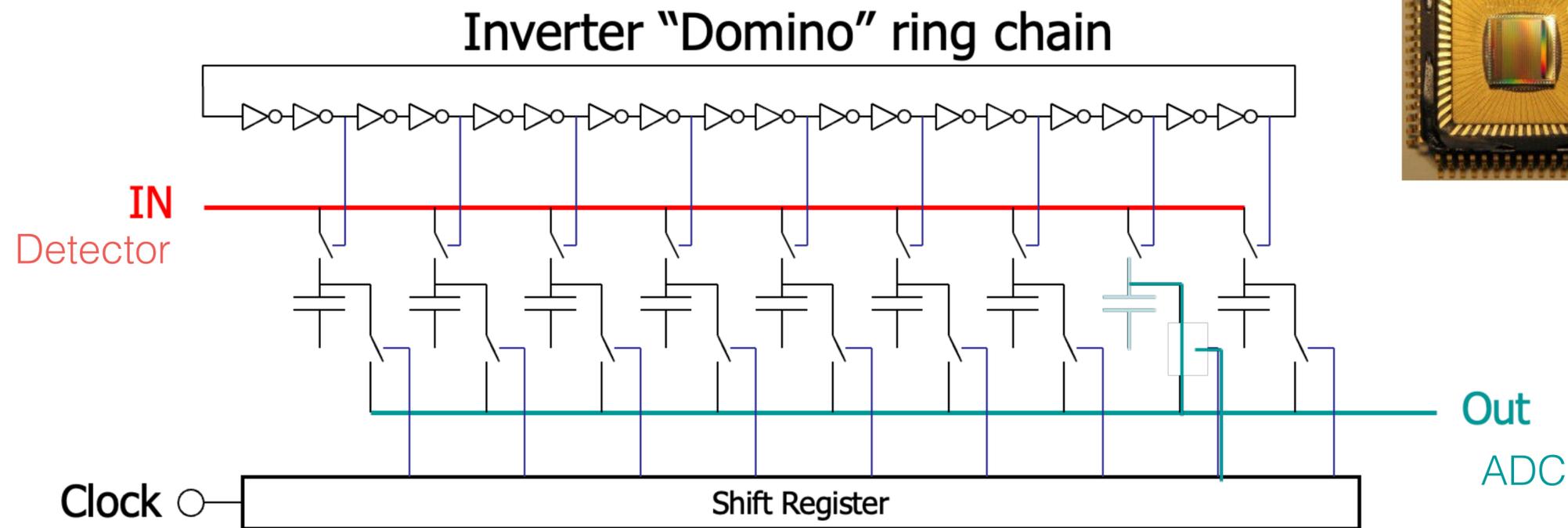
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



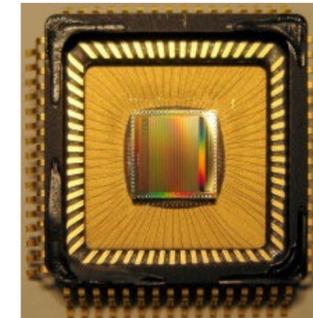
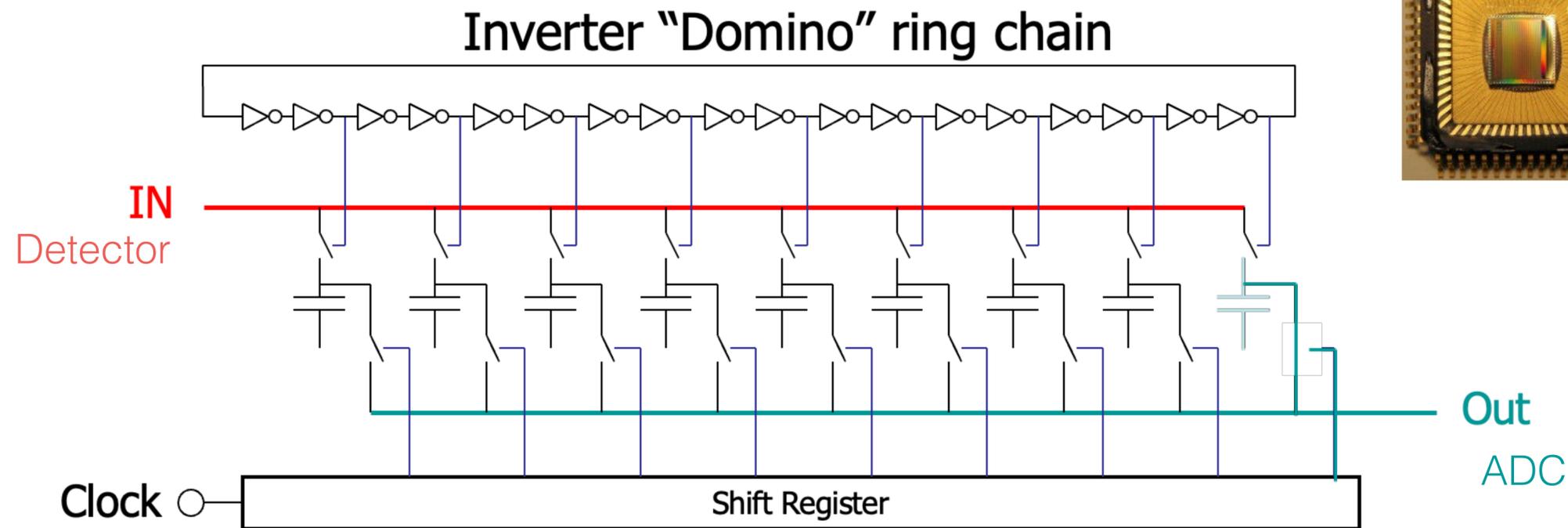
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



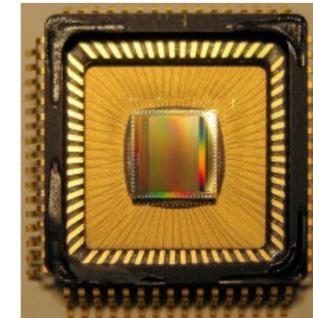
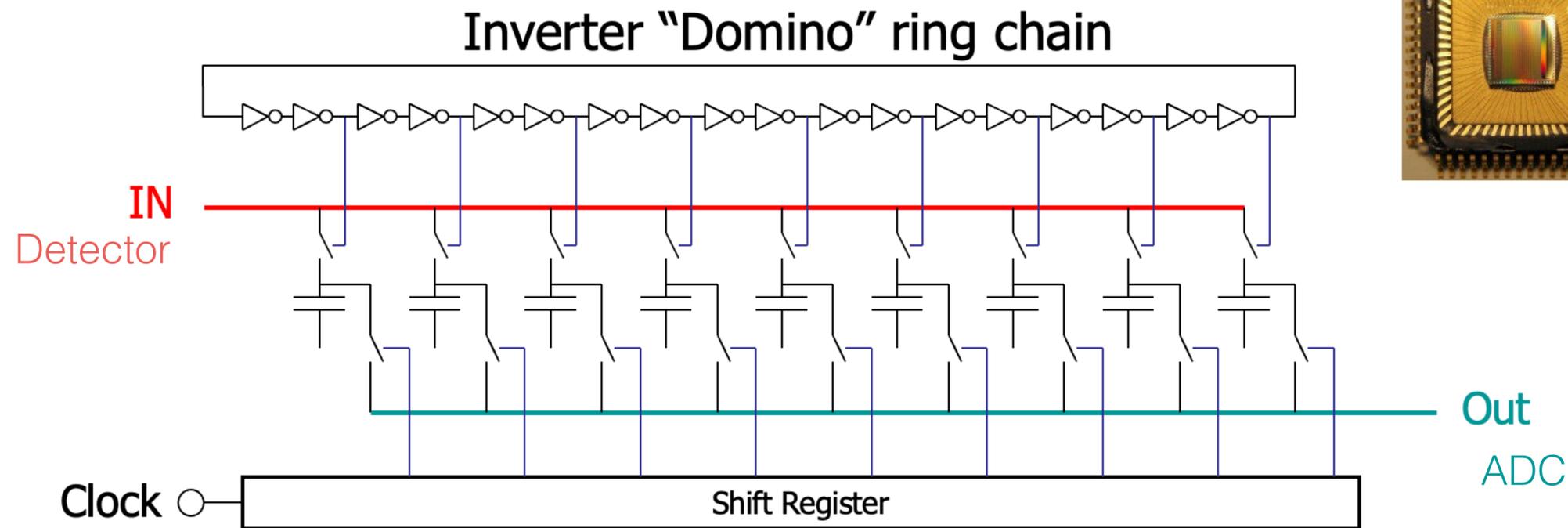
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



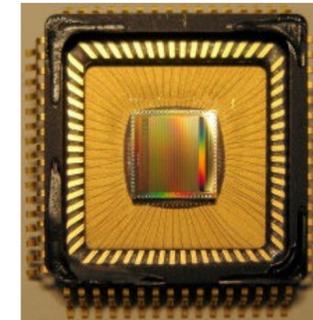
Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

DRS4, il più conosciuto “Switched Capacitor Array”



Definito “Time stretcher”

Idea:

Campionare molto velocemente
Scaricare con ADC lenta

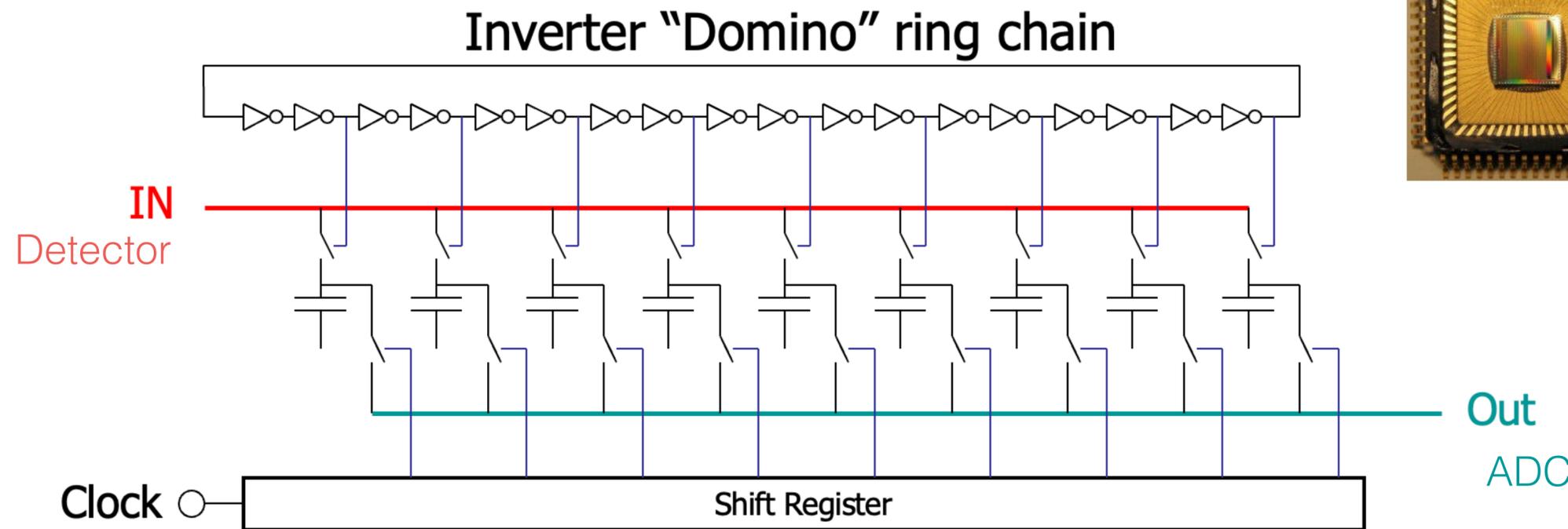
Problema principale:

Tempo morto!

Con la versione attuale servono
~500us!



Non adatto per esperimento con alto
L0 trigger rate!



Simili chip from UHawaii (LABRADOR/IRSX)
e IN2P3 Saclay(SAMPIC)

Dimensione dell'evento e data reduction



Problema 2, meno banale: **il volume dei dati**

Il DRS4 fornisce 1024 campionamenti per canale
accoppiato con una ADC a 12 bit sono 1.56 kB/evento

~16 strofe della
Divina Commedia

In totale gli 8000 canali producono **~12 MB/evento**

Paragone: Atlas/CMS -> 1MB/evento (presentazione di F.Pastore giovedì)

Dimensione dell'evento e data reduction



Problema 2, meno banale: **il volume dei dati**

Il DRS4 fornisce 1024 campionamenti per canale
accoppiato con una ADC a 12 bit sono 1.56 kB/evento

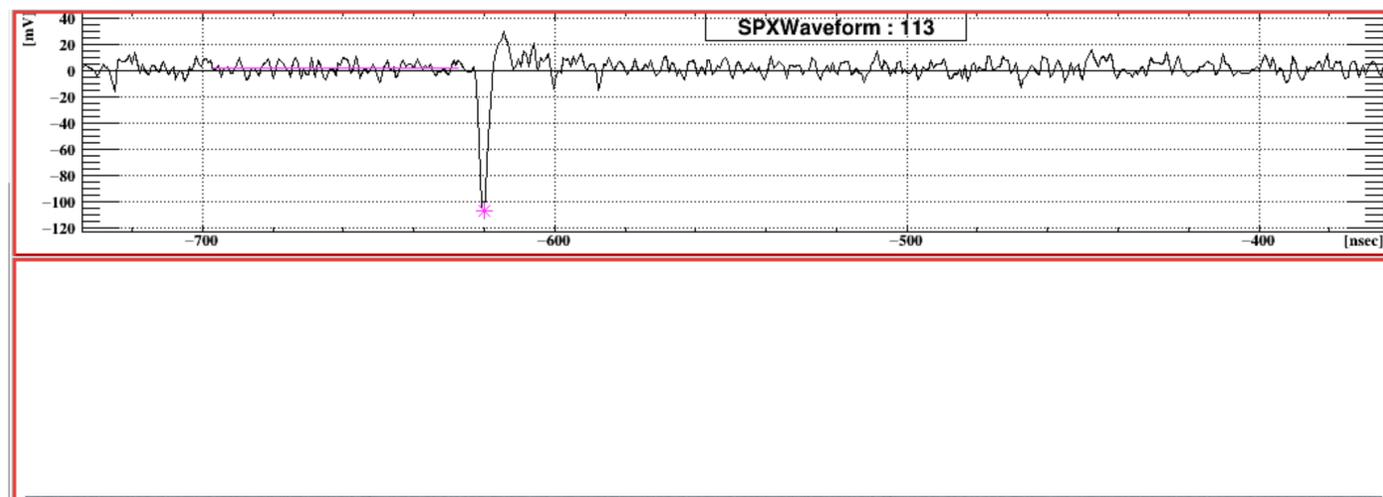
~16 strofe della
Divina Commedia

In totale gli 8000 canali producono **~12 MB/evento**

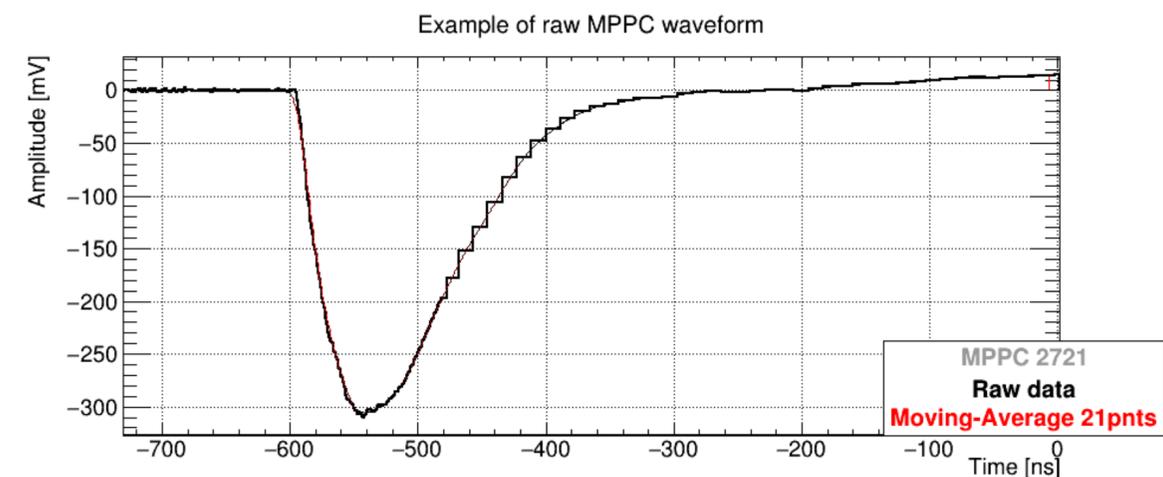
Paragone: Atlas/CMS -> 1MB/evento (presentazione di F.Pastore giovedì)

Ma servono davvero tutti??

No! → **Zero suppression & Data reduction** → **~5 MB/evento**



Zero suppression: Soppressione dei canali senza hit



Data reduction: Rebinning dei campionamenti lontani dal segnale

“COTS”: 2000 vs 2020



Dove mettere i chip?

Uso di tecnologie di bus “**Commercial Off The Shelf**” per poter utilizzare componenti commerciali

MEG I
Anni 2000

MEG II
Anni 2020

“COTS”: 2000 vs 2020

Dove mettere i chip?

Uso di tecnologie di bus “**Commercial Off The Shelf**” per poter utilizzare componenti commerciali

MEG I
Anni 2000

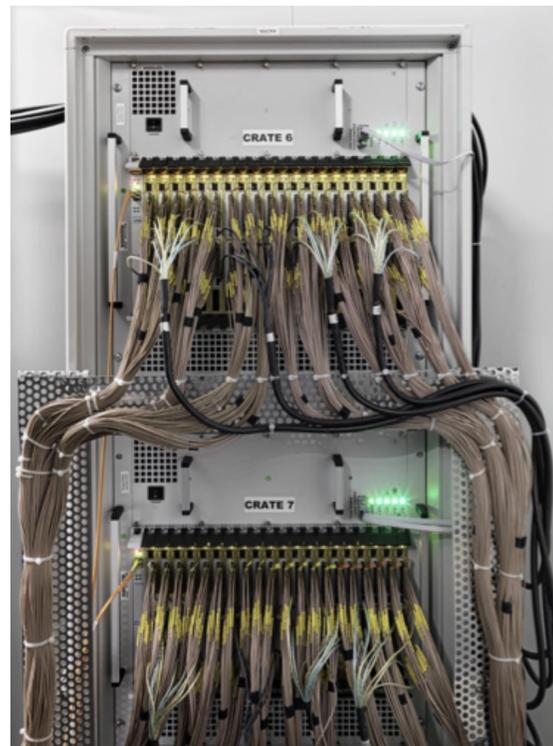
Scheda **VME** commerciale con mezzanino con 2 DRS4

“Pull” mode

Precursore del CAEN V1742



MEG II
Anni 2020



“COTS”: 2000 vs 2020

Dove mettere i chip?

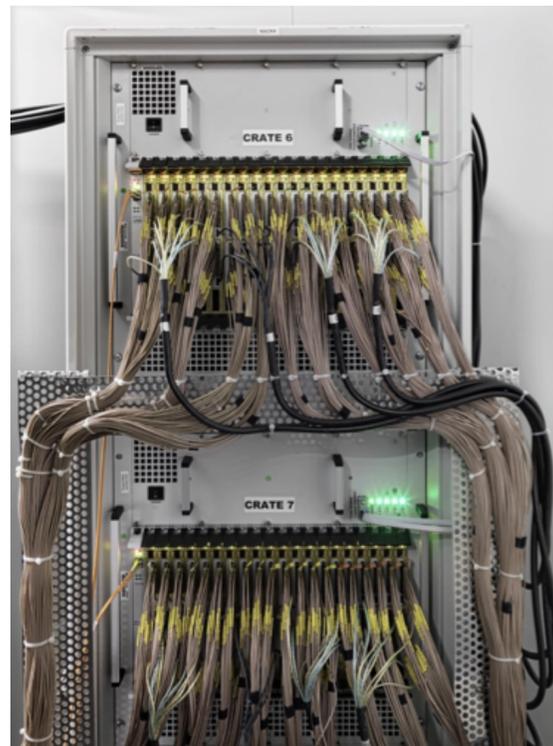
Uso di tecnologie di bus “**Commercial Off The Shelf**” per poter utilizzare componenti commerciali

MEG I
Anni 2000

Scheda **VME** commerciale con mezzanino con 2 DRS4

“Pull” mode

Precursore del CAEN V1742



MEG II
Anni 2020

x3 nel numero di canali
Scheda custom con **interfaccia di rete**

“Push” mode

Maggiore densità grazie ad un formato di crate custom

Alimentatore e frontend per **SiPM** incluso



Ethernet e TDAQ in fisica delle particelle



Le **connessioni di rete** sono ovunque: dagli strumenti di misura alla schede di sviluppo, ai server...

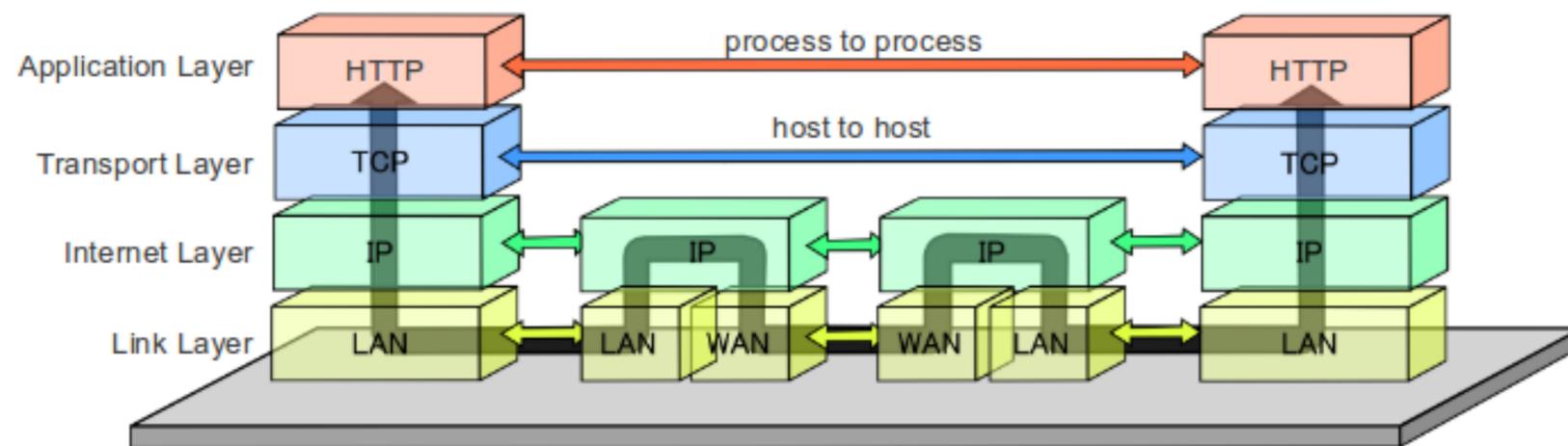
.... e supportate da qualsiasi linguaggio di programmazione (python, c++, ecc...)

```
import socket

UDP_PORT = 5005
sock = socket.socket(socket.AF_INET, # Internet
                    socket.SOCK_DGRAM) # UDP
sock.bind(("0.0.0.0", UDP_PORT))

while True:
    data, addr = sock.recvfrom(1024) # buffer size is 1024 bytes
    print("received message: %s" % data)
```

Data Flow of the Internet Protocol Suite



Serie di protocolli stratificati nel tempo, per **trasportare informazioni** da un **processo X** su un **host A** ad un **processo Y** su un **host B**

Ethernet e TDAQ in fisica delle particelle



Le **connessioni di rete** sono ovunque: dagli strumenti di misura alla schede di sviluppo, ai server...

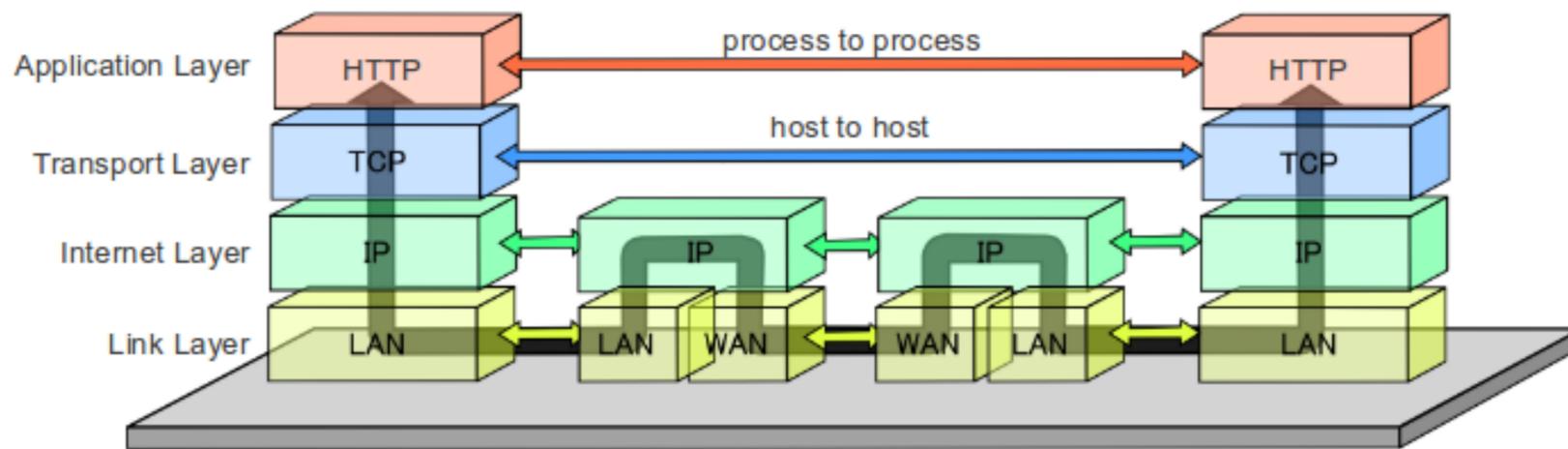
.... e supportate da qualsiasi linguaggio di programmazione (python, c++, ecc...)

```
import socket

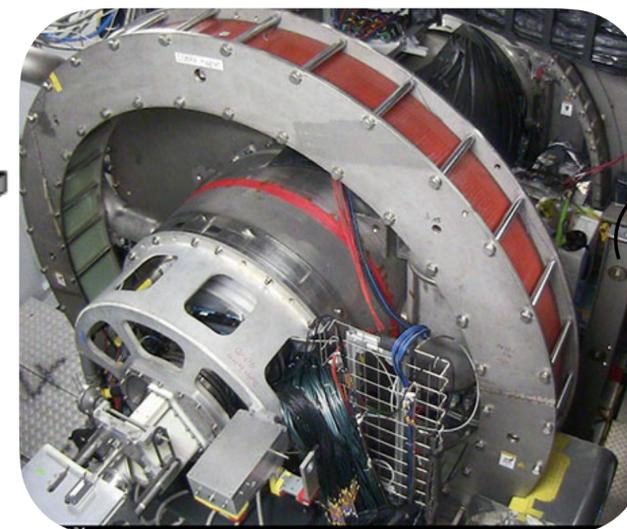
UDP_PORT = 5005
sock = socket.socket(socket.AF_INET, # Internet
                    socket.SOCK_DGRAM) # UDP
sock.bind(("0.0.0.0", UDP_PORT))

while True:
    data, addr = sock.recvfrom(1024) # buffer size is 1024 bytes
    print("received message: %s" % data)
```

Data Flow of the Internet Protocol Suite



Serie di protocolli stratificati nel tempo, per **trasportare informazioni** da un **processo X** su un **host A** ad un **processo Y** su un **host B**



Produttore di dati = "Client"



Consumatore di dati = "Server"

Ethernet e TDAQ in fisica delle particelle



Le **connessioni di rete** sono ovunque: dagli strumenti di misura alla schede di sviluppo, ai server...

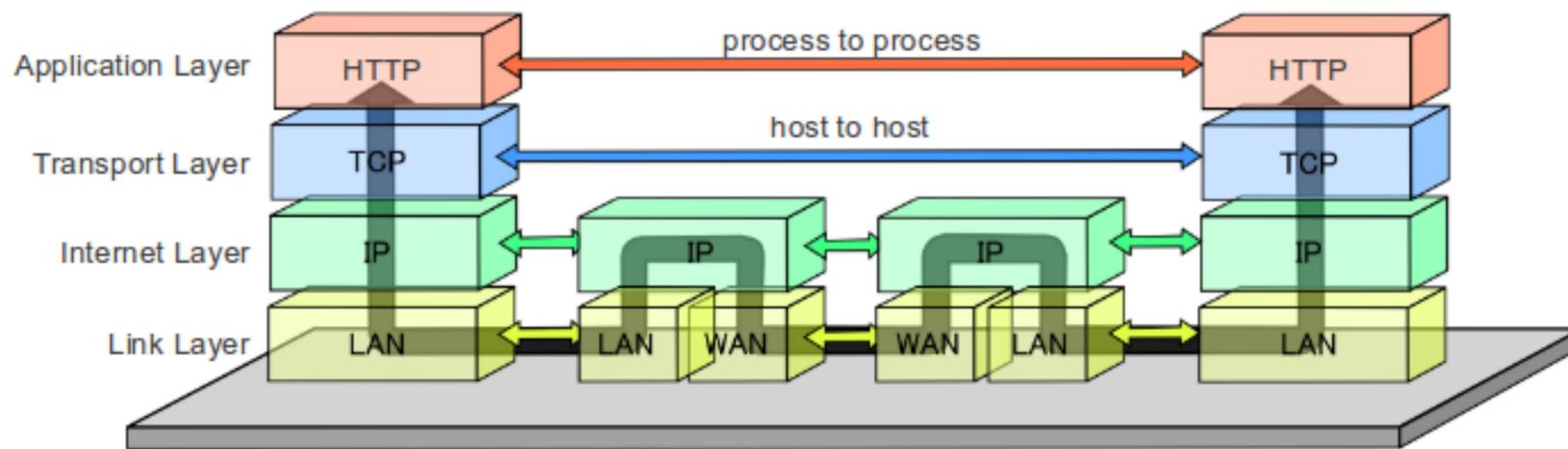
.... e supportate da qualsiasi linguaggio di programmazione (python, c++, ecc...)

```
import socket

UDP_PORT = 5005
sock = socket.socket(socket.AF_INET, # Internet
                    socket.SOCK_DGRAM) # UDP
sock.bind(("0.0.0.0", UDP_PORT))

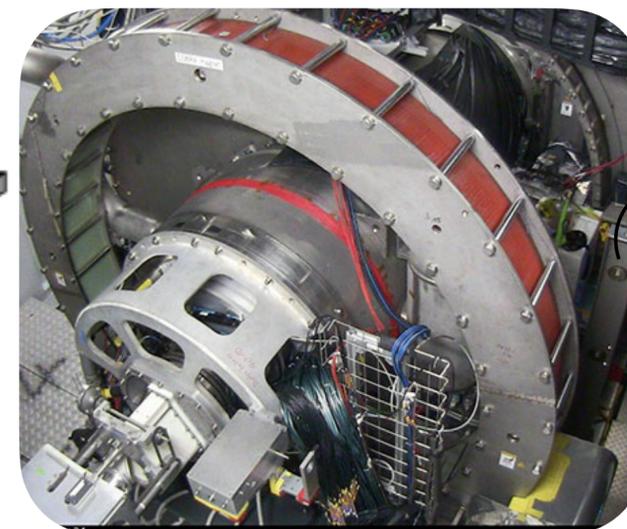
while True:
    data, addr = sock.recvfrom(1024) # buffer size is 1024 bytes
    print("received message: %s" % data)
```

Data Flow of the Internet Protocol Suite



Serie di protocolli stratificati nel tempo, per **trasportare informazioni** da un **processo X** su un **host A** ad un **processo Y** su un **host B**

Decisamente **non il protocollo perfetto** per varie problematiche: affidabilità, banda simmetrica, velocità backpressure...



Produttore di dati = "Client"



Consumatore di dati = "Server"

MIDAS applicato ad un esperimento in presa dati



MEG Alarms: None 6 Oct 2023 at 22:33:09 UTC+2

Status
Start
Transition
ODB
Messages
Chat
Elog
Alarms
Programs
Buffers
History
MSCB
Sequencer
Config
Help
Event Dump
Register
HV Control
XEC
Analyzer
Crates
‣ Beam
‣ CDCH
‣ DAQ
WhiteBoard
RunTable Ext.
RunTable
RunDB
Accel
XECPM
WhiteBoard

Run Status

Run 550537 Running <small>Stop</small>	Start: Fri Oct 6 22:30:54 2023	Running time: 0h02m16s	
Alarms: On	Restart: Sequencer		

DAQ operator: Kensuke Yamamoto and Ayaka Matsushita
Run description: MEG run. QH: 1693717, QL: 1518505, QC: 3504242, TimeNarrow: 10, TimeWide: 32, Offset: 8 + with DCMon Sr90

XEC data:
TC data:
RDC data:
DC data:
BGO data:
Physics:
Beam on:

1696624258 22:30:58.613 2023/10/06 [Sequencer,INFO] Run #550537 started

Equipment

Equipment +	Status	Events	Events[/s]	Data[MB/s]
Trigger	Ok	1522	9.2	47.782
HV XEC PMT	Ok	14	0.3	0.006
HV XEC MPPC	Ok	13	0.0	0.000
HV TC	Ok	13	0.0	0.000
HV BGO	Ok	14	0.3	0.000
DC HV	Ok	3	0.0	0.000
BTS	Ok	3	0.0	0.000
Xenon	Ok	3	0.0	0.000
LED	Ok	3	0.0	0.000
TC	Ok	3	0.0	0.000
Laser	Ok	3	0.0	0.000
COBRA	Ok	3	0.0	0.000
RDC	Ok	3	0.0	0.000

MEG II utilizza **MIDAS** come base per il DAQ, il monitoraggio e il controllo del run.

Tutti i dettagli nella presentazione di G.Tortone e nel laboratorio 4

MIDAS applicato ad un esperimento in presa dati



MEG Alarms: None 6 Oct 2023 at 22:33:09 UTC+2

Run Status

Run 550537 Running Start: Fri Oct 6 22:30:54 2023 Running time: 0h02m16s

Alarms: On Restart: Sequencer Data dir: /data/meg/data

DAQ operator: Kensuke Yamamoto and Ayaka Matsushita

Run description: MEG run. QH: 1693717, QL: 1518505, QC: 3504242, TimeNarrow: 10, TimeWide: 32, Offset: 8 + with DCMon Sr90

XEC data: TC data: RDC data: DC data: BGO data: Physics: Beam on:

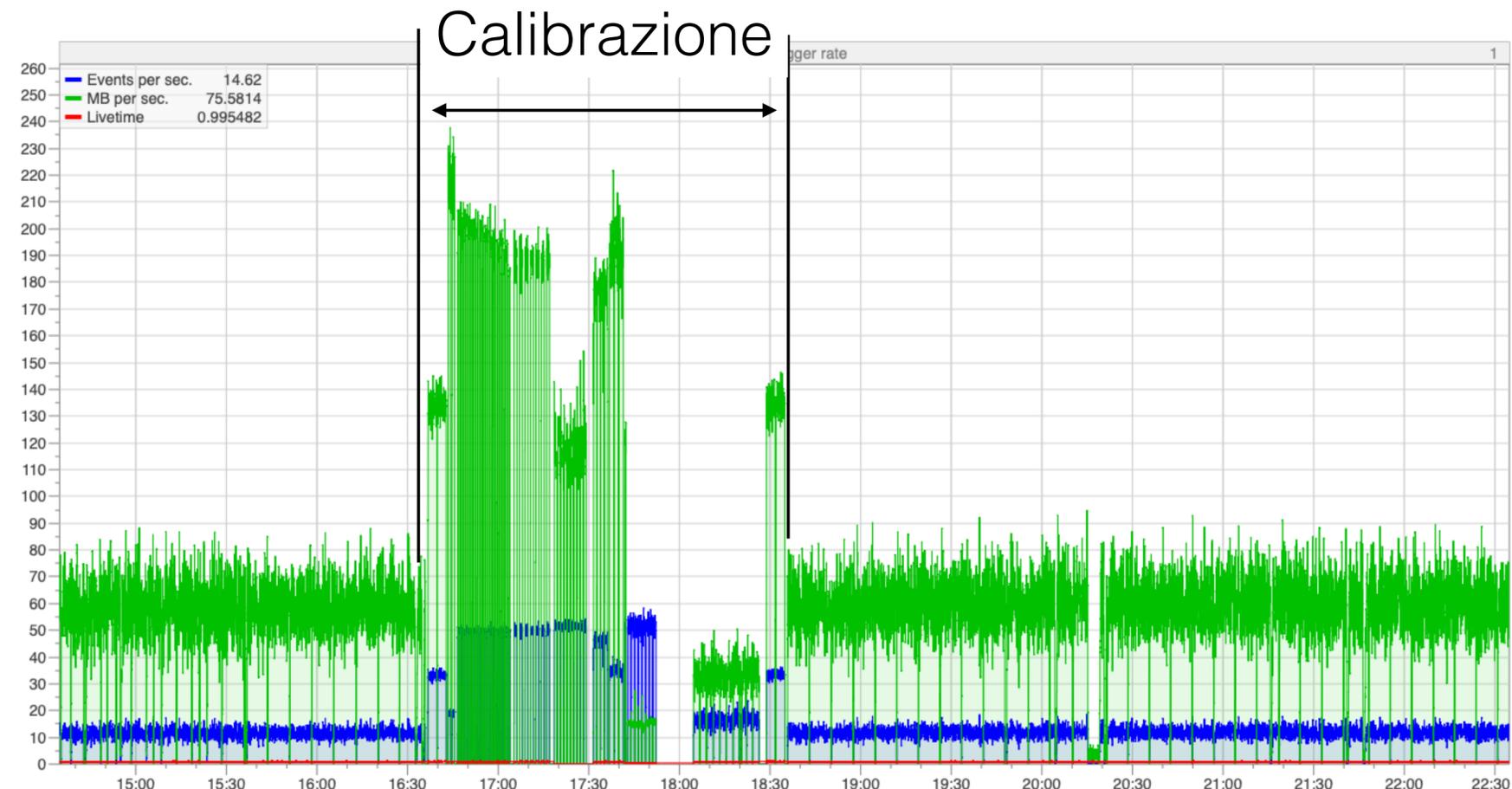
1696624258 22:30:58.613 2023/10/06 [Sequencer,INFO] Run #550537 started

Equipment

Equipment +	Status	Events	Events[/s]	Data[MB/s]
Trigger	Ok	1522	9.2	47.782
HV XEC PMT	Ok	14	0.3	0.006
HV XEC MPPC	Ok	13	0.0	0.000
HV TC	Ok	13	0.0	0.000
HV BGO	Ok	14	0.3	0.000
DC HV	Ok	3	0.0	0.000
BTS	Ok	3	0.0	0.000
Xenon	Ok	3	0.0	0.000
LED	Ok	3	0.0	0.000
TC	Ok	3	0.0	0.000
Laser	Ok	3	0.0	0.000
COBRA	Ok	3	0.0	0.000
RDC	Ok	3	0.0	0.000

MEG II utilizza **MIDAS** come base per il DAQ, il monitoraggio e il controllo del run.

Tutti i dettagli nella presentazione di G.Tortone e nel laboratorio 4



Acquisizione stabile a ~12 Hz (60 MB/s)

Burst di dati (fino a 200 MB/s) durante i run di calibrazione

Parte II:

T(DAQ)

Quando acquisire

to stream or not to stream

I chip DRS4 richiedono una architettura di trigger “classico”

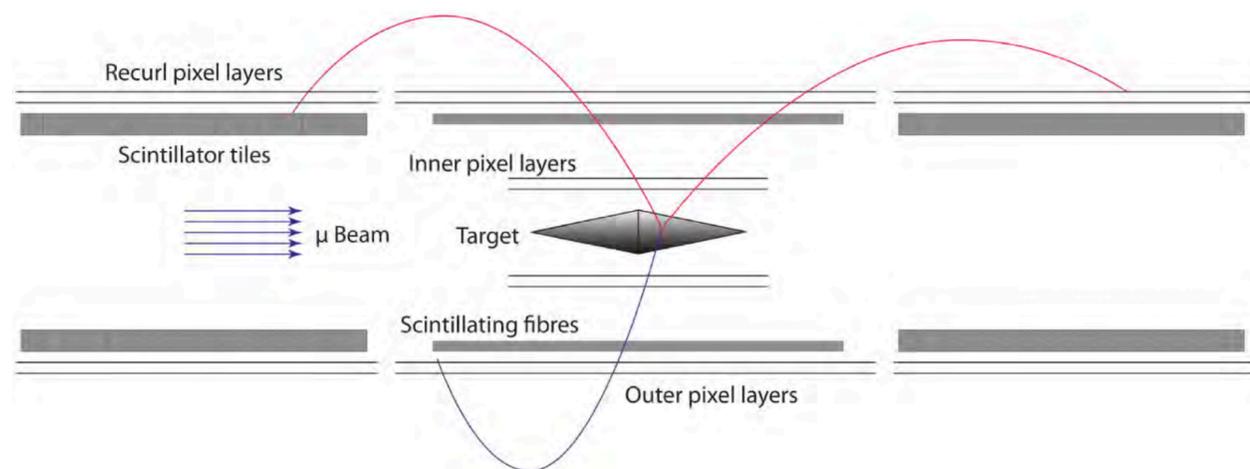
Altre tecniche sono considerate per altri casi:

Esempio reale: Lo streaming DAQ di Mu3e



Decadimento a 3 corpi

Molto difficile da identificare: serve un **Fit di traccia**

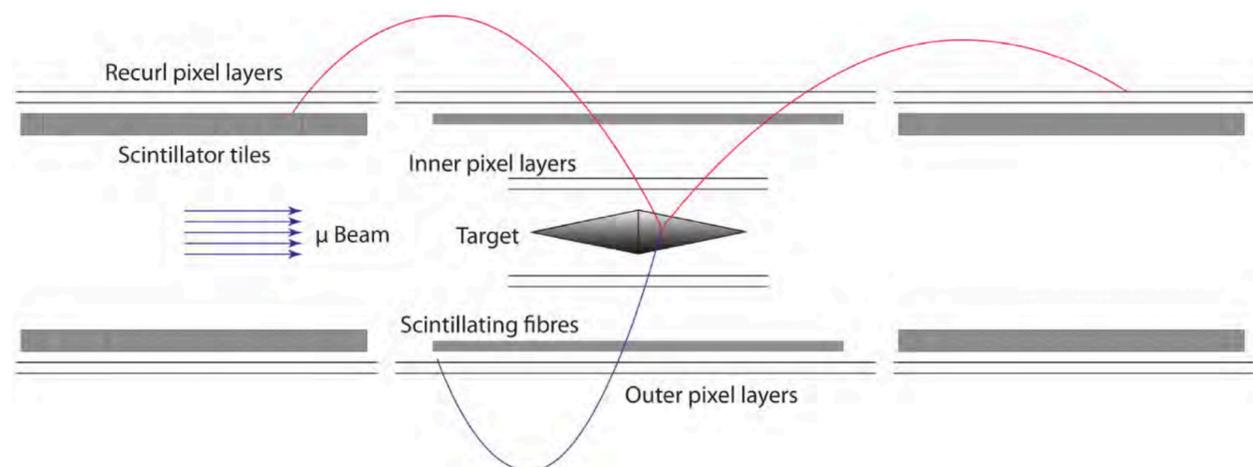


to stream or not to stream

I chip DRS4 richiedono una architettura di trigger “classico”

Altre tecniche sono considerate per altri casi:

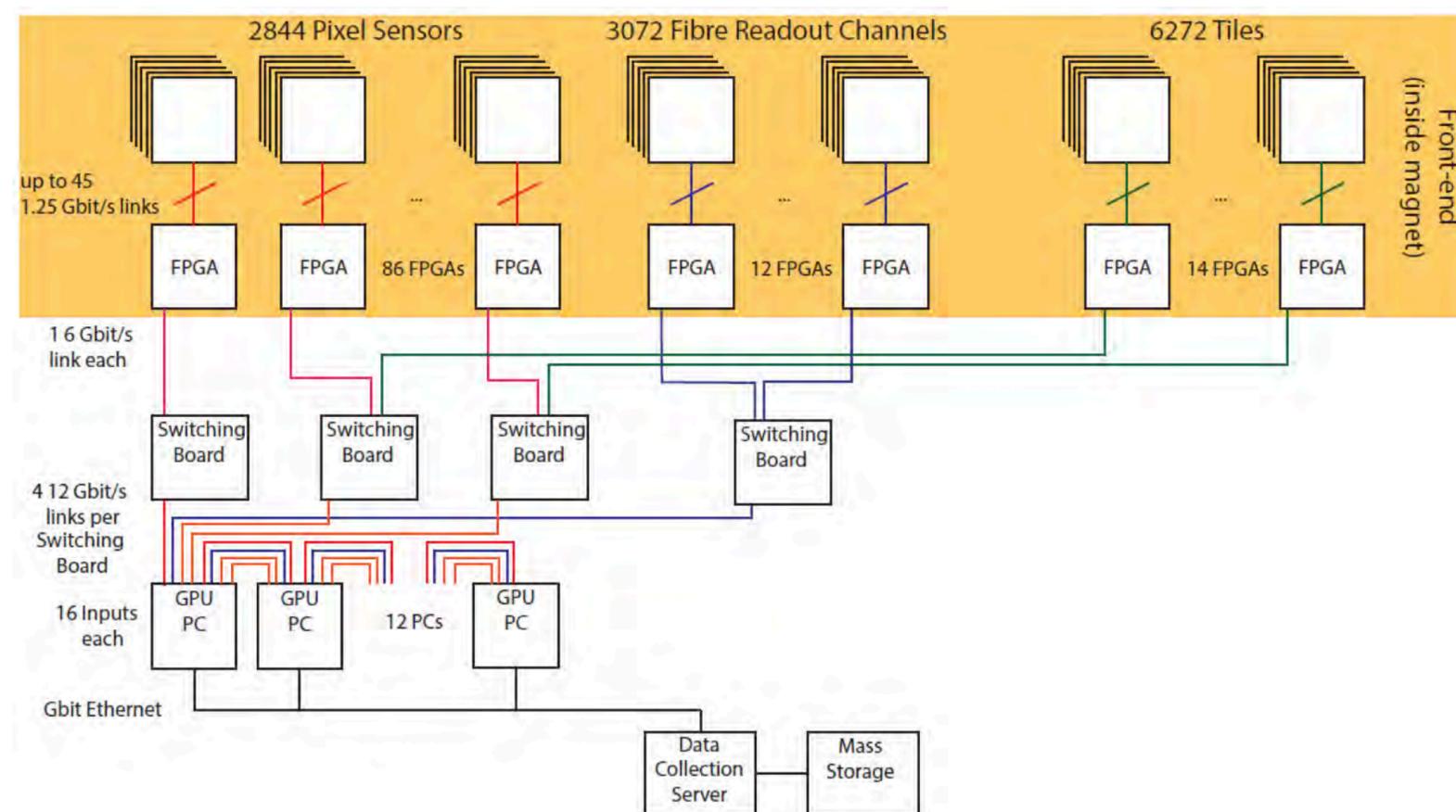
Esempio reale: Lo streaming DAQ di Mu3e



Sistema in fase di costruzione:
prima fisica nel ~2025

Decadimento a 3 corpi

Molto difficile da identificare: serve un **Fit di traccia**

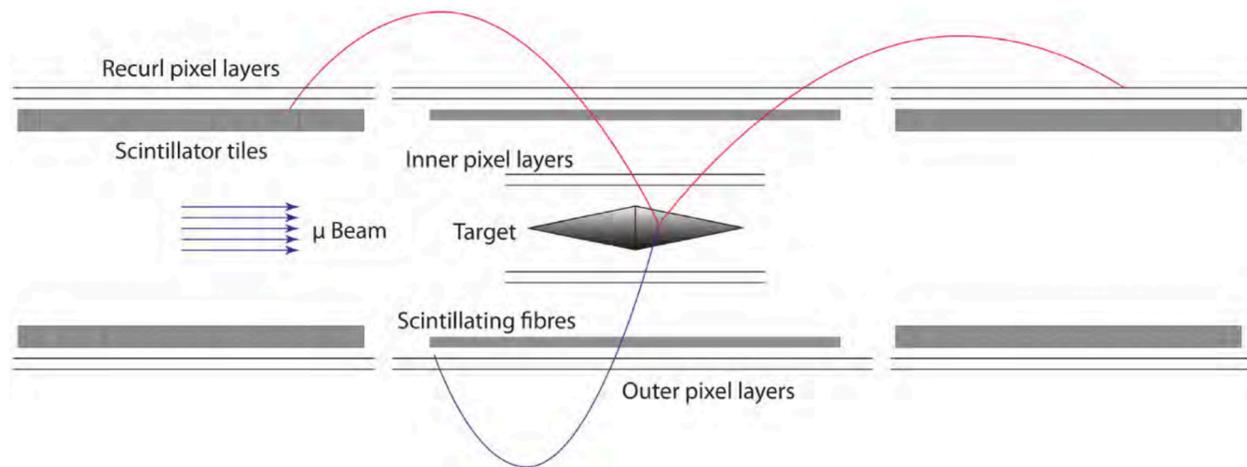


to stream or not to stream

I chip DRS4 richiedono una architettura di trigger “classico”

Altre tecniche sono considerate per altri casi:

Esempio reale: Lo streaming DAQ di Mu3e



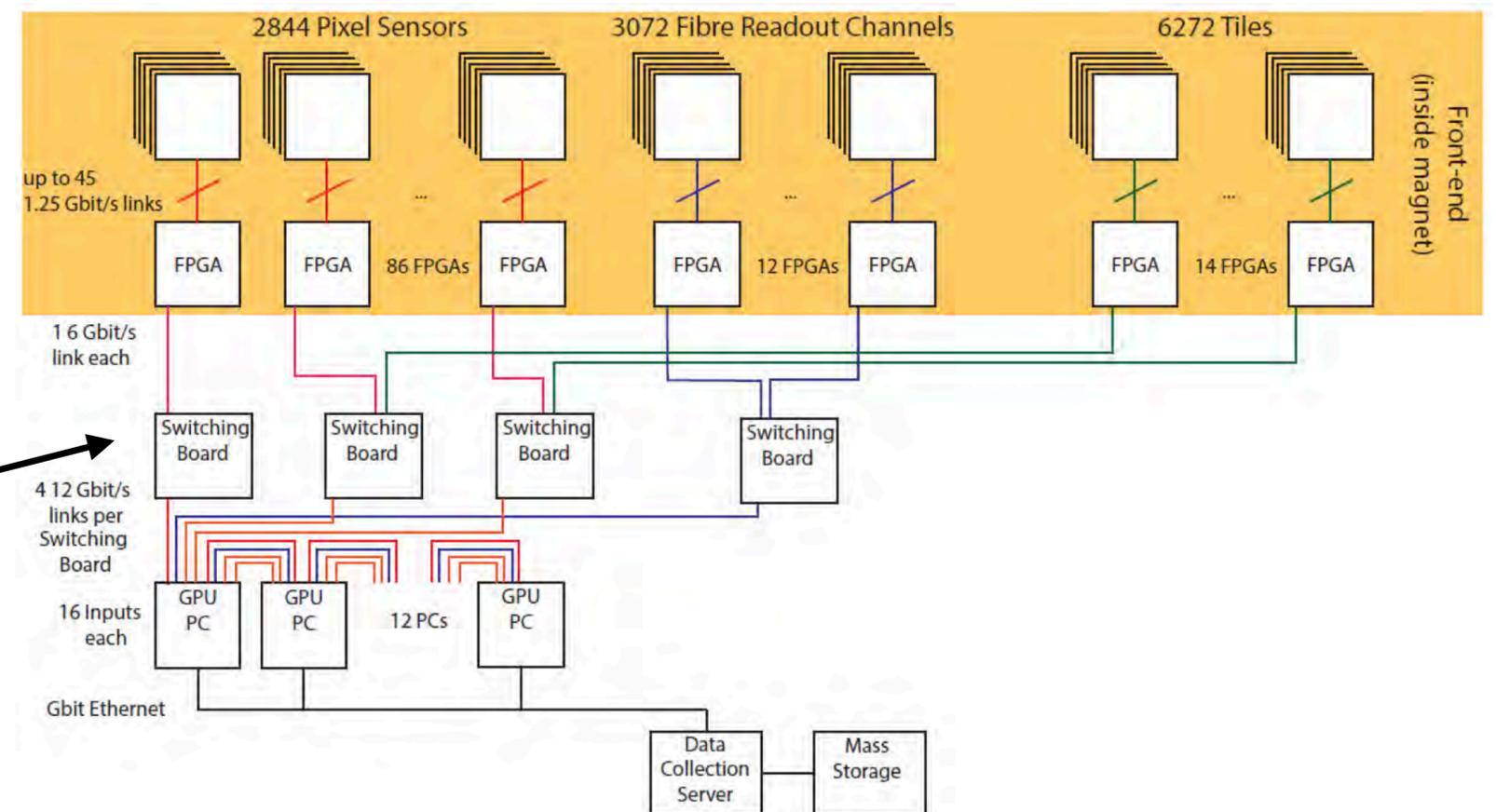
PCIe40, scheda sviluppata per LHCb



Sistema in fase di costruzione:
prima fisica nel ~2025

Decadimento a 3 corpi

Molto difficile da identificare: serve un **Fit di traccia**

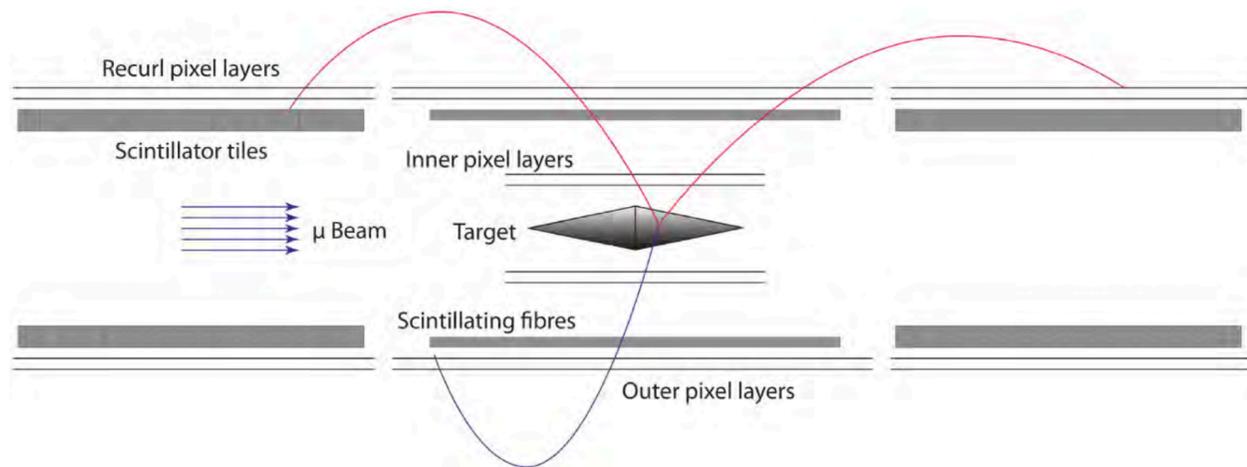
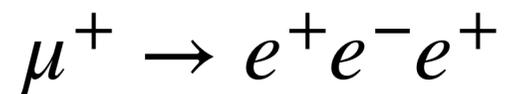


to stream or not to stream

I chip DRS4 richiedono una architettura di trigger “classico”

Altre tecniche sono considerate per altri casi:

Esempio reale: Lo streaming DAQ di Mu3e

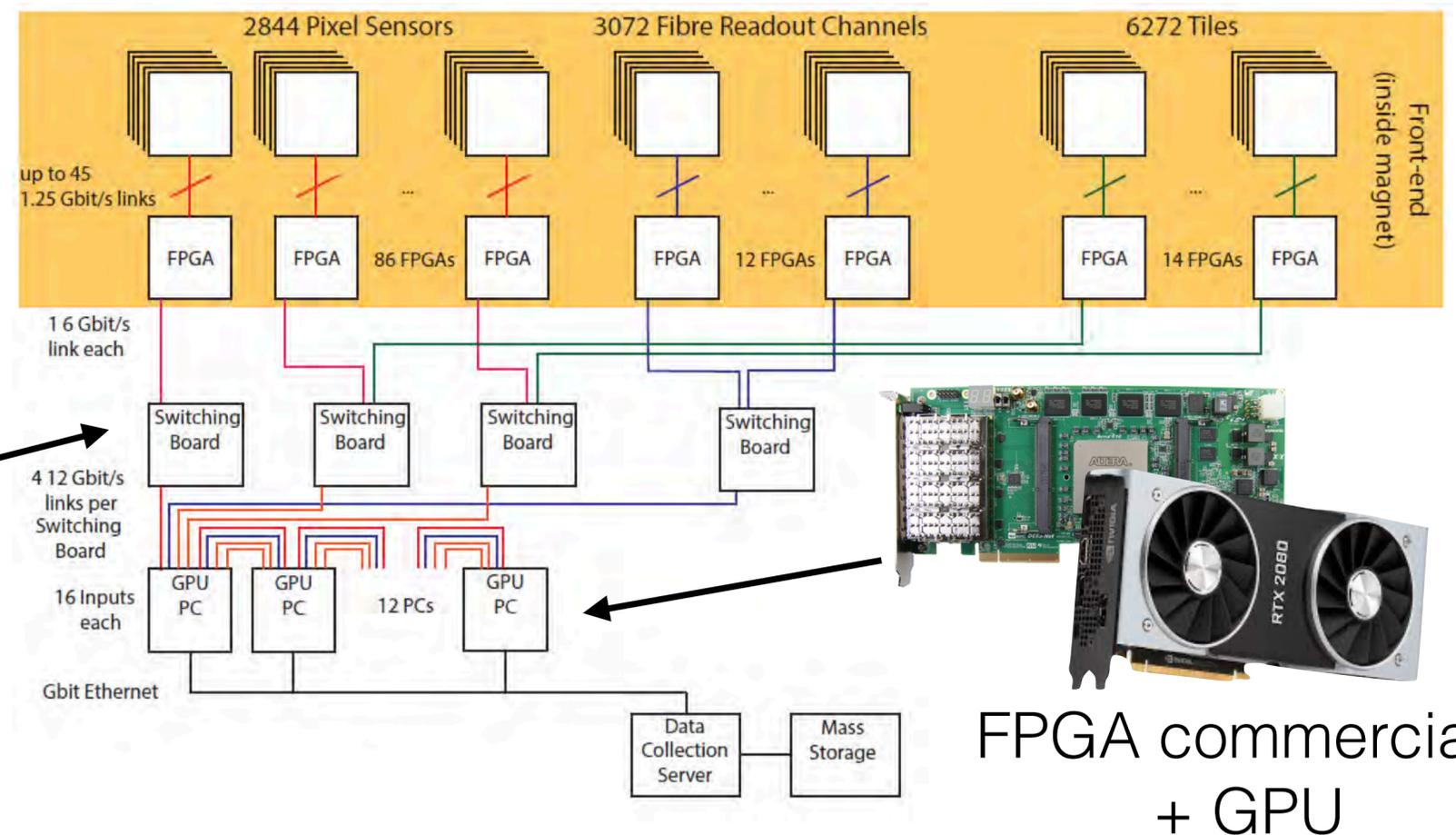


PCIe40, scheda sviluppata per LHCb



Sistema in fase di costruzione:
prima fisica nel ~2025

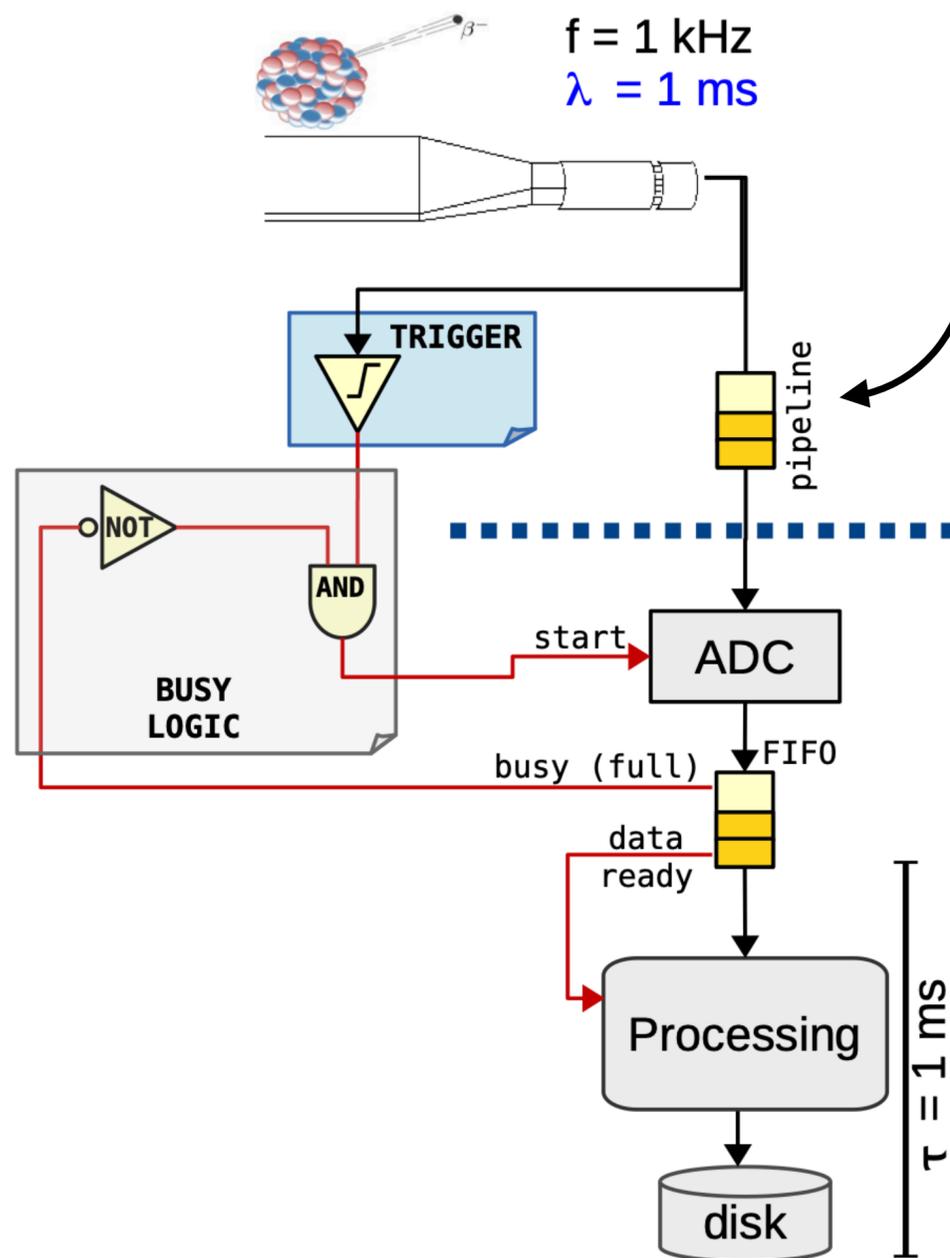
Decadimento a 3 corpi
Molto difficile da identificare: serve un **Fit di traccia**



FPGA commerciale
+ GPU

Triggerare uno switched capacitor array

Dalla presentazione di A.Negri

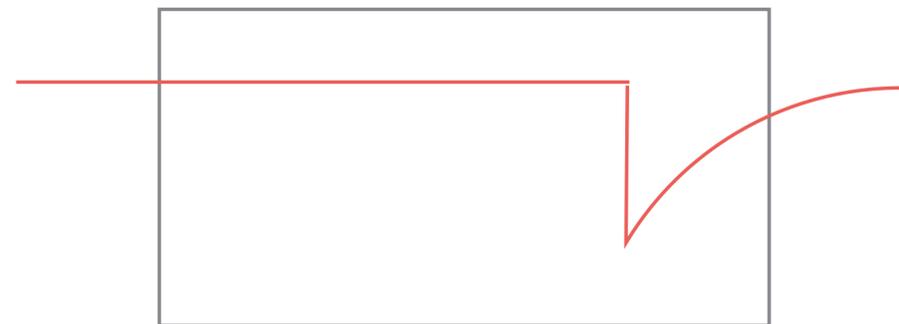


La **pipeline analogica** può essere uno switched capacitor array

NOTA: non c'è un busy!

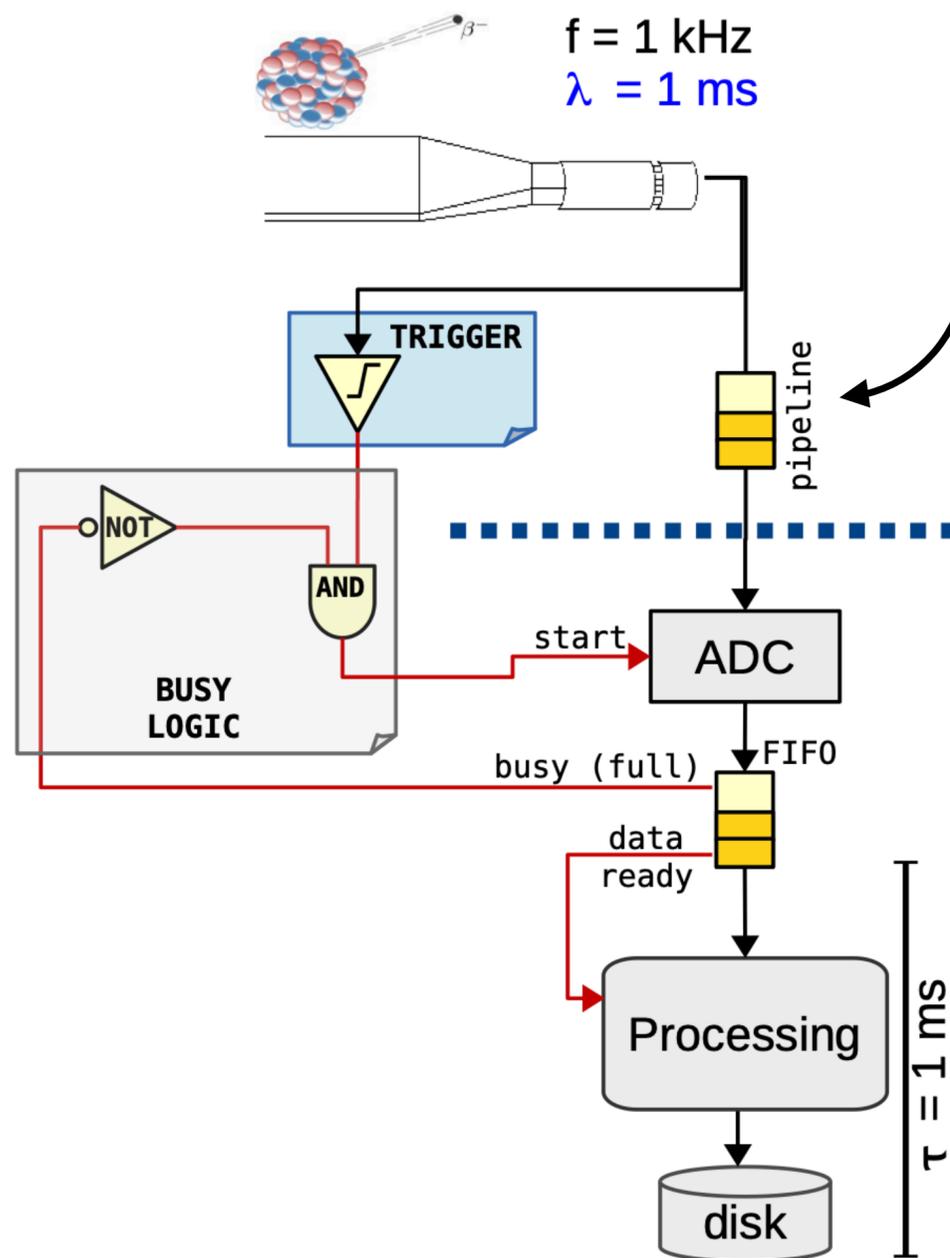
Input a 5 GSPS, output a 80 MSPS: i vecchi campionamenti vengono sovrascritti!

1024 campionamenti del DRS4



Triggerare uno switched capacitor array

Dalla presentazione di A.Negri

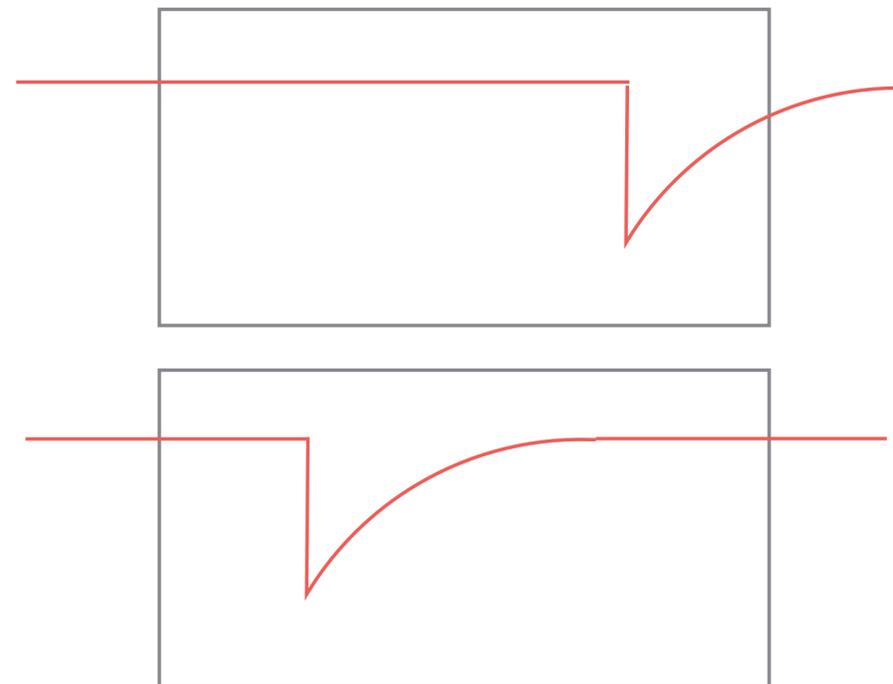


La **pipeline analogica** può essere uno switched capacitor array

NOTA: non c'è un busy!

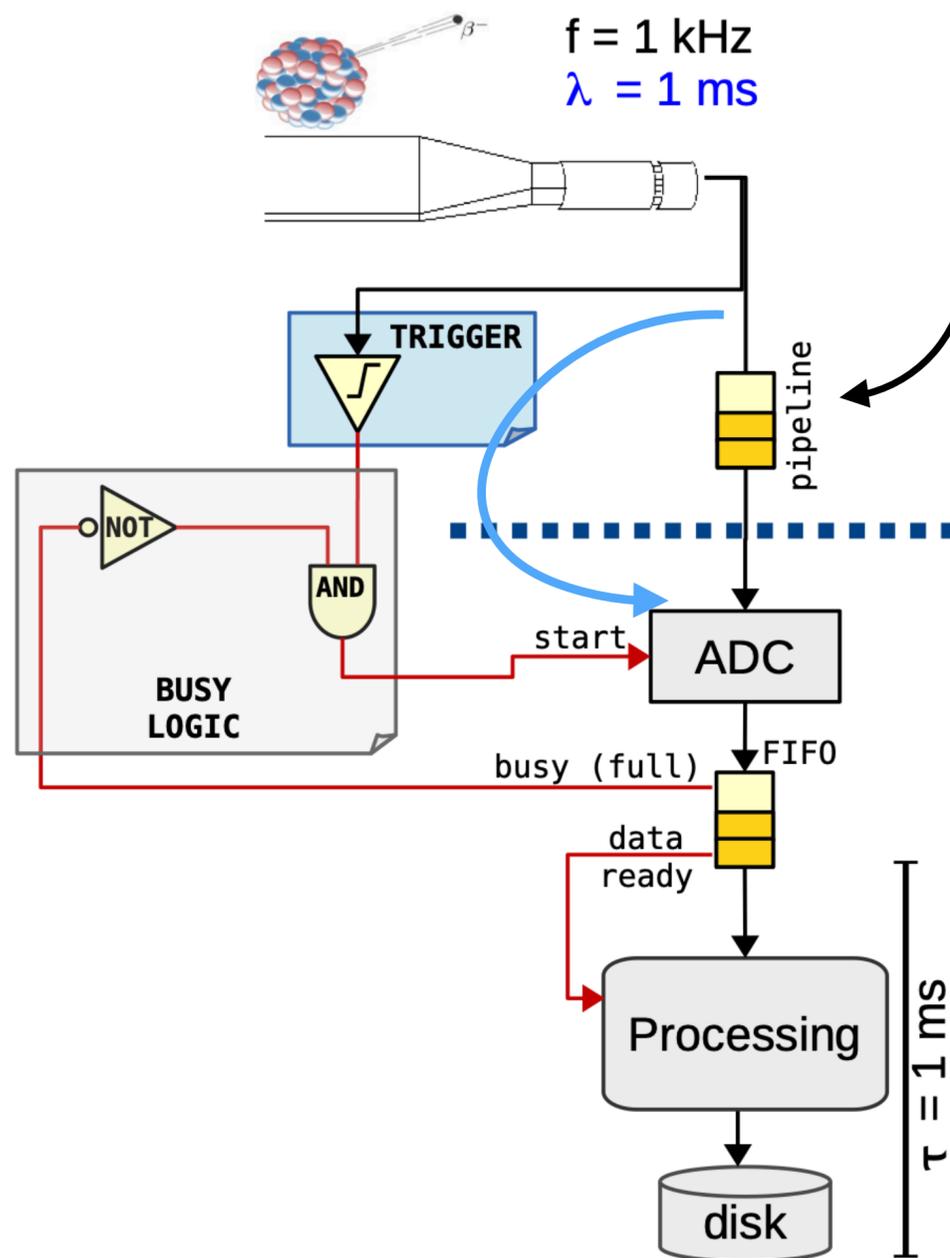
Input a 5 GSPS, output a 80 MSPS: i vecchi campionamenti vengono sovrascritti!

1024 campionamenti del DRS4



Triggerare uno switched capacitor array

Dalla presentazione di A.Negri

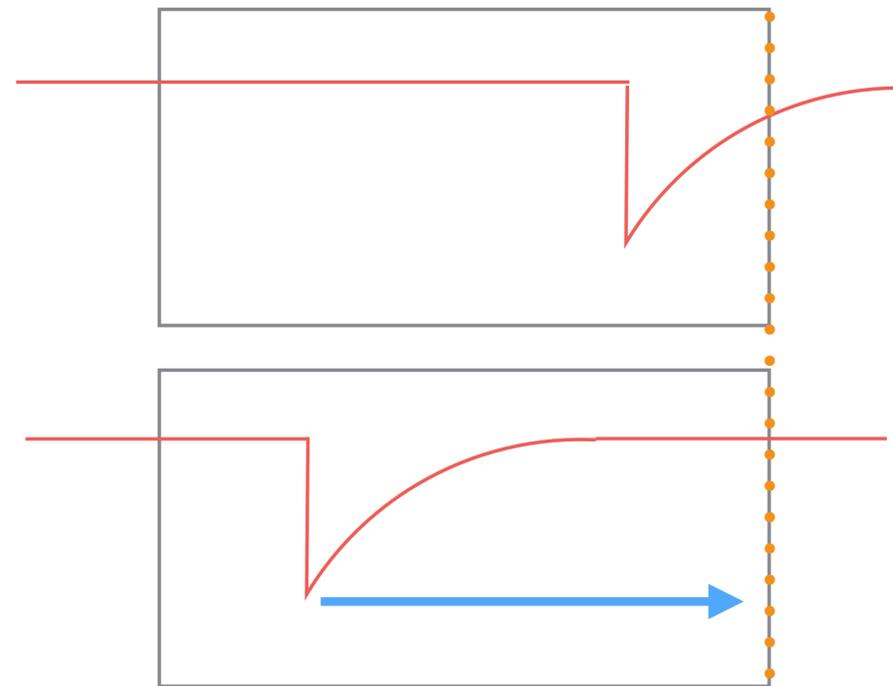


La **pipeline analogica** può essere uno switched capacitor array

NOTA: non c'è un busy!

Input a 5 GSPS, output a 80 MSPS: i vecchi campionamenti vengono sovrascritti!

1024 campionamenti del DRS4



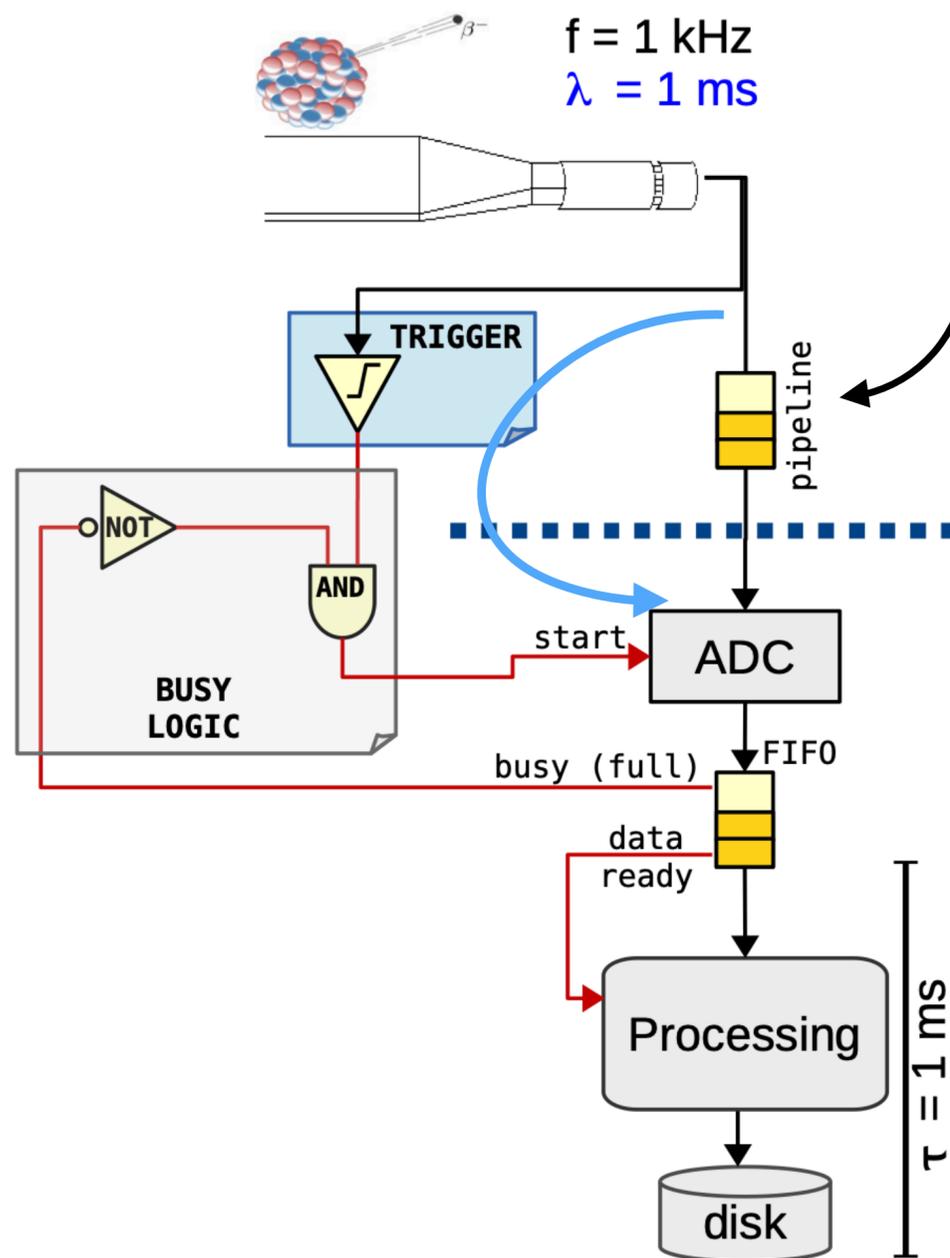
Latenza di trigger corretta

Per MEG II questo è ~700 ns
Operando il DRS aa 1.6 GSPS

ADC start

Triggerare uno switched capacitor array

Dalla presentazione di A.Negri

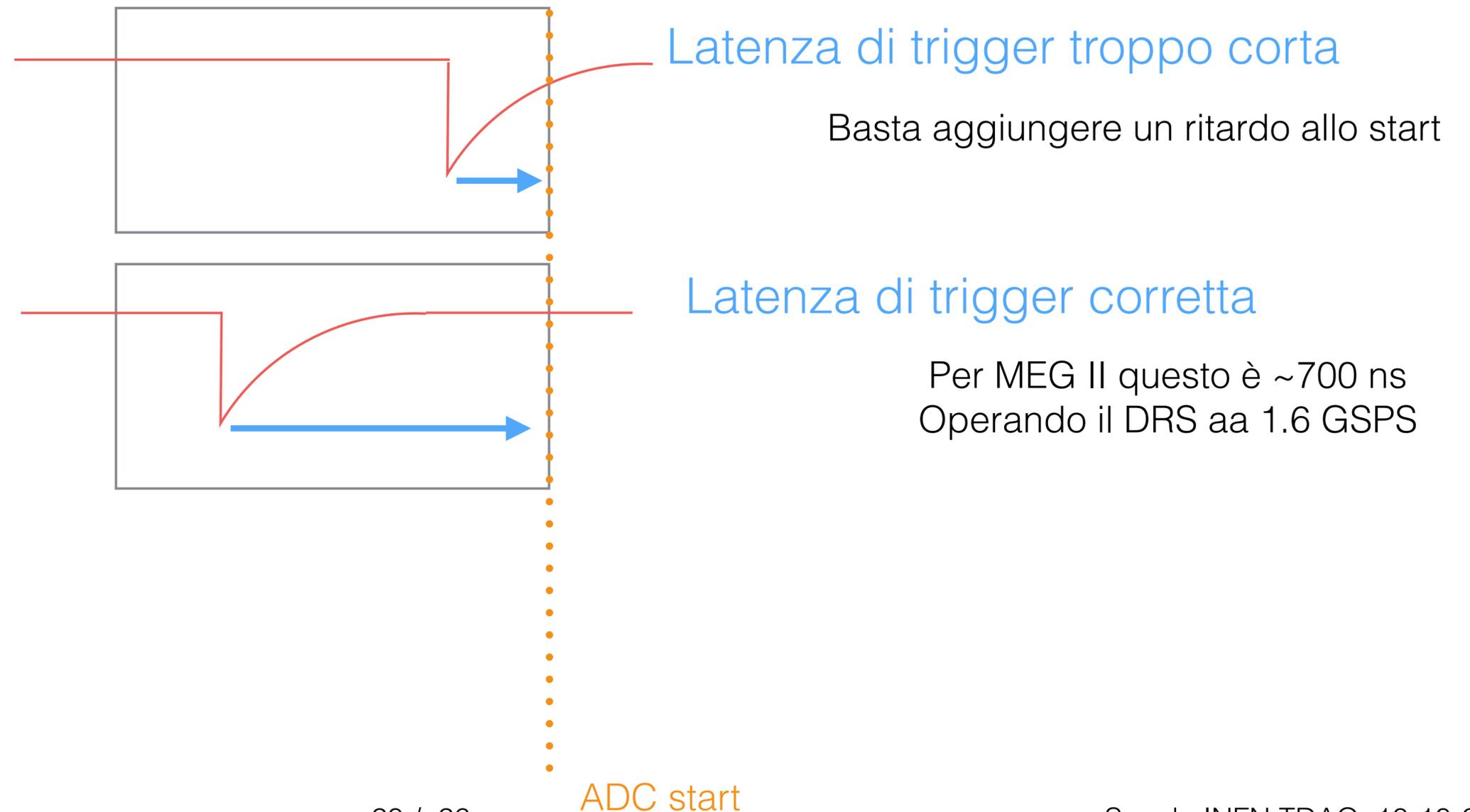


La **pipeline analogica** può essere uno switched capacitor array

NOTA: non c'è un busy!

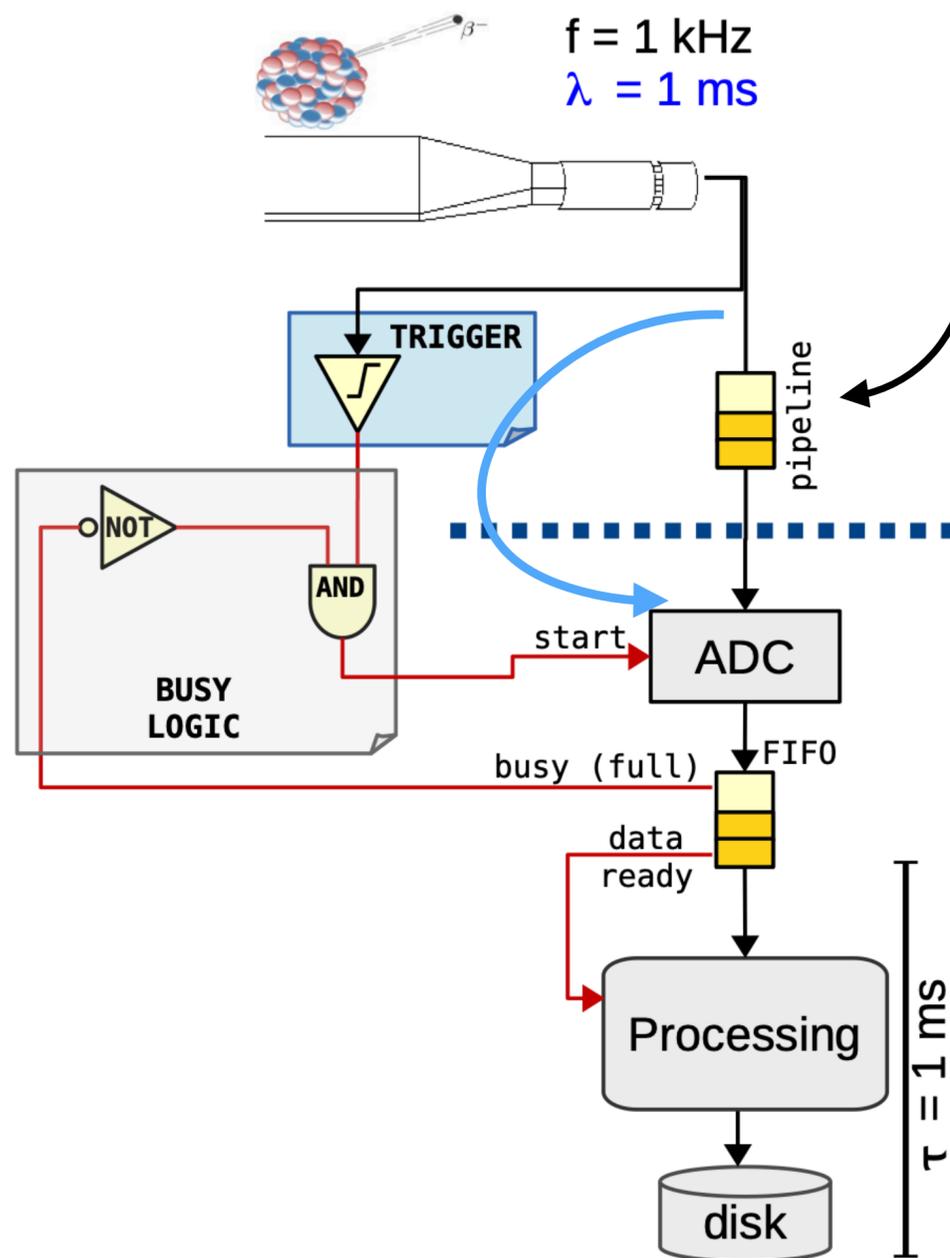
Input a 5 GSPS, output a 80 MSPS: i vecchi campionamenti vengono sovrascritti!

1024 campionamenti del DRS4



Triggerare uno switched capacitor array

Dalla presentazione di A.Negri

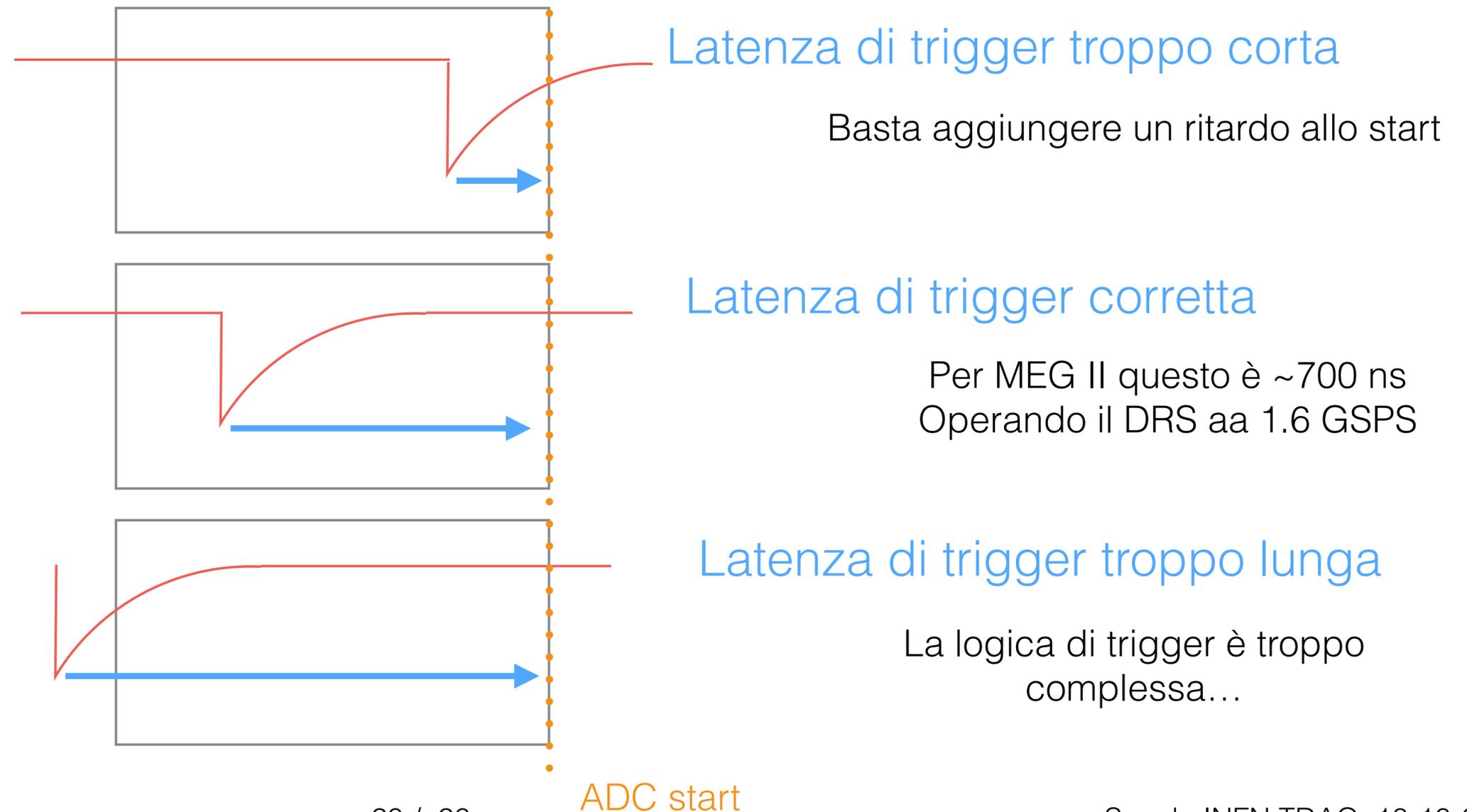


La **pipeline analogica** può essere uno switched capacitor array

NOTA: non c'è un busy!

Input a 5 GSPS, output a 80 MSPS: i vecchi campionamenti vengono sovrascritti!

1024 campionamenti del DRS4

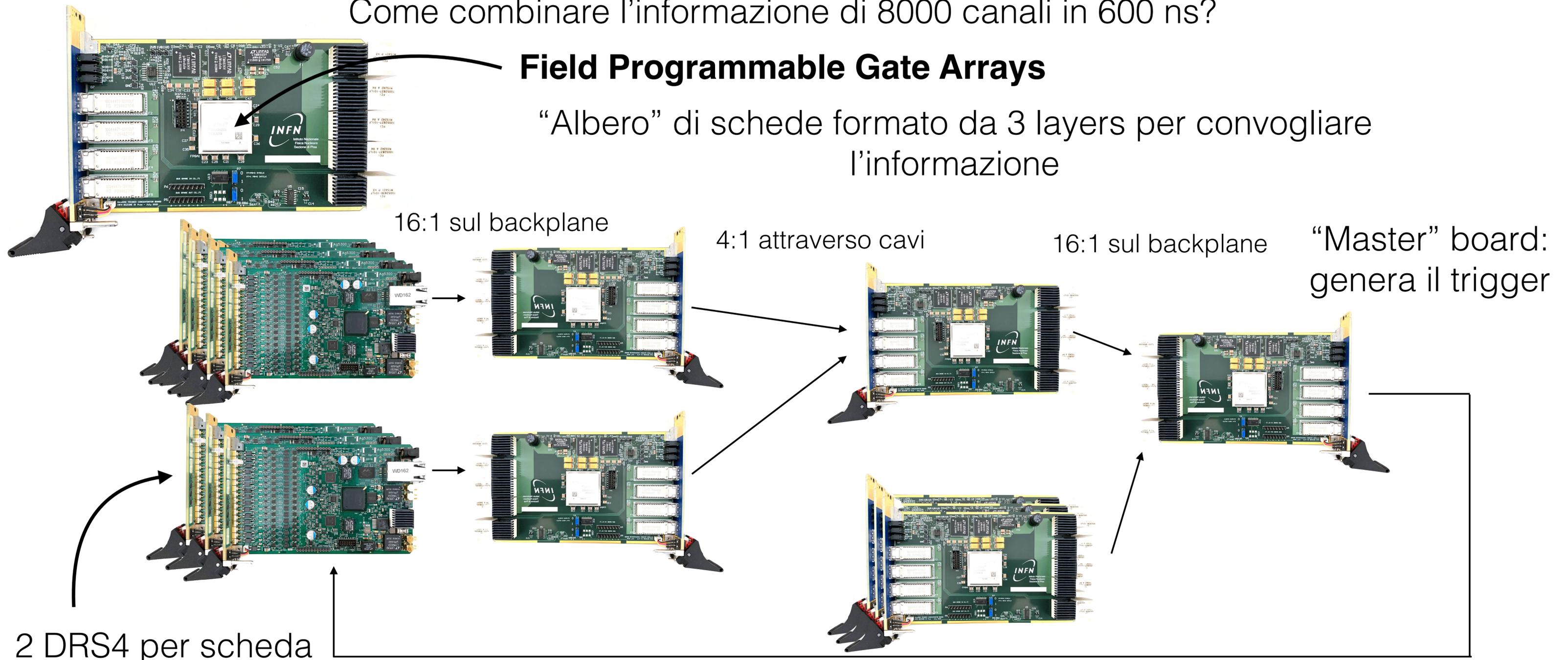


MEG II trigger system

Come combinare l'informazione di 8000 canali in 600 ns?

Field Programmable Gate Arrays

“Albero” di schede formato da 3 layers per convogliare l'informazione

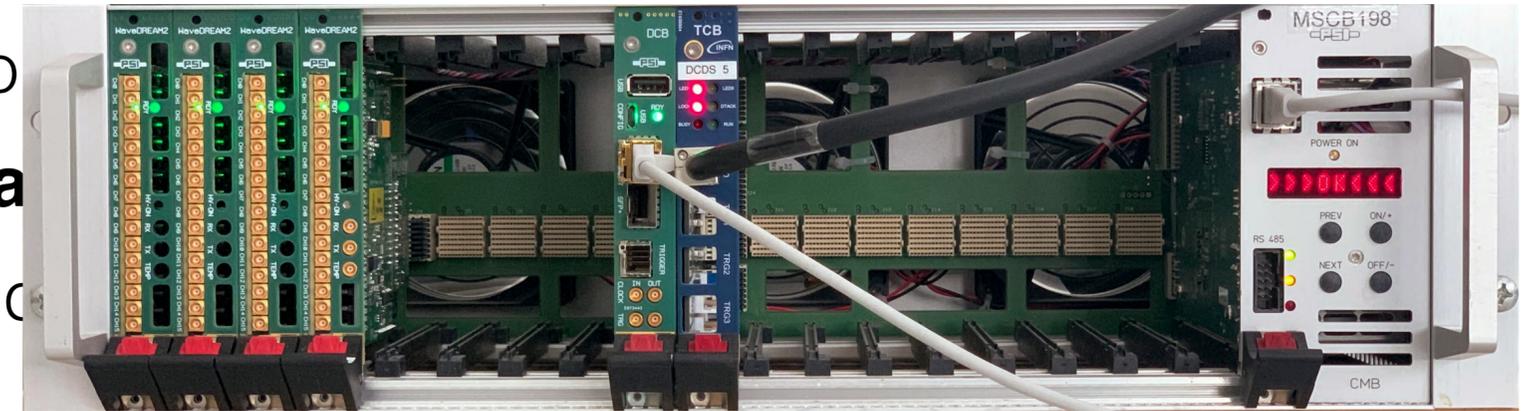


MEG II trigger system

Come combinare l'informazione

Field Programmable

“Albero” di schede

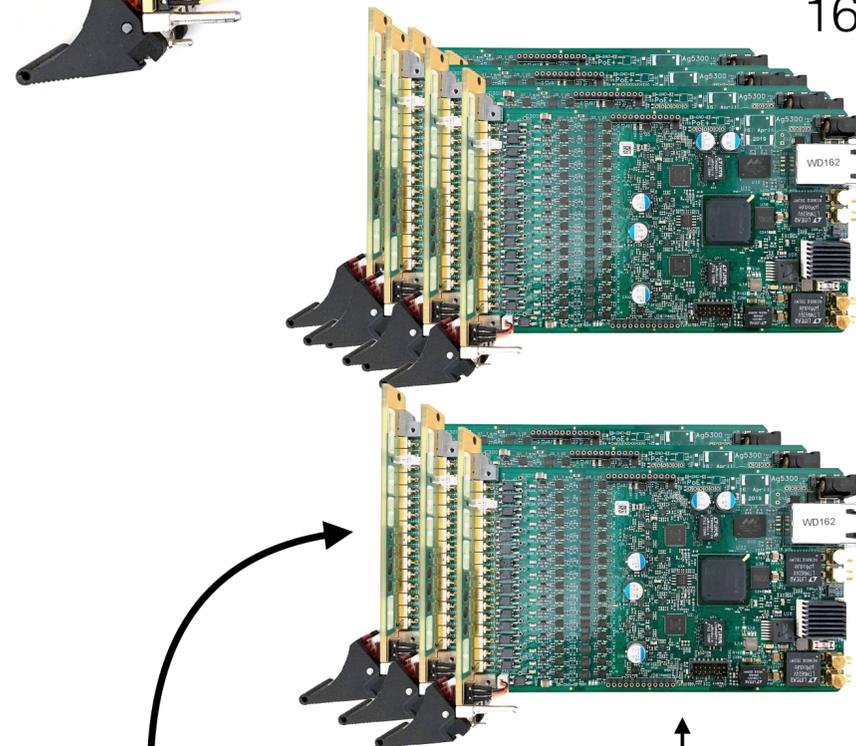


16:1 sul backplane

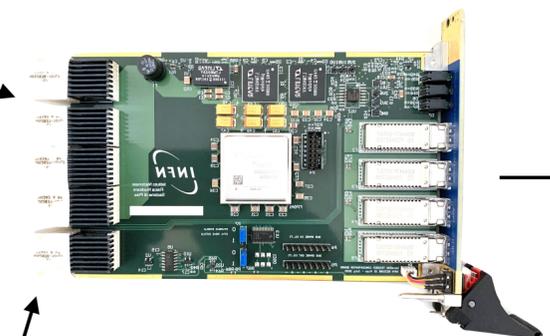
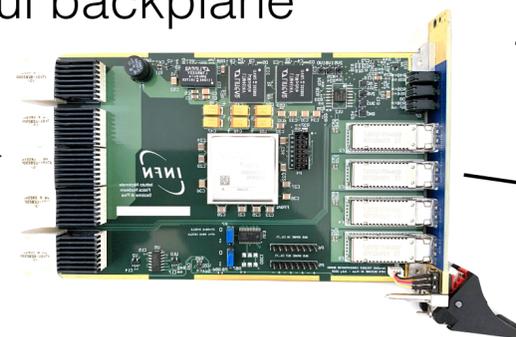
4:1 attraverso cavi

16:1 sul backplane

“Master” board:
genera il trigger



2 DRS4 per scheda

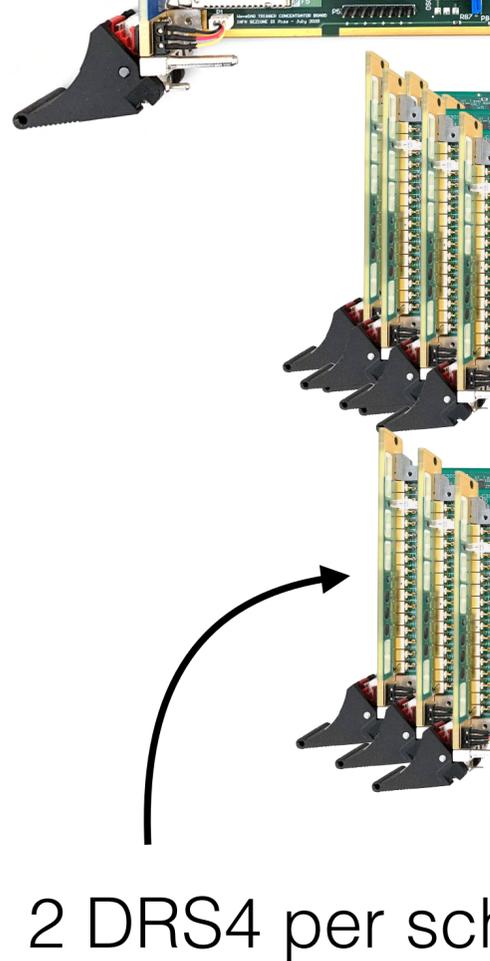
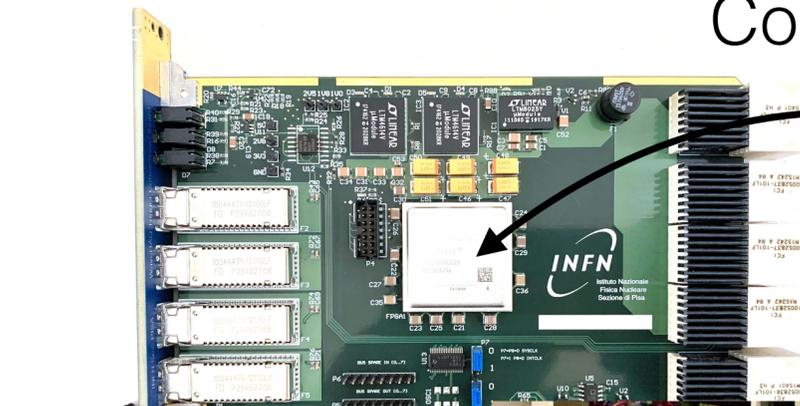
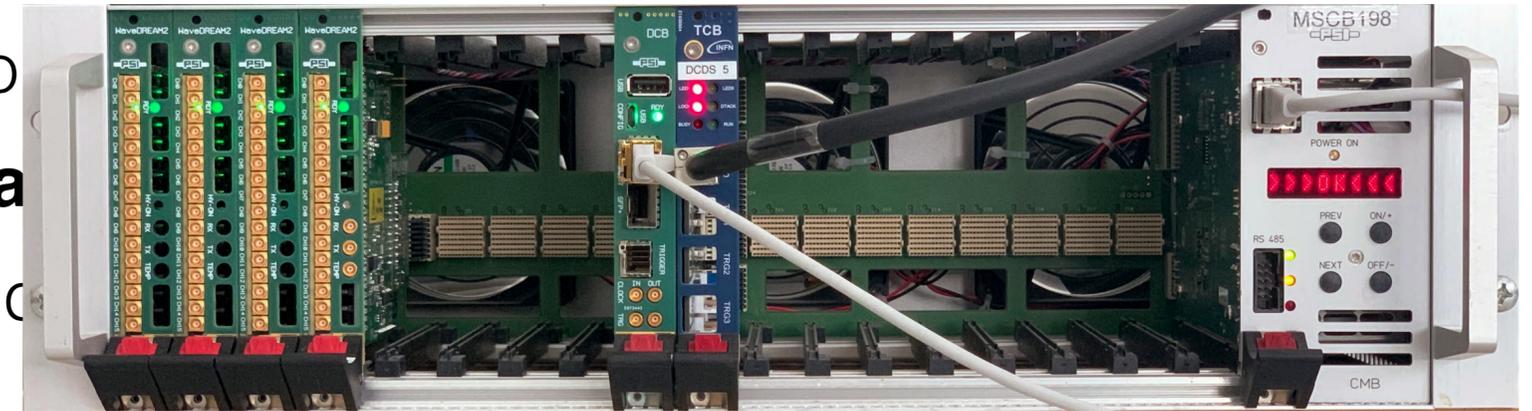


MEG II trigger system

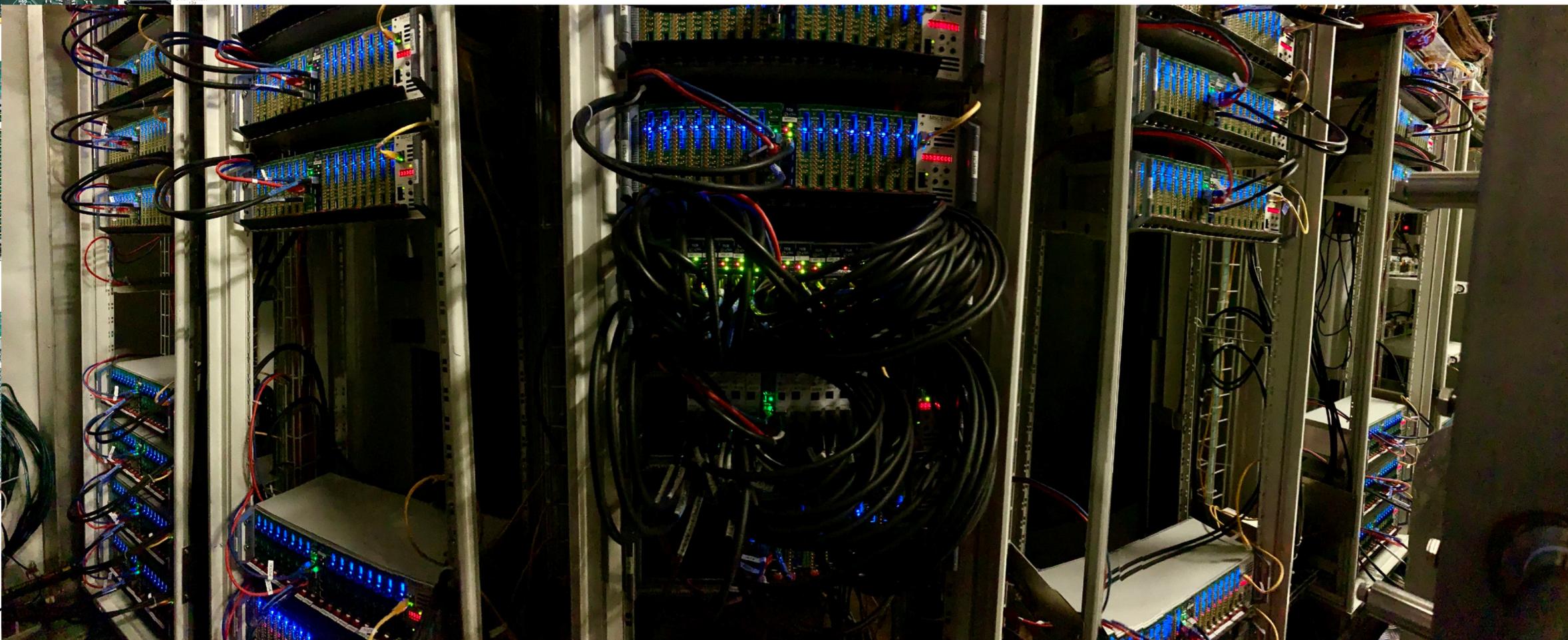
Come combinare l'informazione

Field Programmable

“Albero” di schede



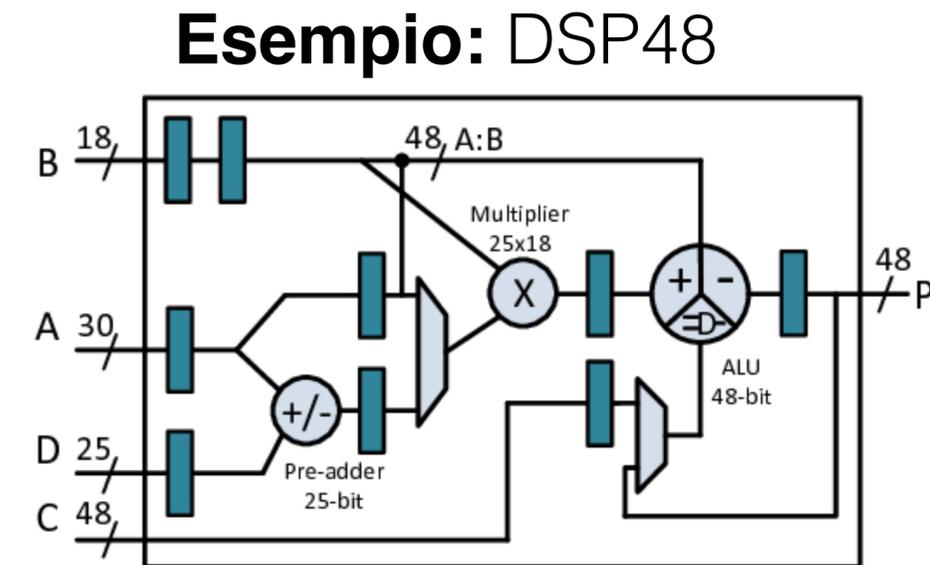
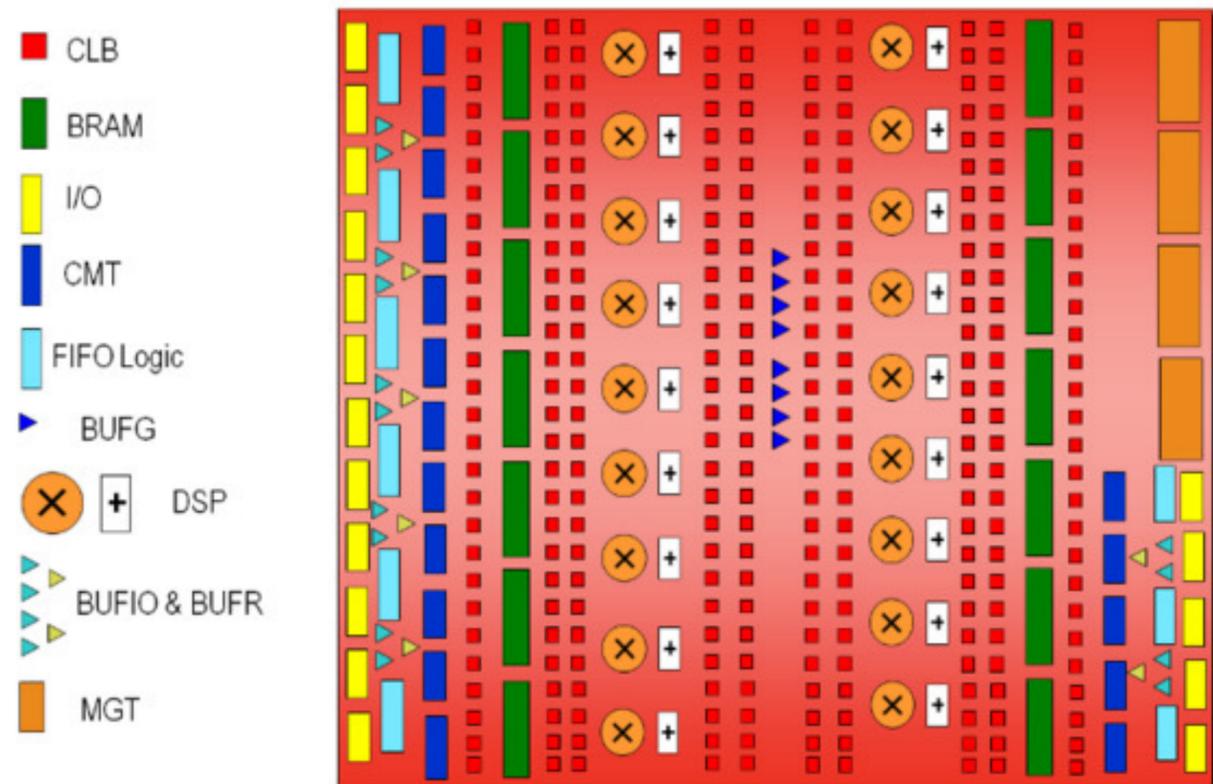
2 DRS4 per scheda



“er” board:
a il trigger

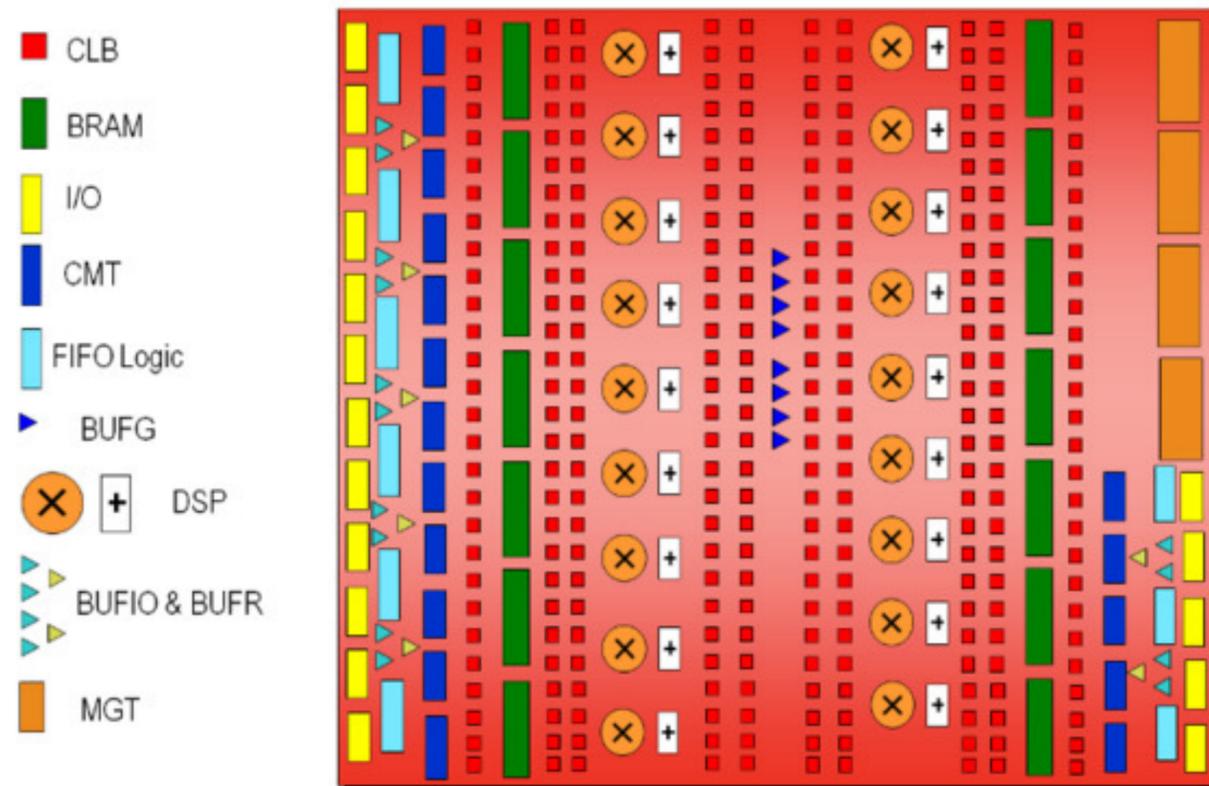
Obiettivo Latenza

Ogni ciclo di clock è prezioso: cercare di ottenere il massimo dal dispositivo

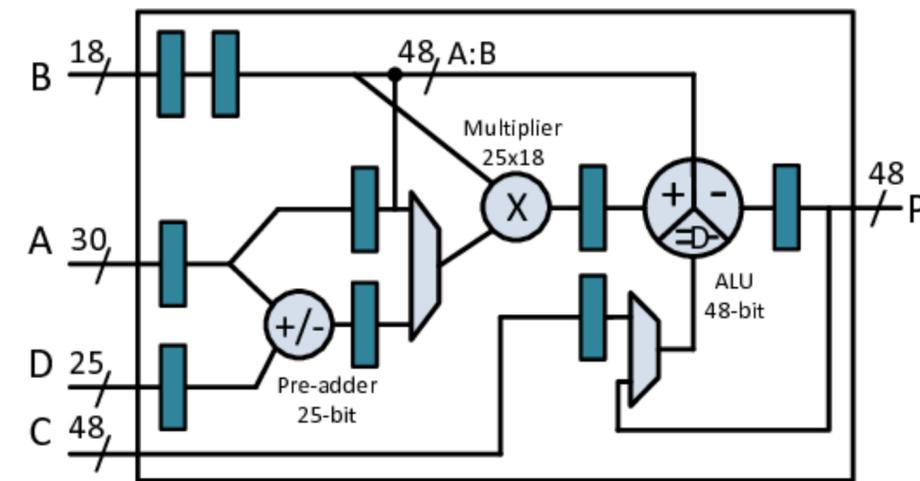


Obiettivo Latenza

Ogni ciclo di clock è prezioso: cercare di ottenere il massimo dal dispositivo



Esempio: DSP48

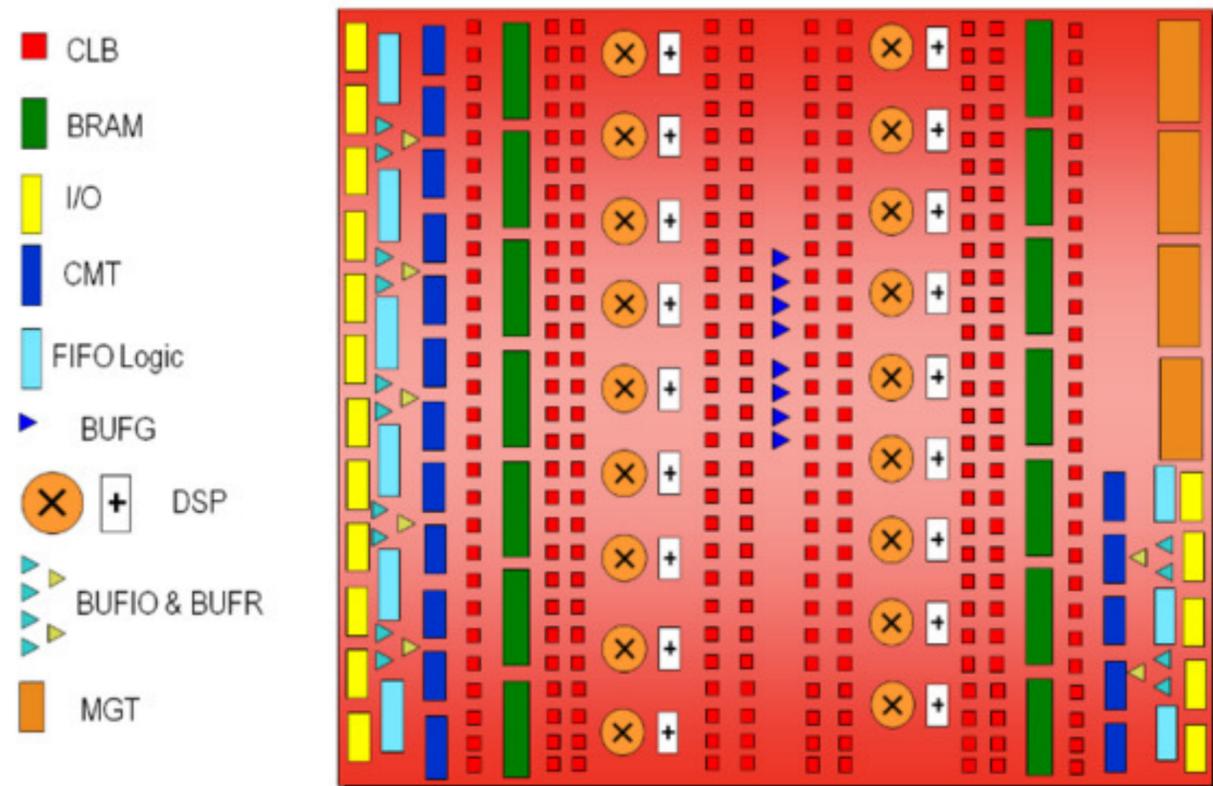


Usati per implementare la calibrazione dei canali

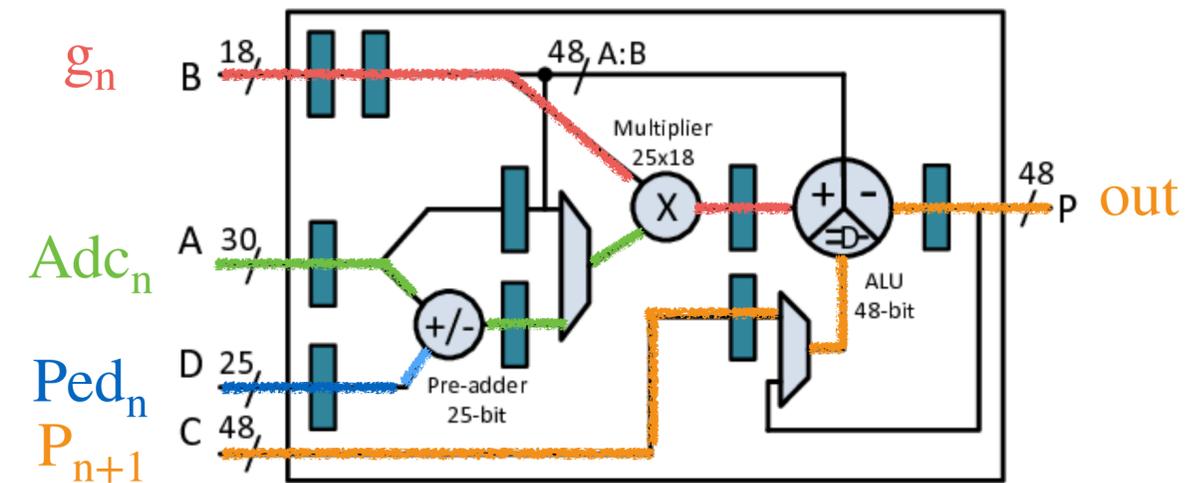
$$g_n \times (A_{dc_n} - P_{ed_n}) + g_{n+1} \times (A_{dc_{n+1}} - P_{ed_{n+1}})$$

Obiettivo Latenza

Ogni ciclo di clock è prezioso: cercare di ottenere il massimo dal dispositivo



Esempio: DSP48

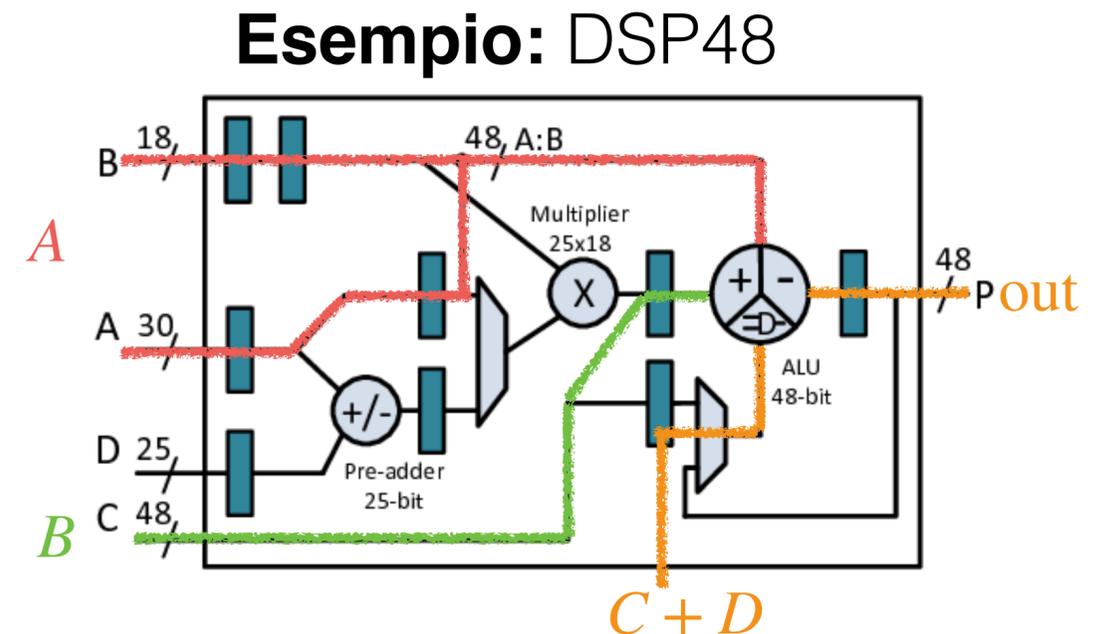
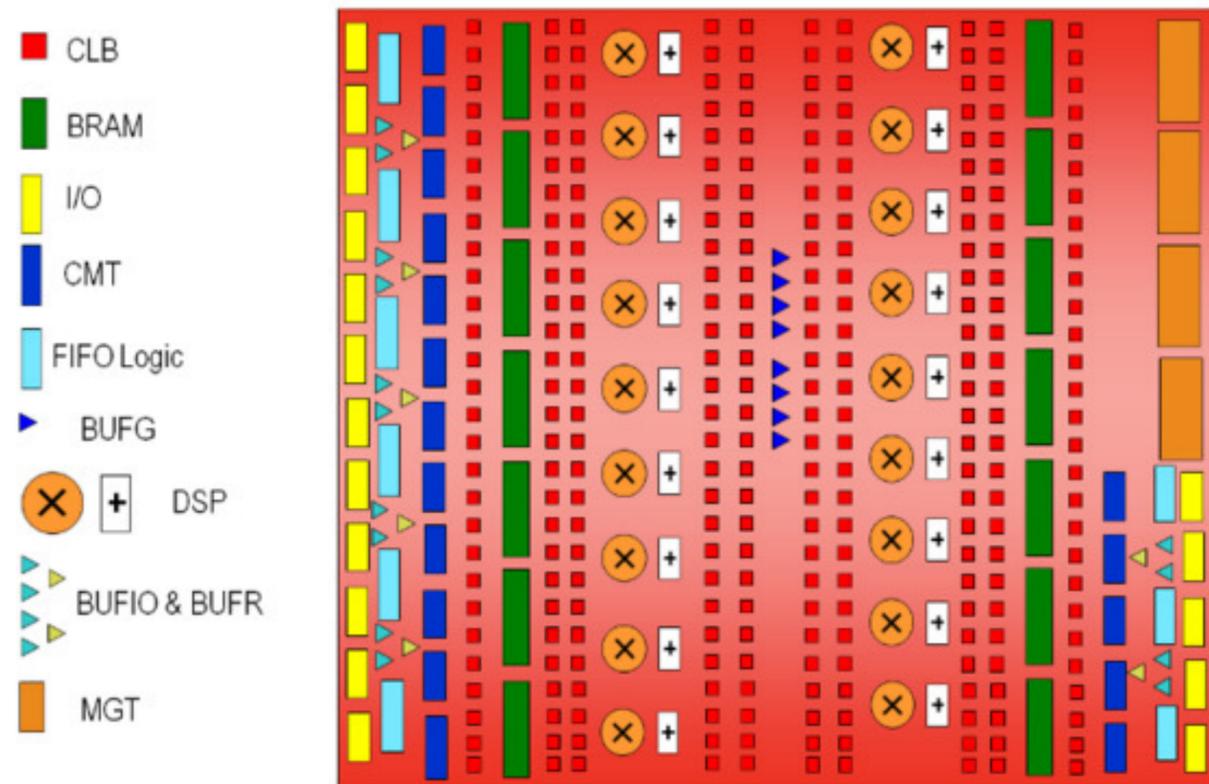


Usati per implementare la calibrazione dei canali

$$g_n \times (Adc_n - Ped_n) + g_{n+1} \times (Adc_{n+1} - Ped_{n+1})$$

Obiettivo Latenza

Ogni ciclo di clock è prezioso: cercare di ottenere il massimo dal dispositivo



Usati per implementare la calibrazione dei canali

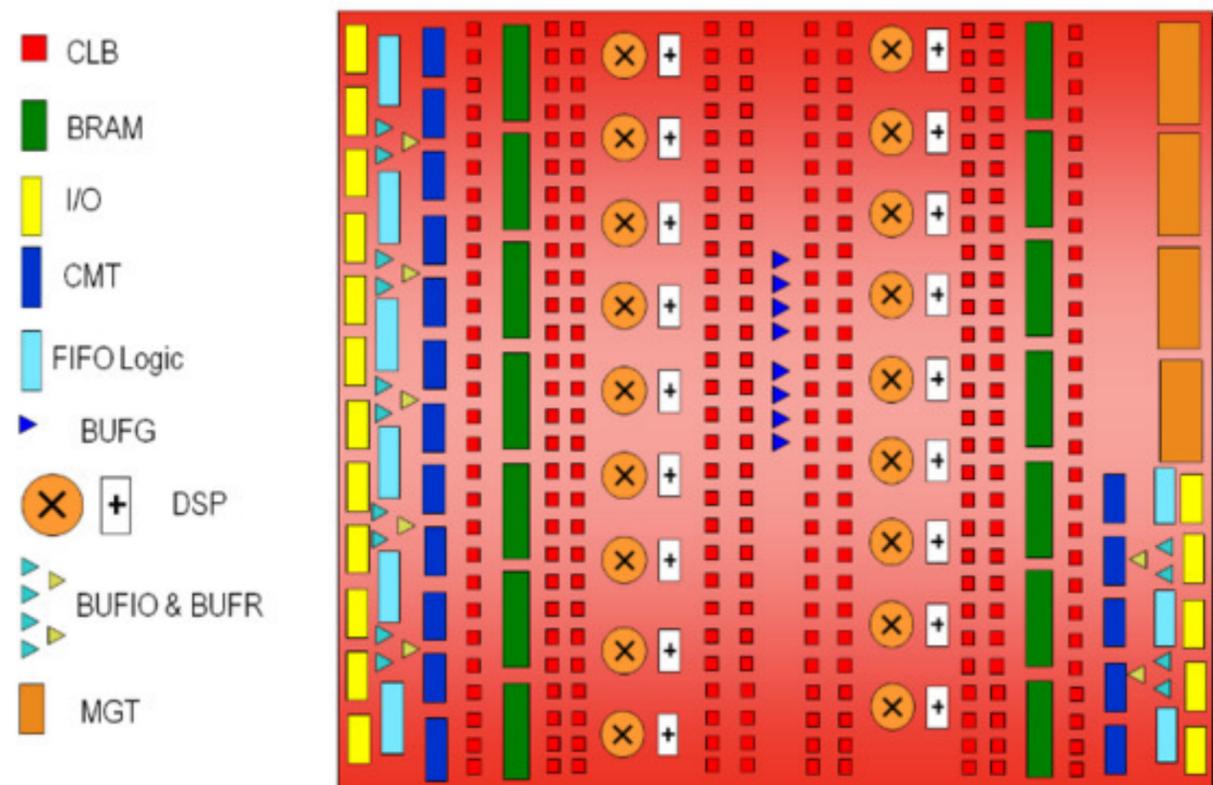
$$g_n \times (A_{dc_n} - P_{ed_n}) + g_{n+1} \times (A_{dc_{n+1}} - P_{ed_{n+1}})$$

Per un sommatore di 4 parole a 48 bit (PCOUT - PCIN)

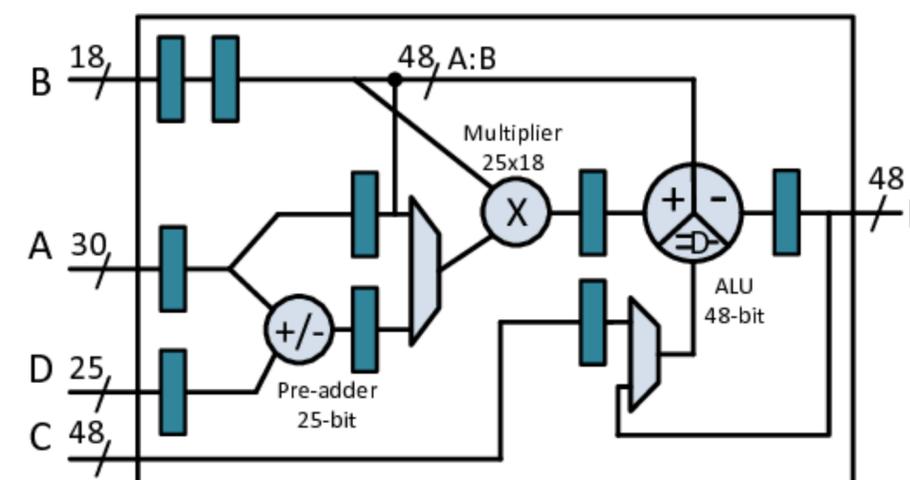
$$A + B + C + D$$

Obiettivo Latenza

Ogni ciclo di clock è prezioso: cercare di ottenere il massimo dal dispositivo



Esempio: DSP48



Usati per implementare la calibrazione dei canali

$$g_n \times (A_{dc_n} - P_{ed_n}) + g_{n+1} \times (A_{dc_{n+1}} - P_{ed_{n+1}})$$

Per un sommatore di 4 parole a 48 bit (PCOUT - PCIN)

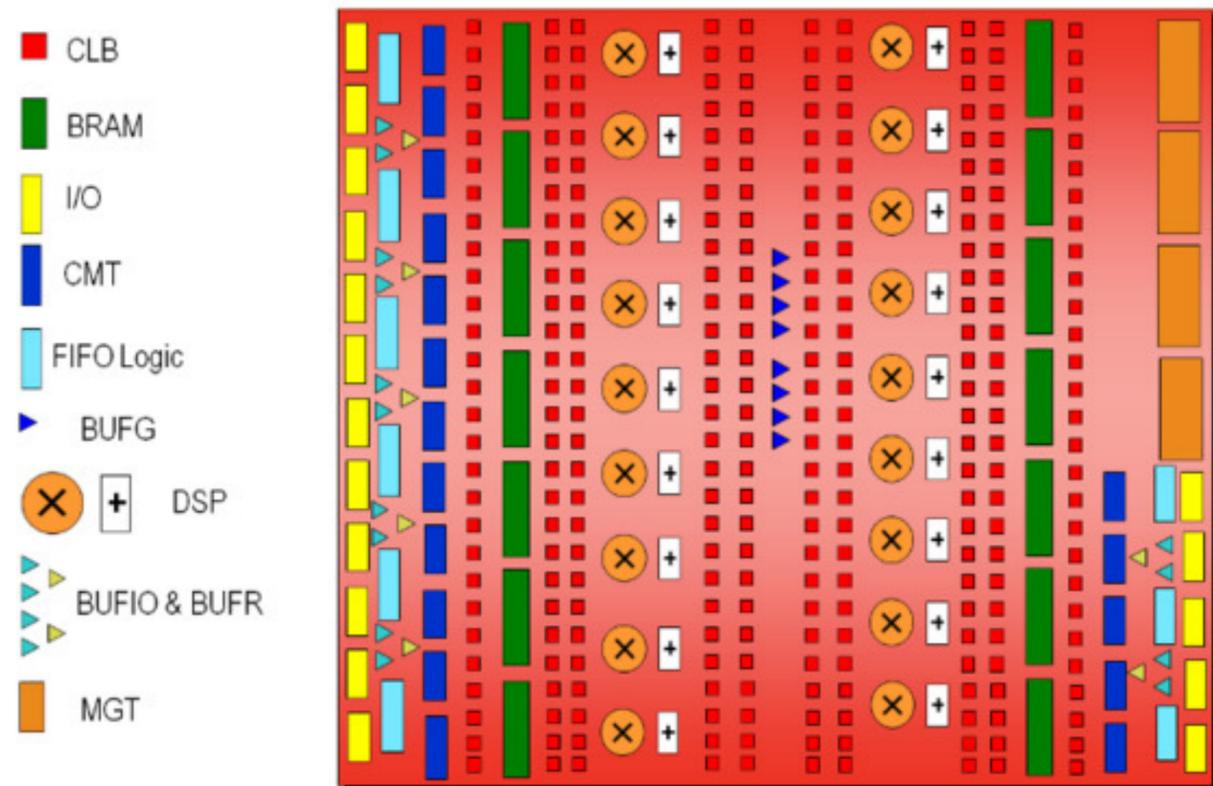
$$A + B + C + D$$

Per fare una taglio su un rapporto

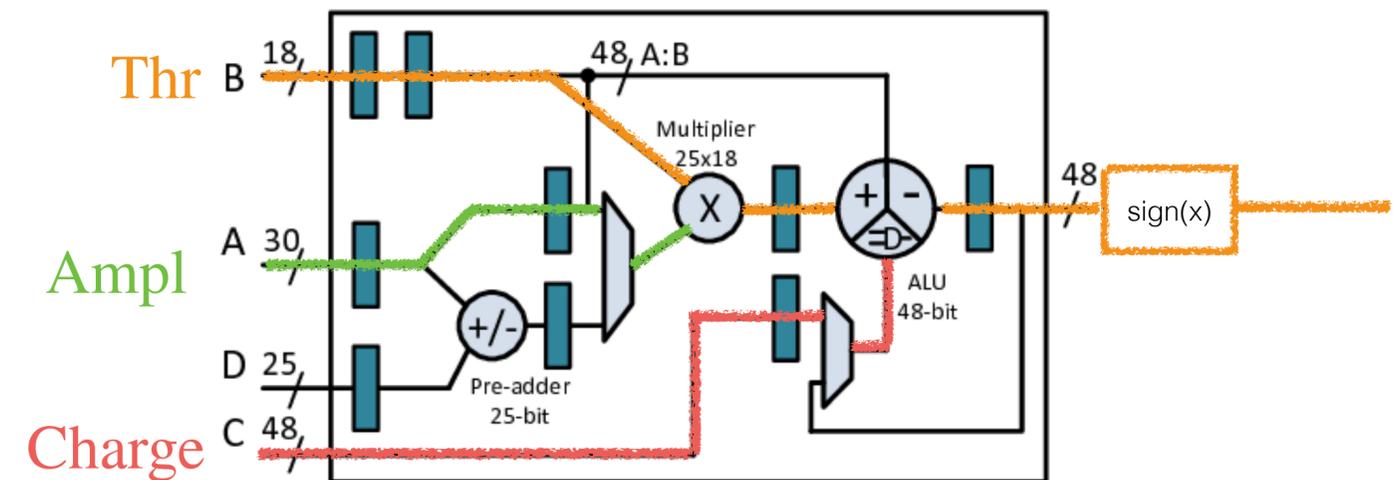
$$\frac{\text{Charge}}{\text{Ampl}} > \text{Thr}$$

Obiettivo Latenza

Ogni ciclo di clock è prezioso: cercare di ottenere il massimo dal dispositivo



Esempio: DSP48



Usati per implementare la calibrazione dei canali

$$g_n \times (A_{dc_n} - P_{ed_n}) + g_{n+1} \times (A_{dc_{n+1}} - P_{ed_{n+1}})$$

Per un sommatore di 4 parole a 48 bit (PCOUT - PCIN)

$$A + B + C + D$$

Per fare una taglio su un rapporto

$$\frac{\text{Charge}}{\text{Ampl}} > \text{Thr} \rightarrow \text{Charge} - \text{Ampl} \times \text{Thr} > 0$$

Uso minore di risorse
Tempo di calcolo inferiore

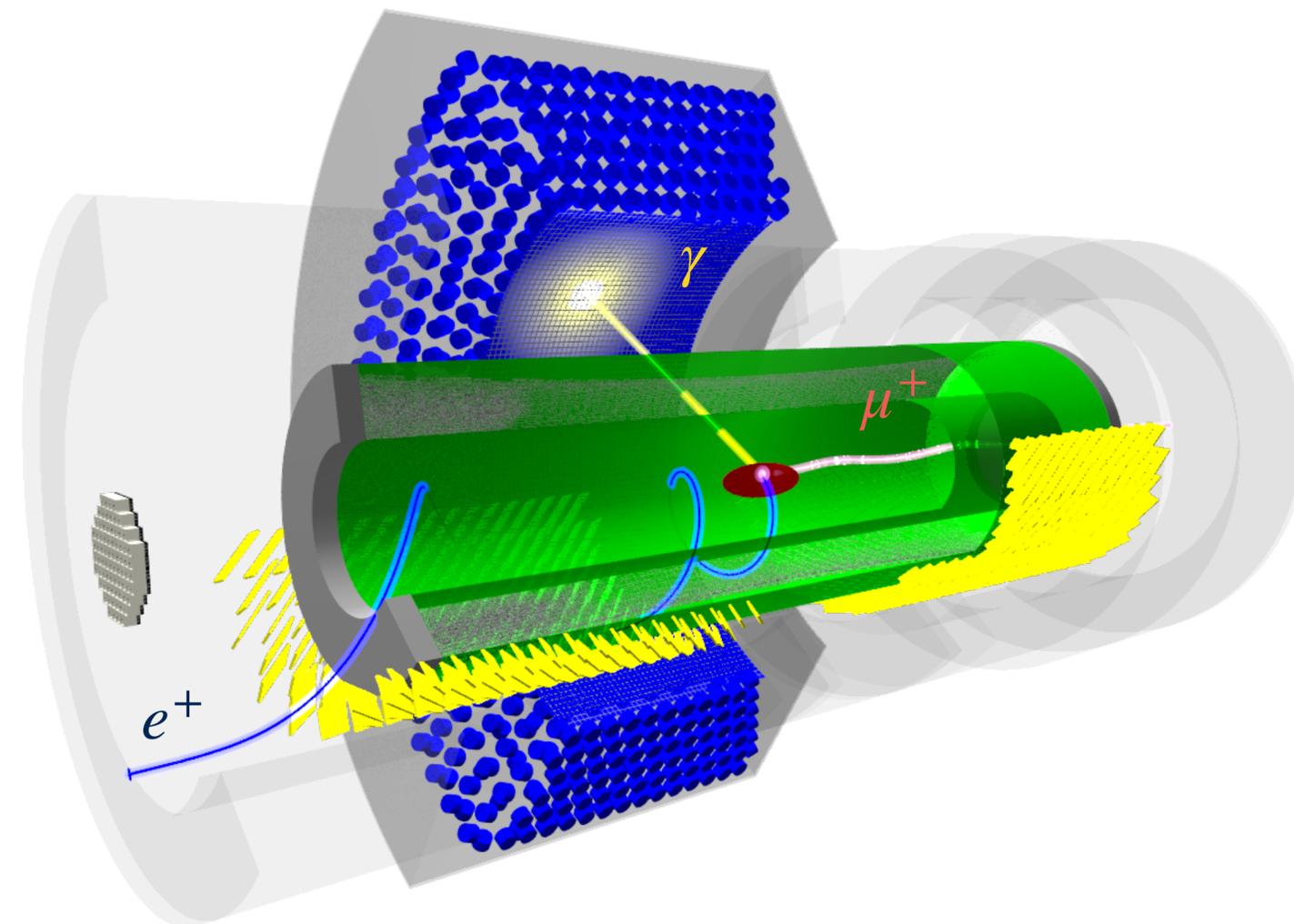


Latenza minore!

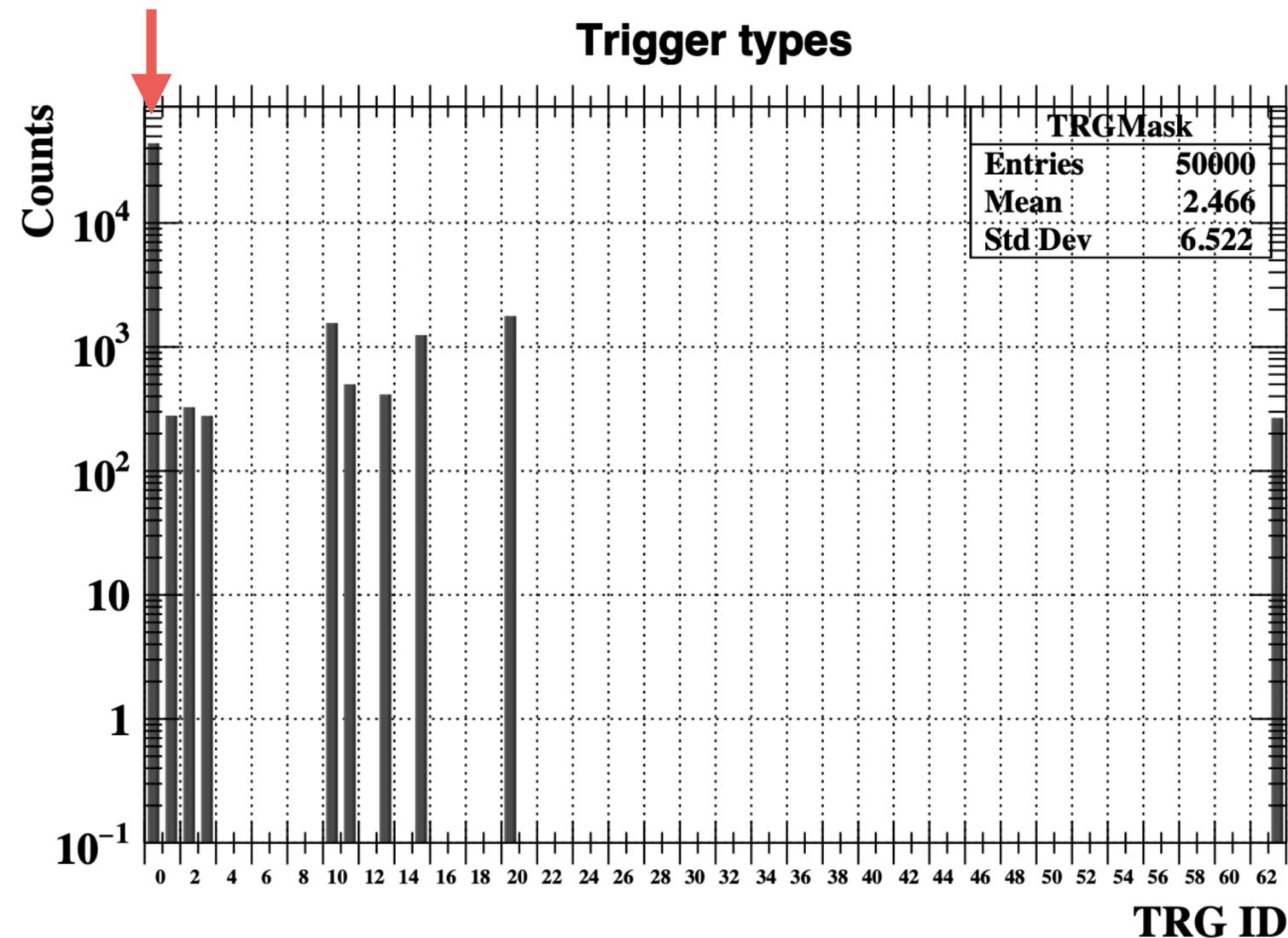
Condizioni di trigger di MEG II

Il decadimento $\mu^+ \rightarrow e^+ \gamma$:

1. Monocromatico
 - Taglio su $E_\gamma = \sum_i \alpha_i V_i$
 - Taglio su E_e non possibile perchè fit di traccia chiederebbe troppa latenza
2. Coincidente temporalmente:
 - Taglio su $T_{e\gamma} = t_{LXe} - t_{TC}$
3. Direzione opposta
 - Stima di $\Theta_{e\gamma} = LUT(LXe, TC)$ basata su eventi simulati



E come si misura l'efficienza?

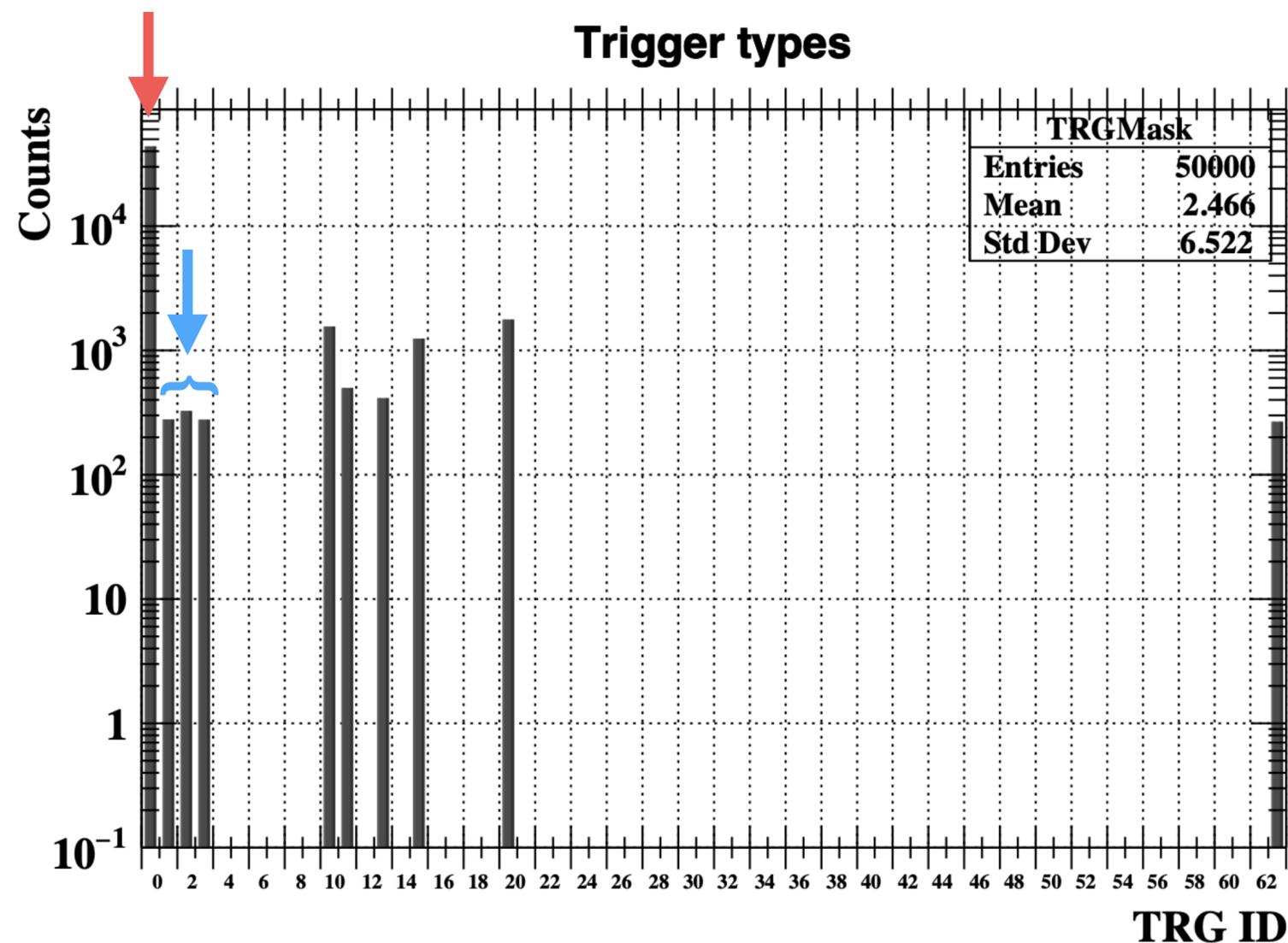


Non si registra mai un solo tipo di trigger

Trigger #0: trigger di fisica

Tutti gli eventi di questo tipo sono registrati

E come si misura l'efficienza?



Non si registra mai un solo tipo di trigger

Trigger #0: trigger di fisica

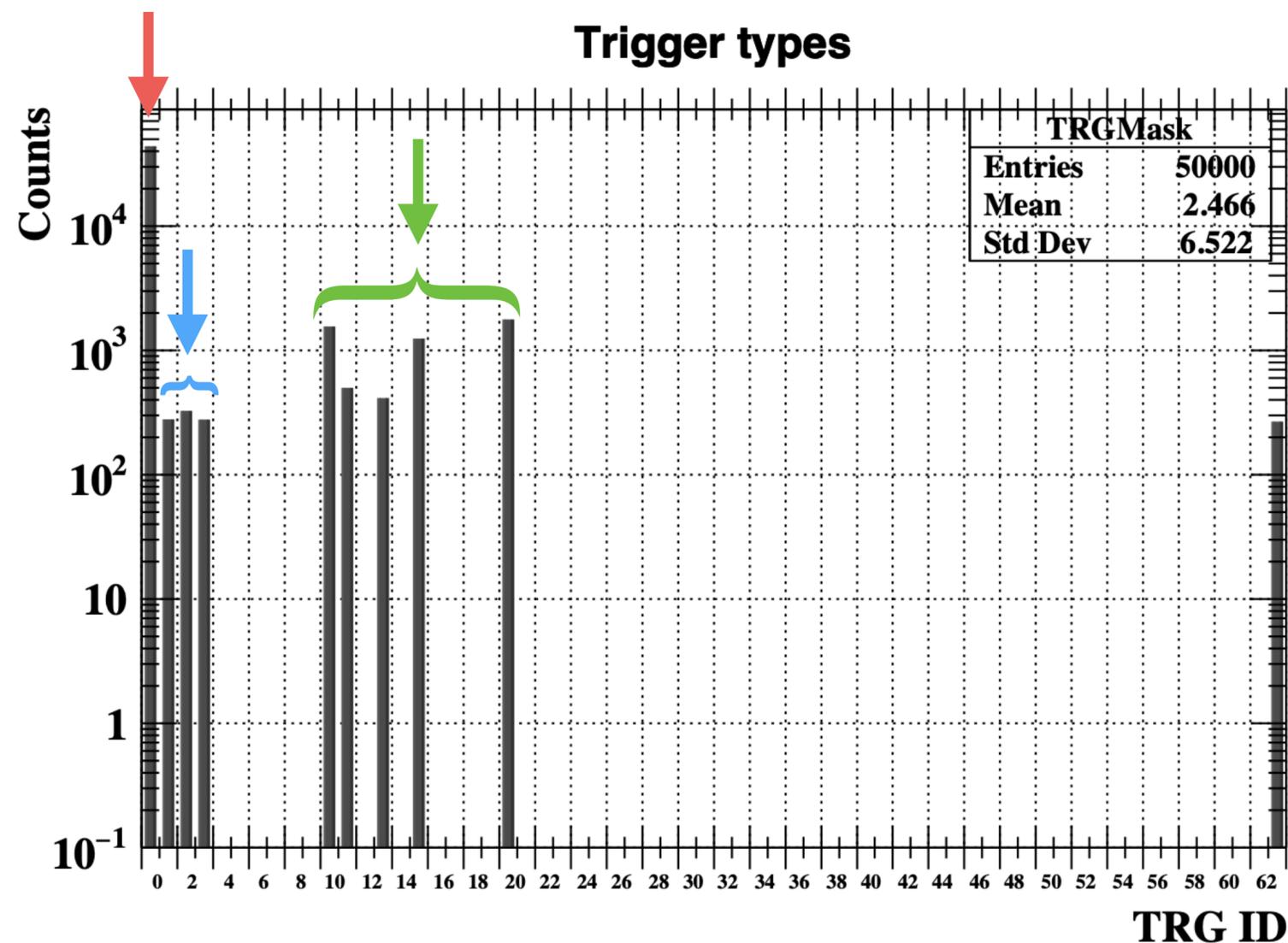
Tutti gli eventi di questo tipo sono registrati

Trigger #1-#3: trigger di controllo

Singole condizioni di trigger rilasciate

Rate maggiore: solo $\sim 1/50$ degli eventi raccolti

E come si misura l'efficienza?



Non si registra mai un solo tipo di trigger

Trigger #0: trigger di fisica

Tutti gli eventi di questo tipo sono registrati

Trigger #1-#3: trigger di controllo

Singole condizioni di trigger rilasciate

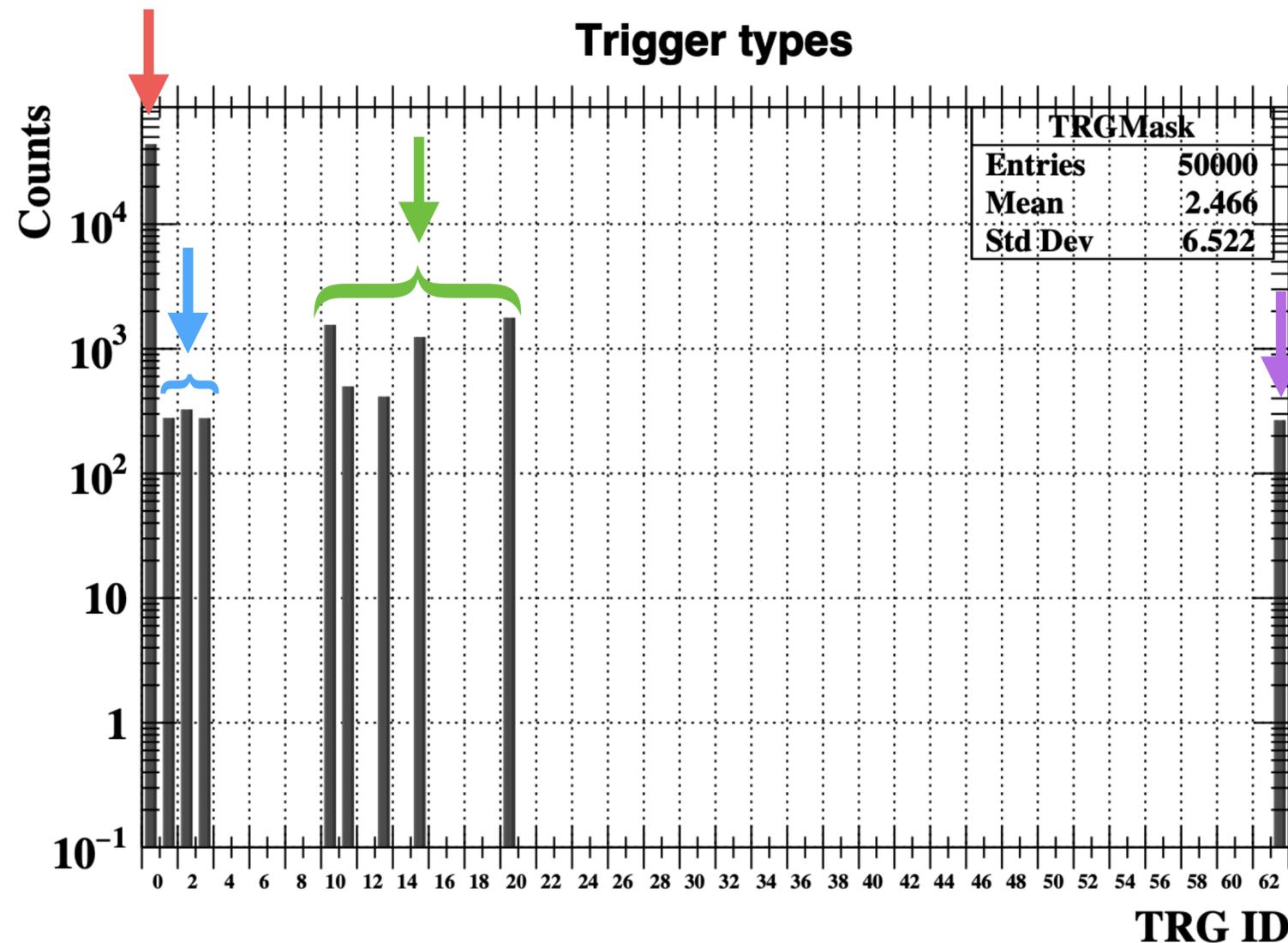
Rate maggiore: solo $\sim 1/50$ degli eventi raccolti

Trigger #1x-#2x: trigger di singolo rivelatore

Trigger su singolo rivelatore per calibrazione e monitoraggio della ricostruzione online e offline

Piccolissima frazione di eventi raccolta, da 10^{-3} a 10^{-7}

E come si misura l'efficienza?



Non si registra mai un solo tipo di trigger

Trigger #0: trigger di fisica

Tutti gli eventi di questo tipo sono registrati

Trigger #1-#3: trigger di controllo

Singole condizioni di trigger rilasciate

Rate maggiore: solo $\sim 1/50$ degli eventi raccolti

Trigger #1x-#2x: trigger di singolo rivelatore

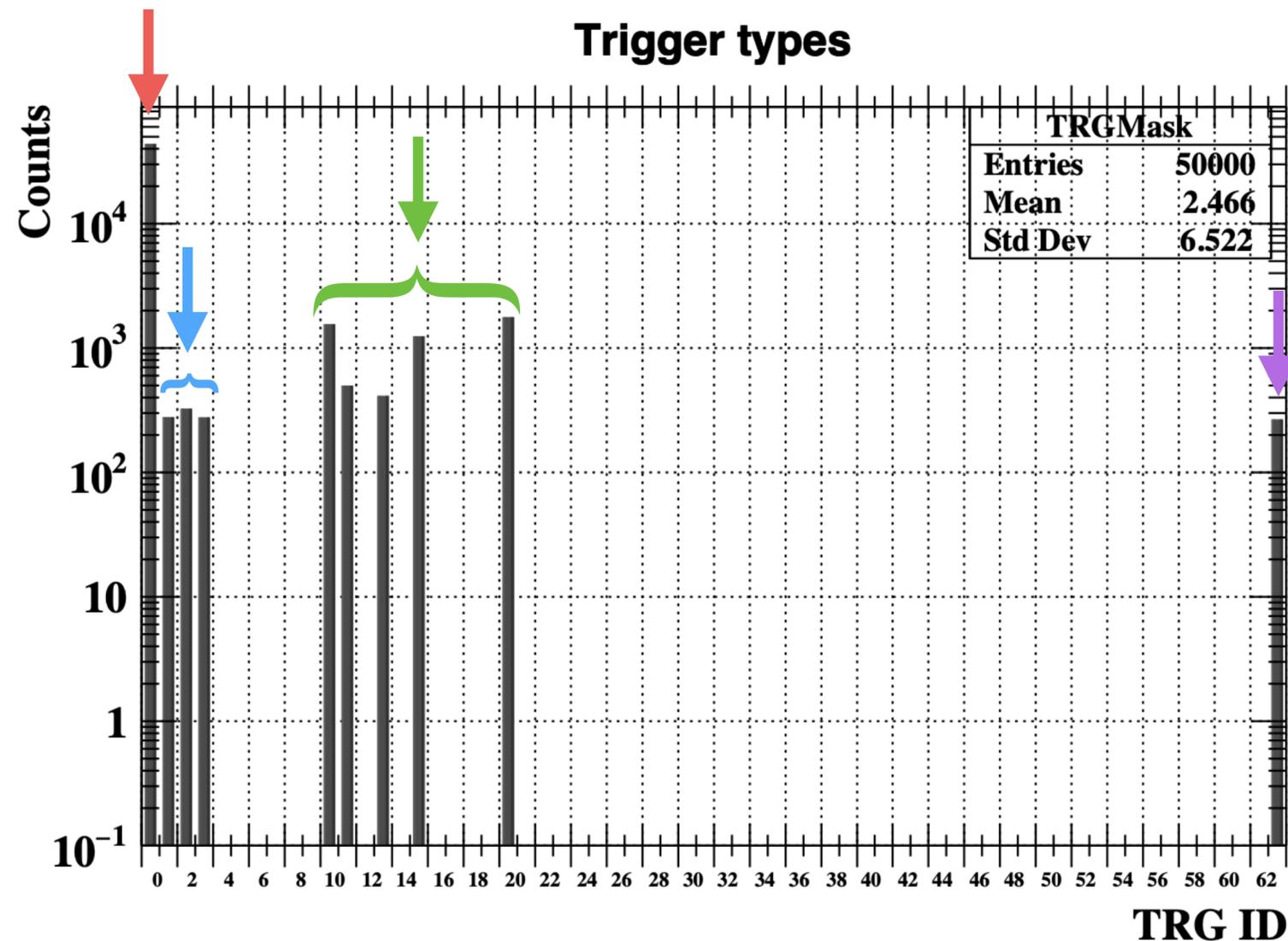
Trigger su singolo rivelatore per calibrazione e monitoraggio della ricostruzione online e offline

Piccolissima frazione di eventi raccolta, da 10^{-3} a 10^{-7}

Trigger #63: piedistallo

Trigger casuale per studio del pileup

E come si misura l'efficienza?



Non si registra mai un solo tipo di trigger

Trigger #0: trigger di fisica

Tutti gli eventi di questo tipo sono registrati

Trigger #1-#3: trigger di controllo

Singole condizioni di trigger rilasciate

Rate maggiore: solo $\sim 1/50$ degli eventi raccolti

Trigger #1x-#2x: trigger di singolo rivelatore

Trigger su singolo rivelatore per calibrazione e monitoraggio della ricostruzione online e offline

Piccolissima frazione di eventi raccolta, da 10^{-3} a 10^{-7}

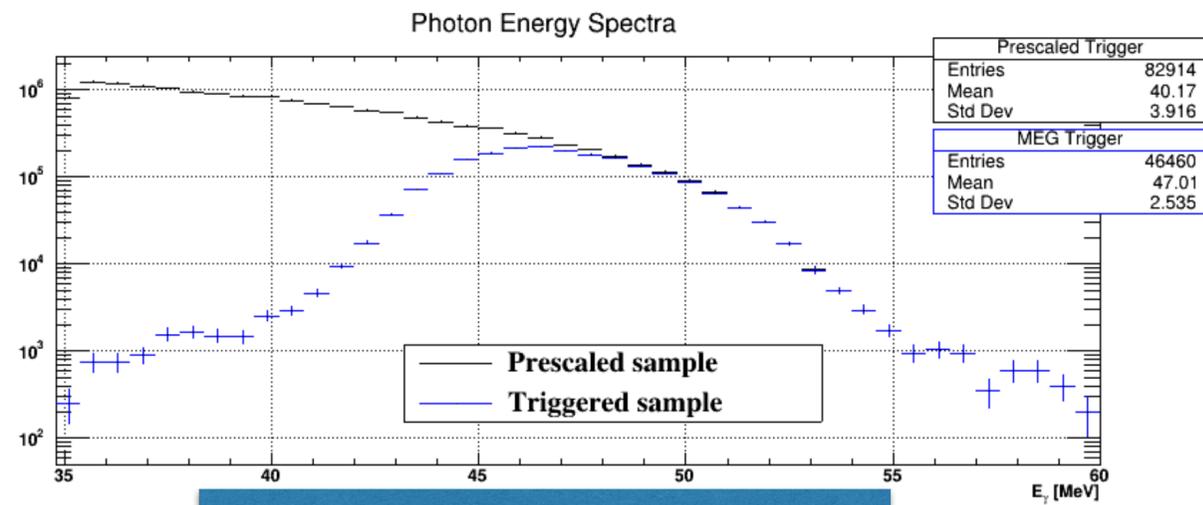
Trigger #63: piedistallo

Trigger casuale per studio del pileup

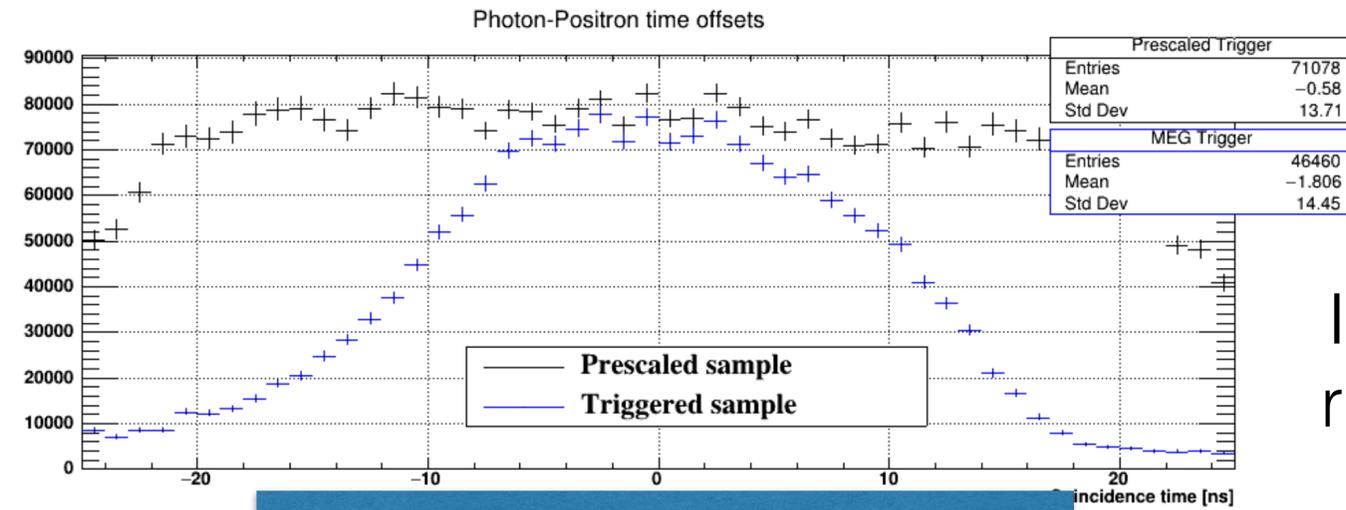
Limite inferiore è nato dal rate trigger di fisica

Limite superiore è dato dalla performance del DAQ

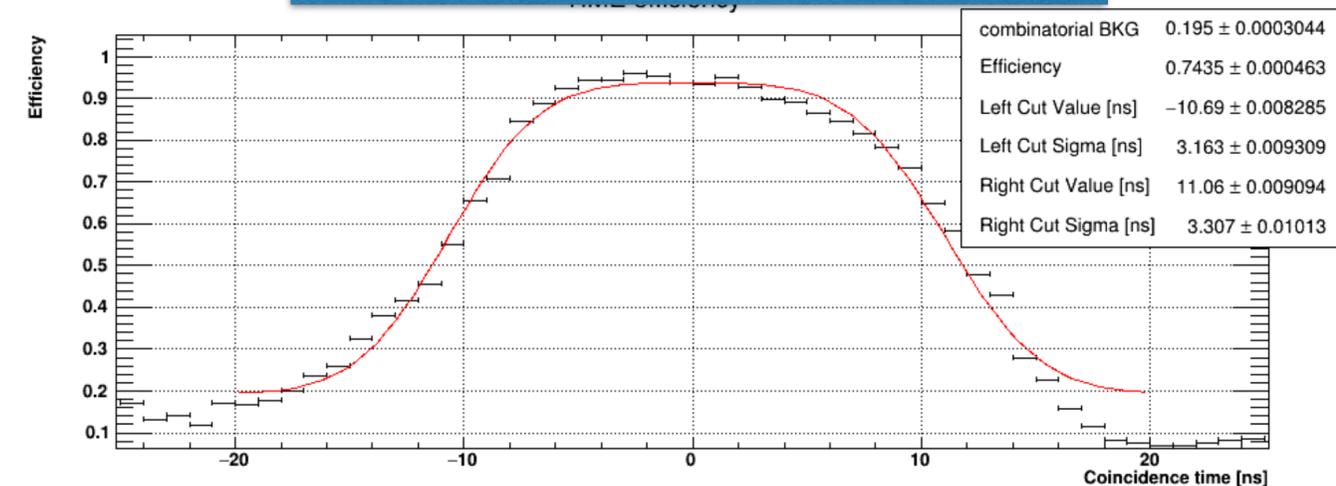
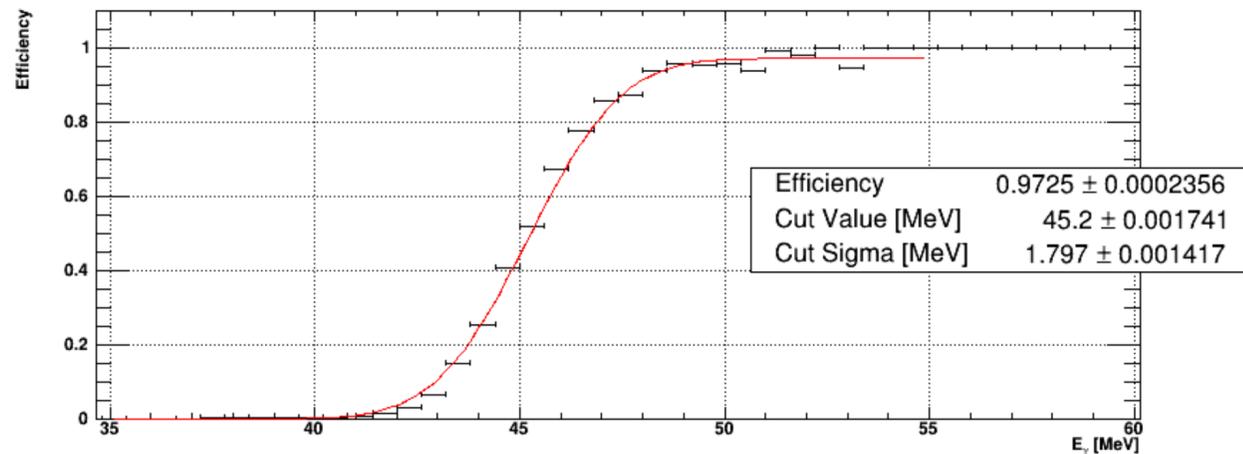
Il ruolo dei trigger di controllo



Taglio in energia del fotone



Taglio in tempo fotone-positrone



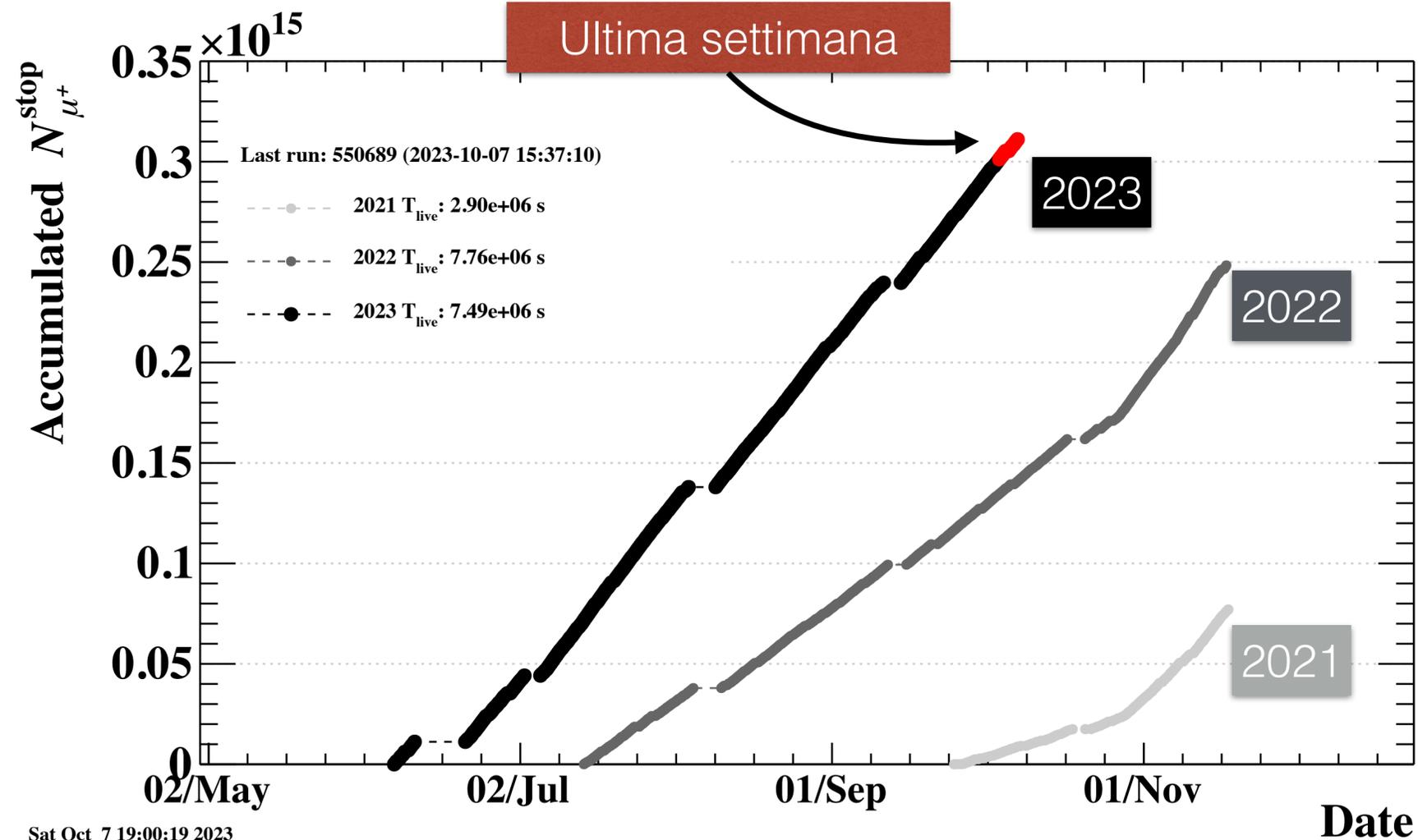
In blu gli eventi ricostruiti offline per il trigger di fisica
 Nero gli eventi del trigger di controllo dove quel taglio è rilasciato

Modello “data driven” del fondo atteso
 Il loro **rapporto** da una stima dell’efficienza di trigger

In questo dataset si notano alcune inefficienze che sono state corrette in un firmware successivo

Conclusione

La presa dati dei MEG II è attualmente in corso, termine atteso a fine 2026



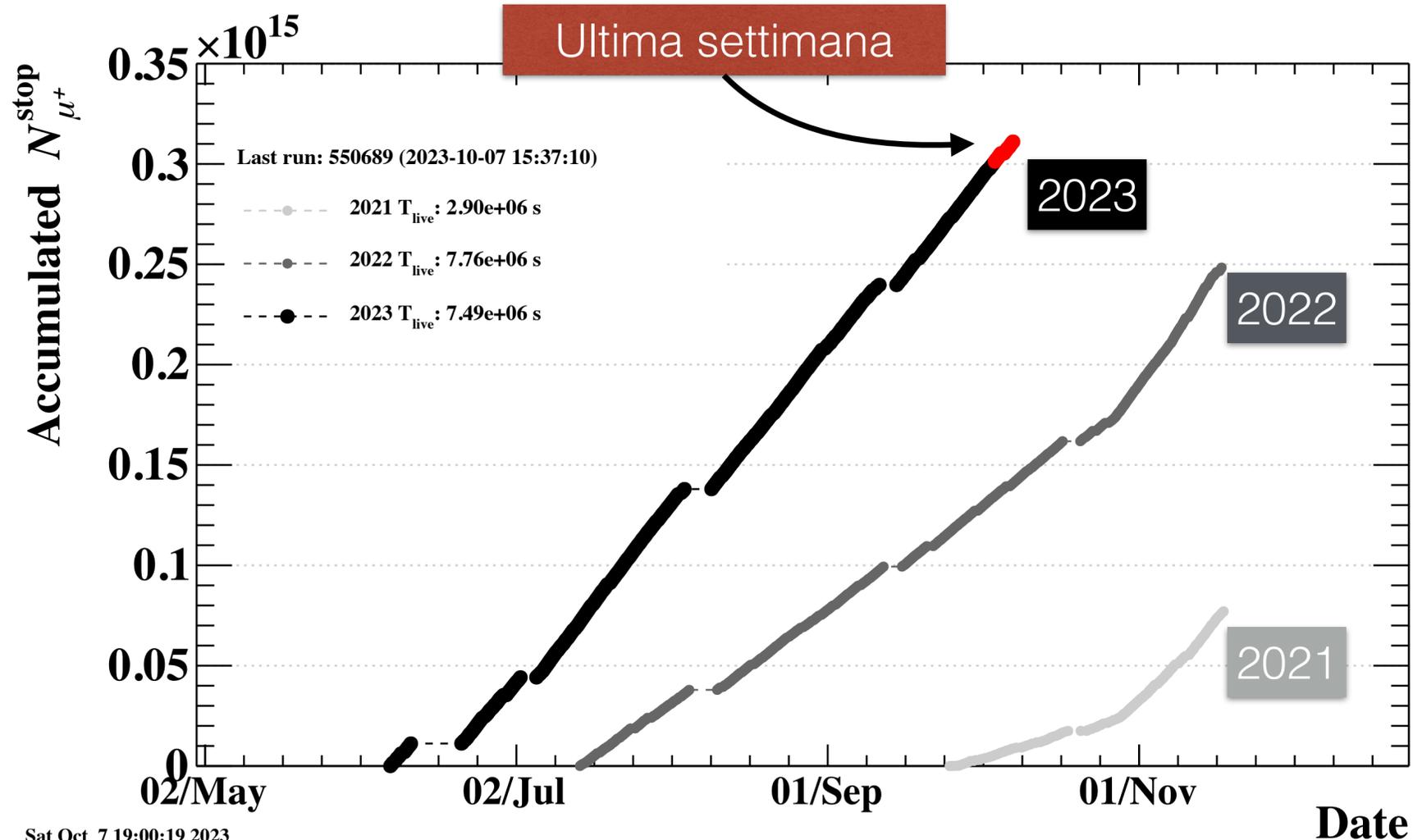
Sempre più statistica accumulata negli anni

Risultato dell'analisi del 2021 a breve

(seminario il 20 Ottobre)
Sensitivity 2021: $8.8 \cdot 10^{-13}$
Goal finale: $6 \cdot 10^{-14}$

Conclusione

La presa dati dei MEG II è attualmente in corso, termine atteso a fine 2026



Primo risultato del nuovo apparato!
Incluso del nuovo sistema di TDAQ...

Sempre più statistica accumulata negli anni

Risultato dell'analisi del 2021 a breve

(seminario il 20 Ottobre)

Sensitivity 2021: $8.8 \cdot 10^{-13}$

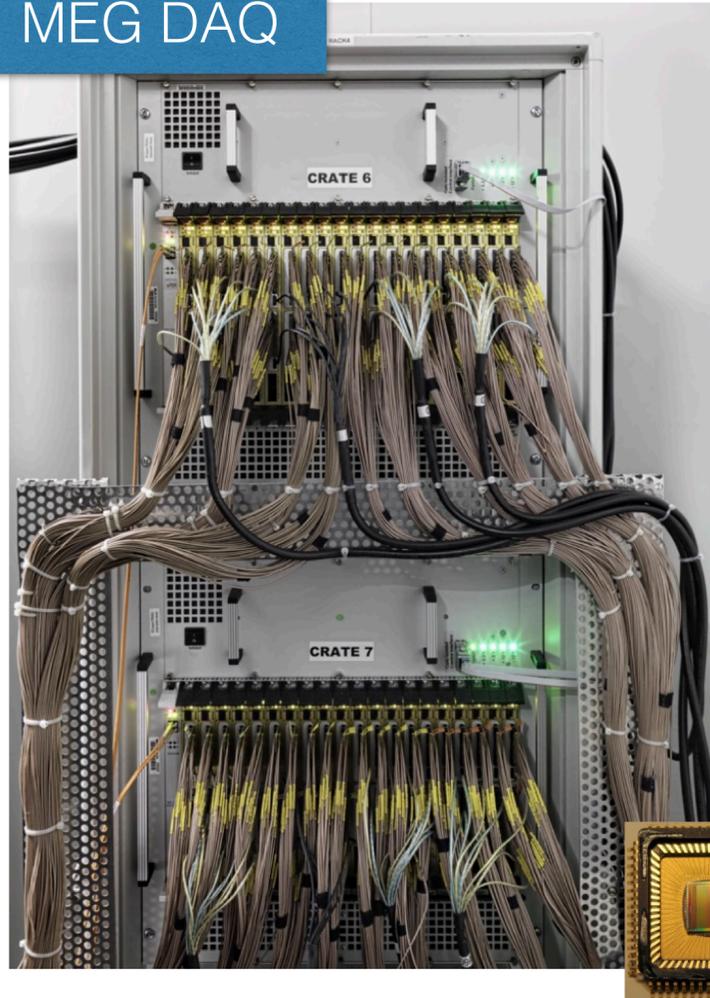
Goal finale: $6 \cdot 10^{-14}$



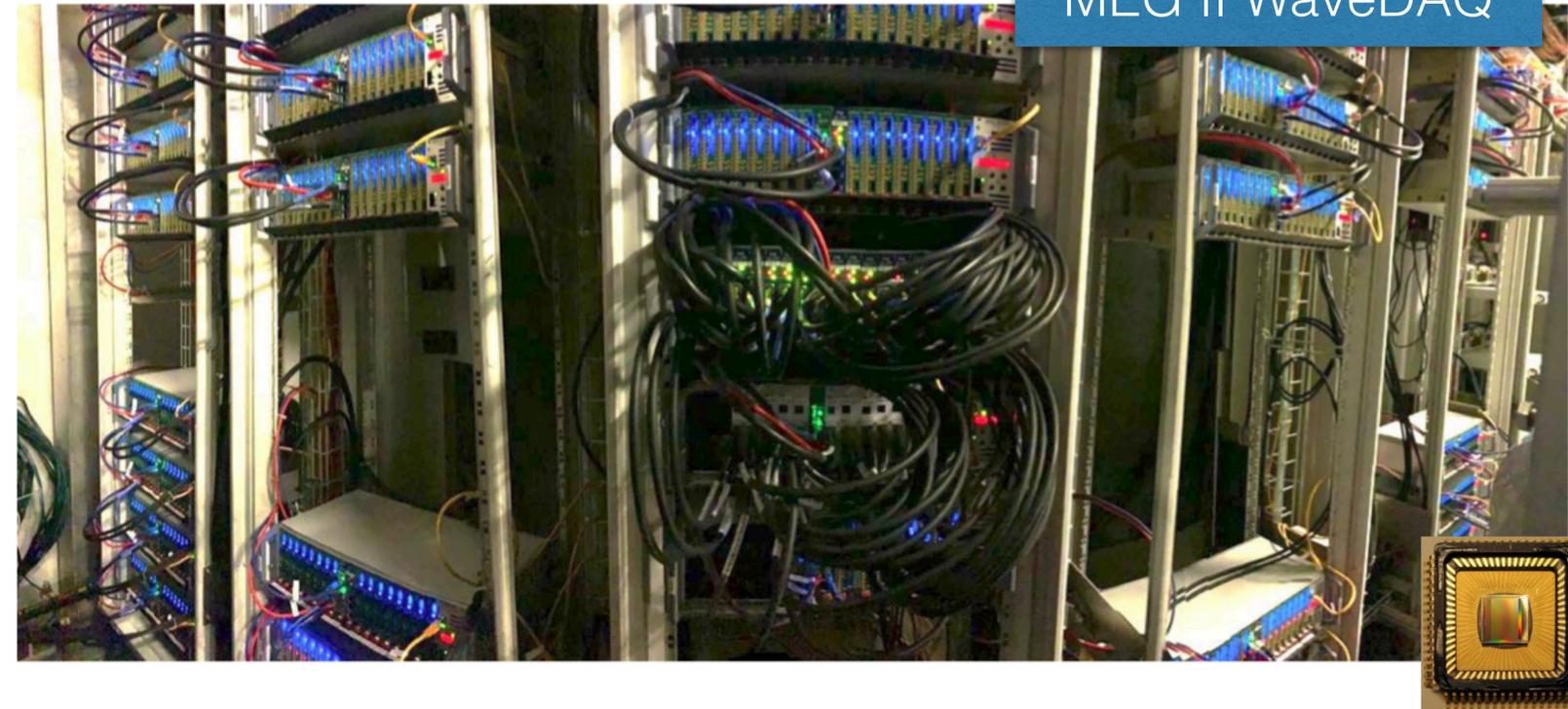
Backup

The MEG and MEG II Trigger and Data ACQquisition system

MEG DAQ



MEG Trigger



MEG II WaveDAQ

34 Crates (3U) x 256 Channels/Crate
"x3 channel density"

5 **VME** Crates (6+3 U) x
640 DRS4 Channels/Crate

Readout limited due to VME
Bus

MIDAS VME
readout
driver

2 **VME** Crates with
ADC sampling

+
1 **VME** crate for
trigger decision

Consolidation:

- DRS4 everywhere
- SiPM biasing
- Configurable amplification (x0.25-x100)
- Integrating both Trigger and DAQ
- "off the shelf" **ethernet** readout
- Only a single backend server

Integration in MIDAS frontend



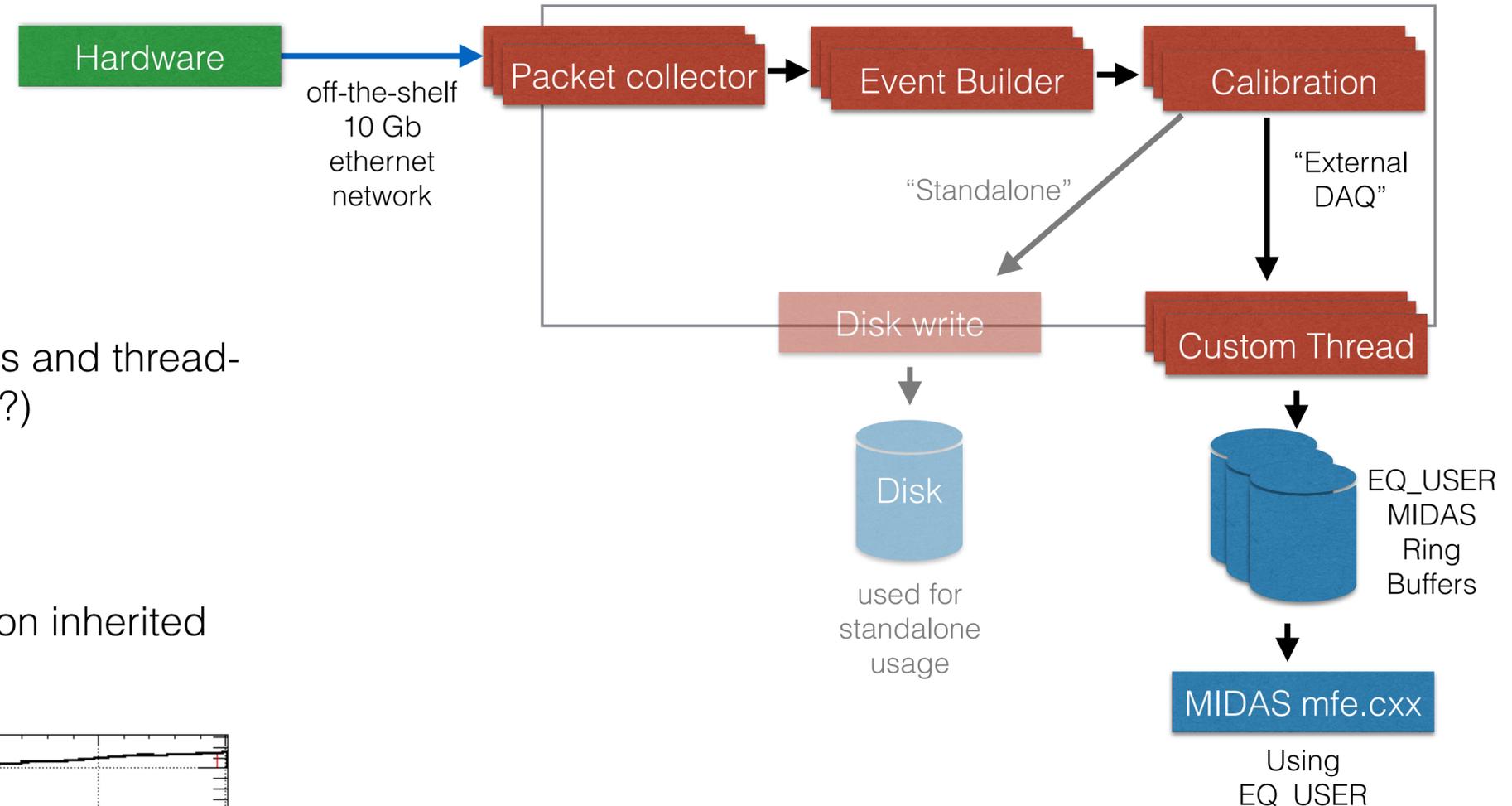
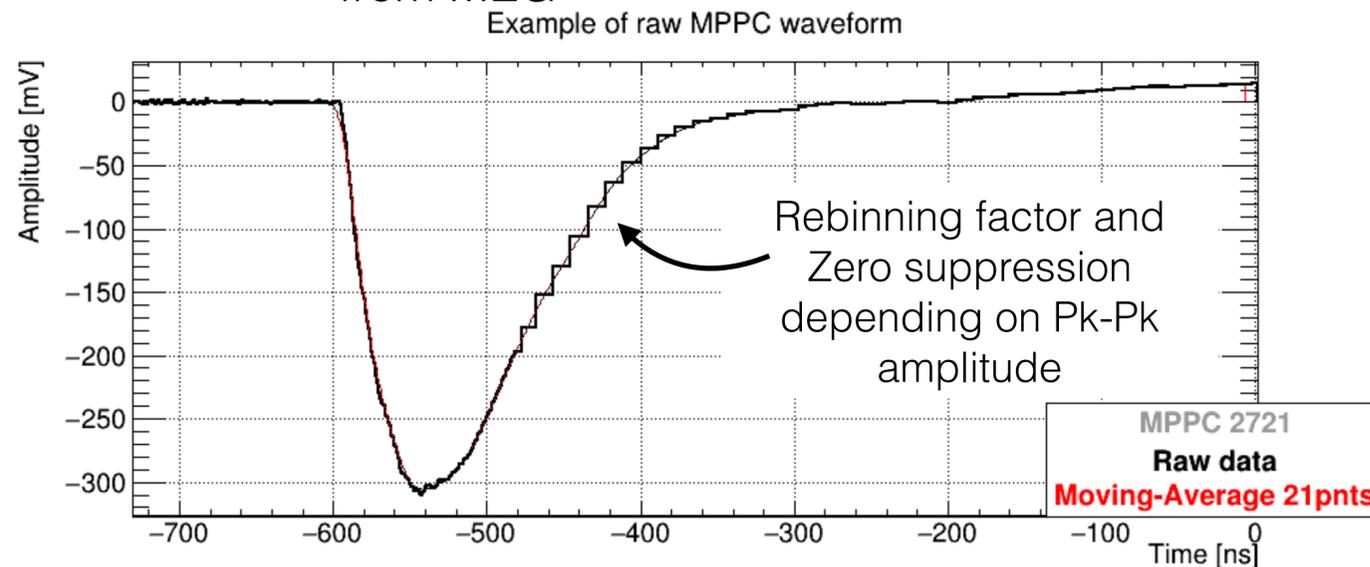
Developed before new C++ tmfe frontend interface:
old mfe.cxx framework

“EQ_USER”: only expose MIDAS Ring Buffers to user code

Custom interface threads (only piece linking MIDAS libraries)
write into Ring Buffers, based on mfe.cxx example

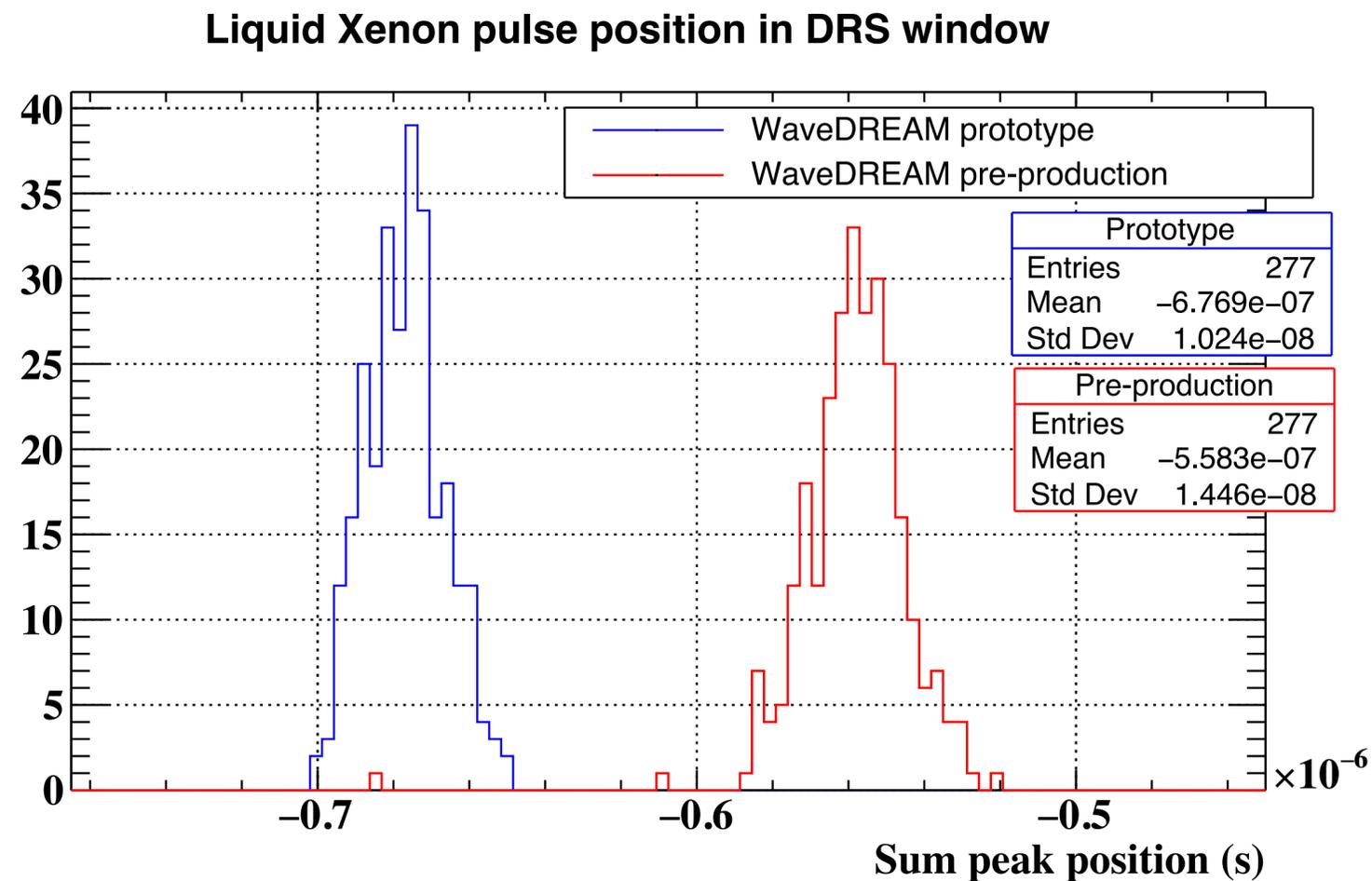
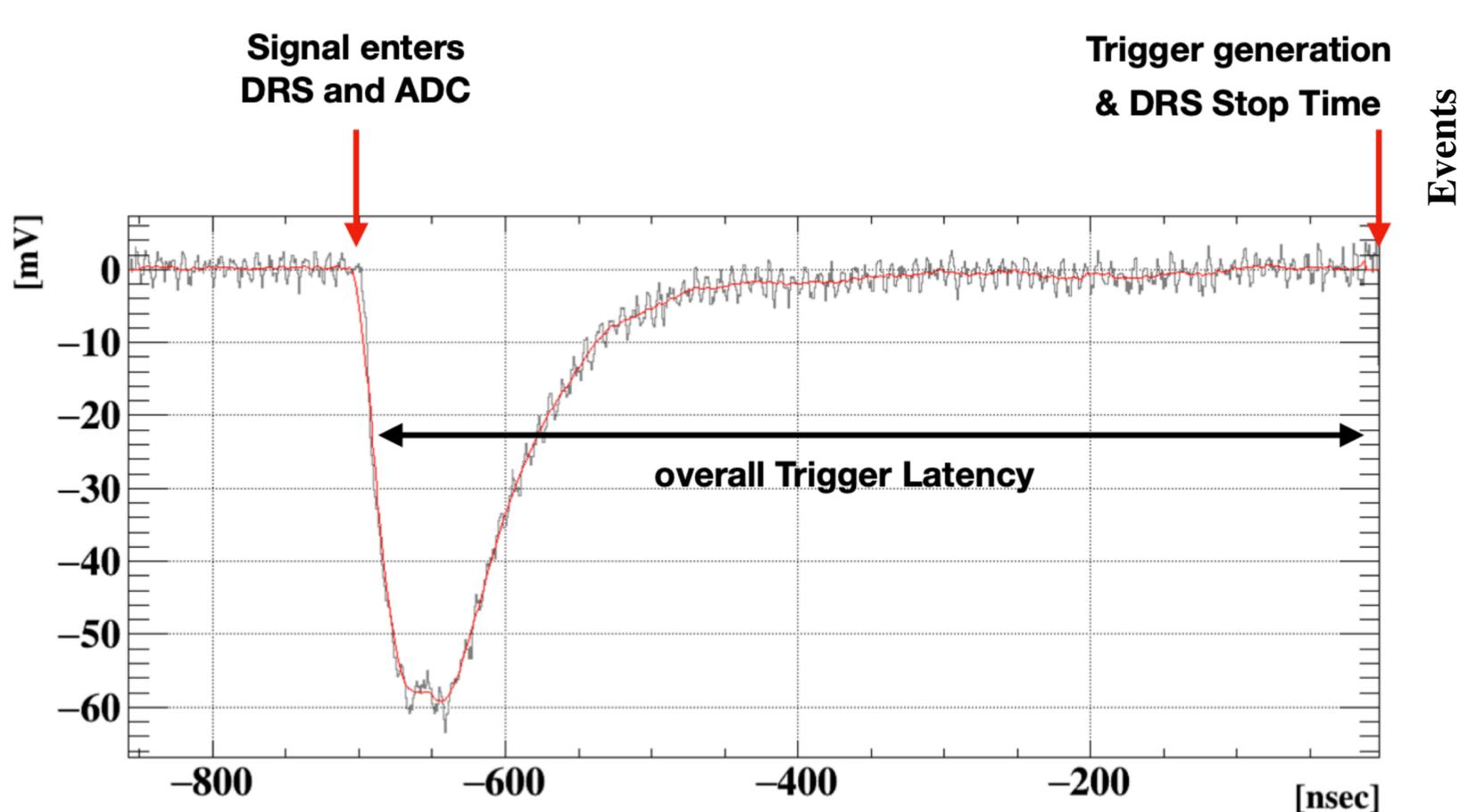
Modifications to mfe.cxx to support multiple producers and thread-
safe bank creation (first user of EQ_USER?)

Custom threads also performs also data suppression/reduction inherited
from MEG



**Data transmission based on UDP:
packet drops may happens!**

Latenza attuale



Requisito di latenza rispettato

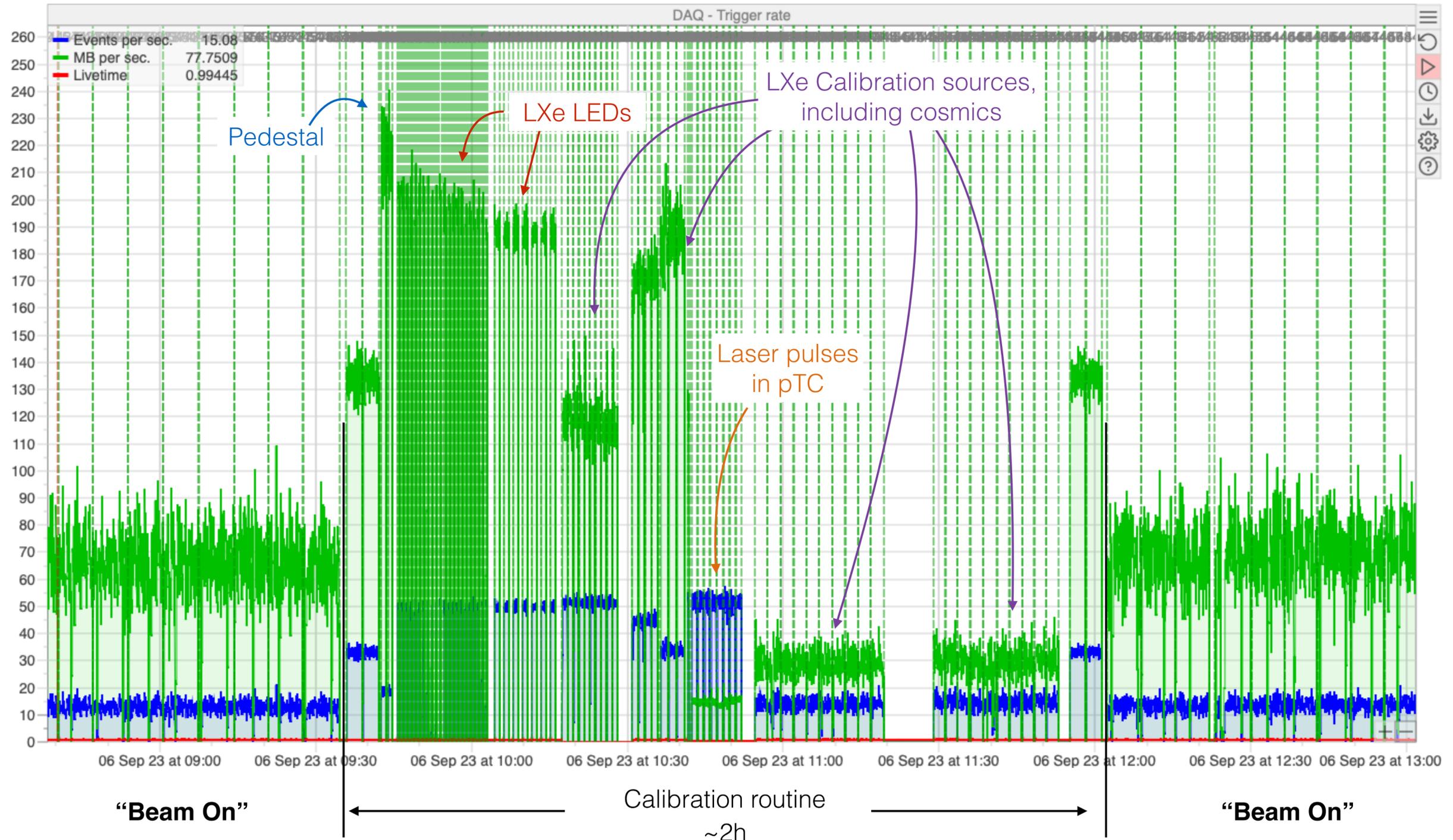
Visibile l'effetto del cambio di ADC (da [Texas Instrument](#) a [Linear Technologies](#))

Why DAQ speed matter

Faster DAQ
↓
Quicker calibration
↓
More “Beam On” statistics

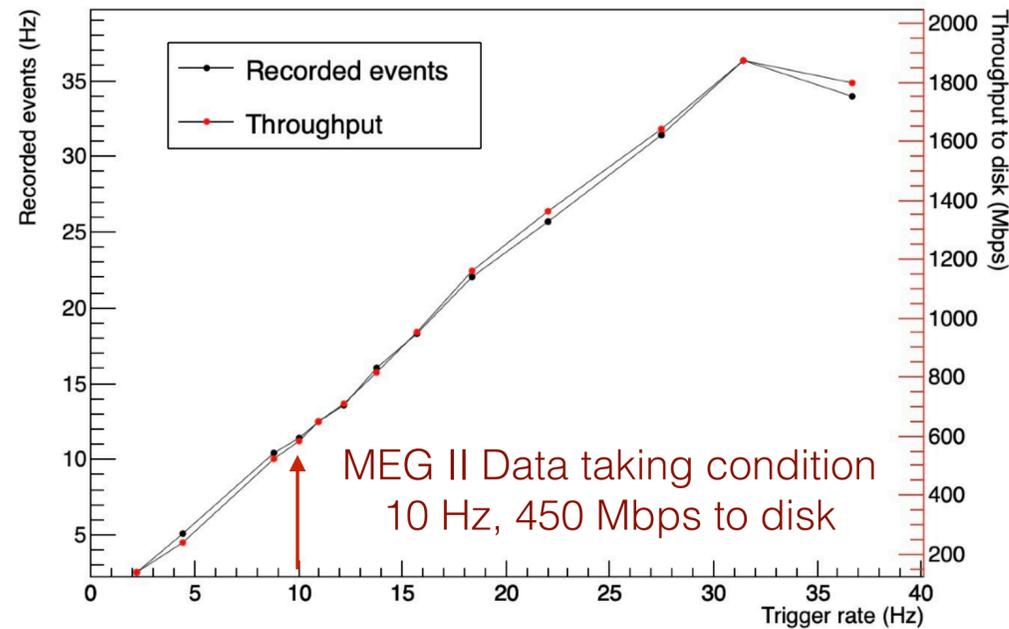
Currently can digest all data produced up to 50 Hz during calibration

Do not overengineer:
x5 wrt physics needs is reasonable



Performances

Data acquisition performances with full TDAQ, with Logging & Data reduction



With Logging

NOTE:
Data compression disabled in mlogger, pbzip do not scale enough



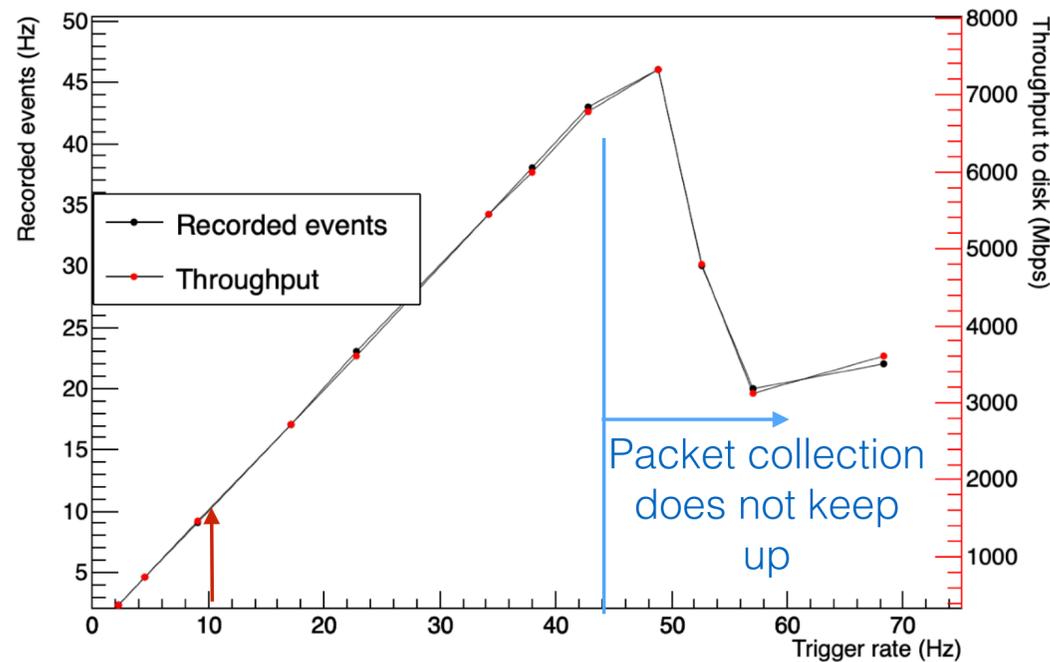
Backend system: 2x Intel Xeon Gold 5218 CPUs @ 2.30GHz
X710 10Gbps Intel NIC
1.8TB NVMe SSD

MEG I: Farm of 10 nodes + 1 event builder

Takeaway message:

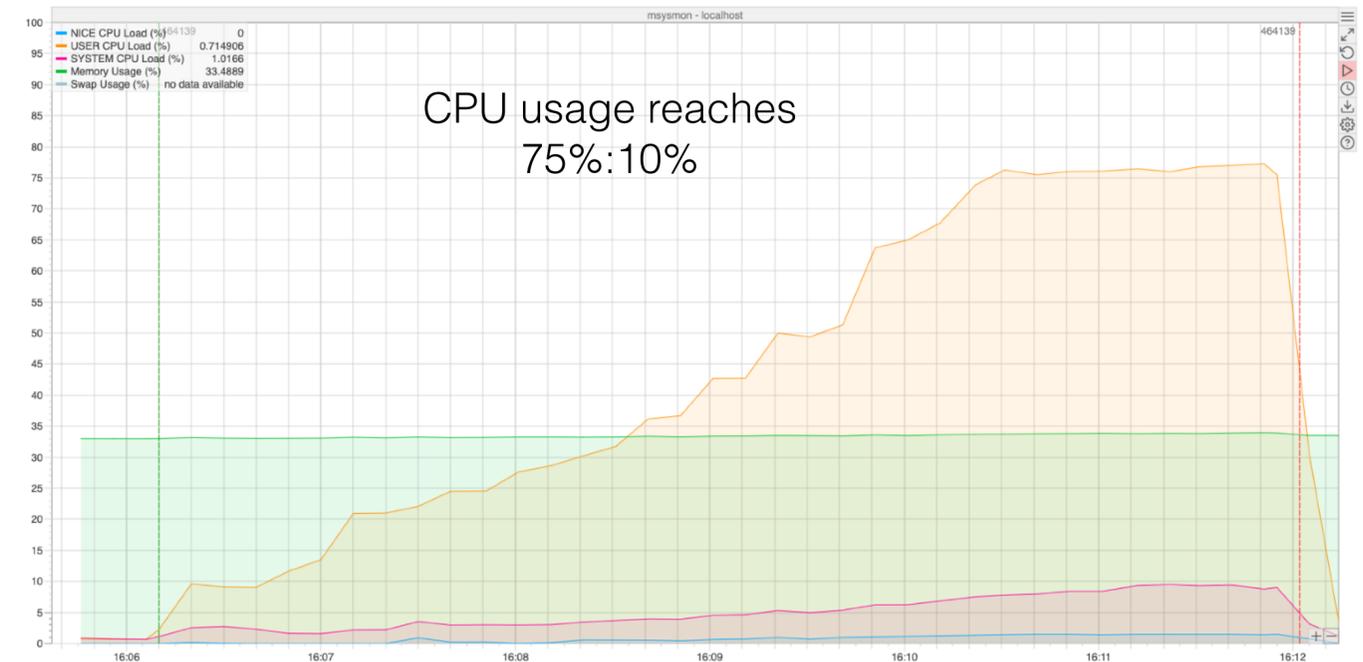
beyond 1 Mpacket/s linux network stack show its limits

Data acquisition performances with full TDAQ, no Logging



Without Logging

At ~50 Hz hardware limit on the WaveDAQ side

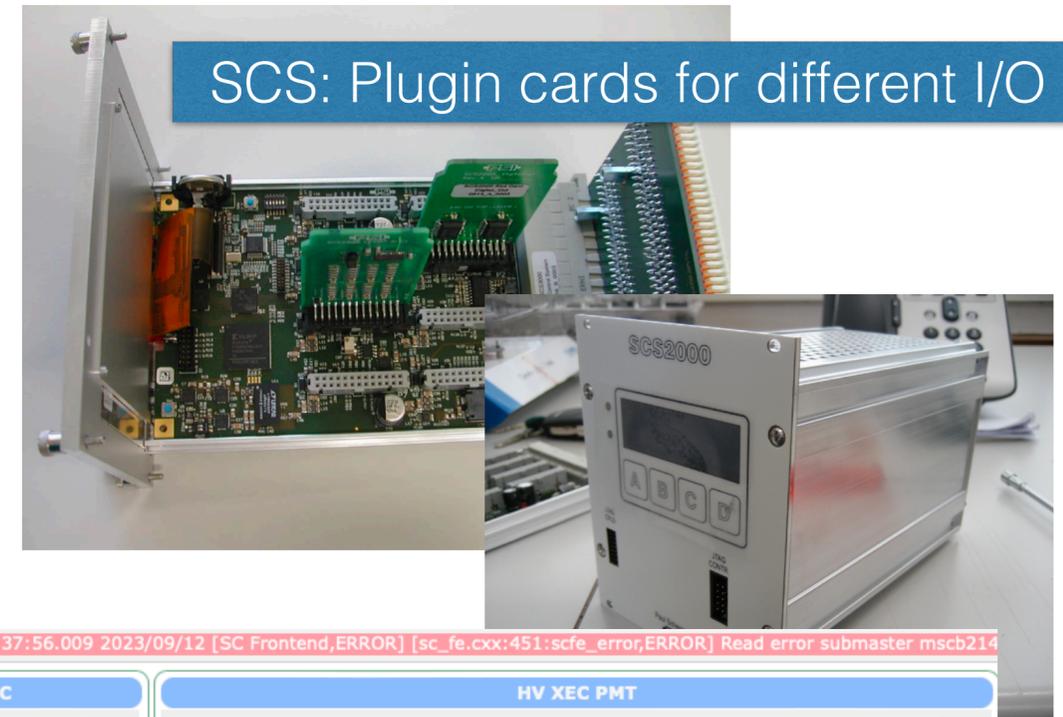


Slow control

Large use of SCS2000 and SCS3000 from PSI using **MSCB** over ethernet

- More than 20 units in use (monitoring & HW loops)
- +34 MSCB endpoints for the WaveDAQ crates
- +3 MSCB endpoints for old PMT HV dividers
- +EPICS for beamline control
- +few non-standard device (ISEG, Raspberry Pis, LXI)

600 GB of MIDAS History files since 2015



CDCH Gas system



CDCH Slow control



LXe cryogenics slow control



Large use of custom pages for monitoring and action:
Very rare need for a shifter to use SSH