

Corso

Introduzione alle tecniche di trigger e acquisizione dati

Esercitazione

Acquisizione di ADC con FPGA e pubblicazione dati

Napoli 9-12 Ottobre 2023

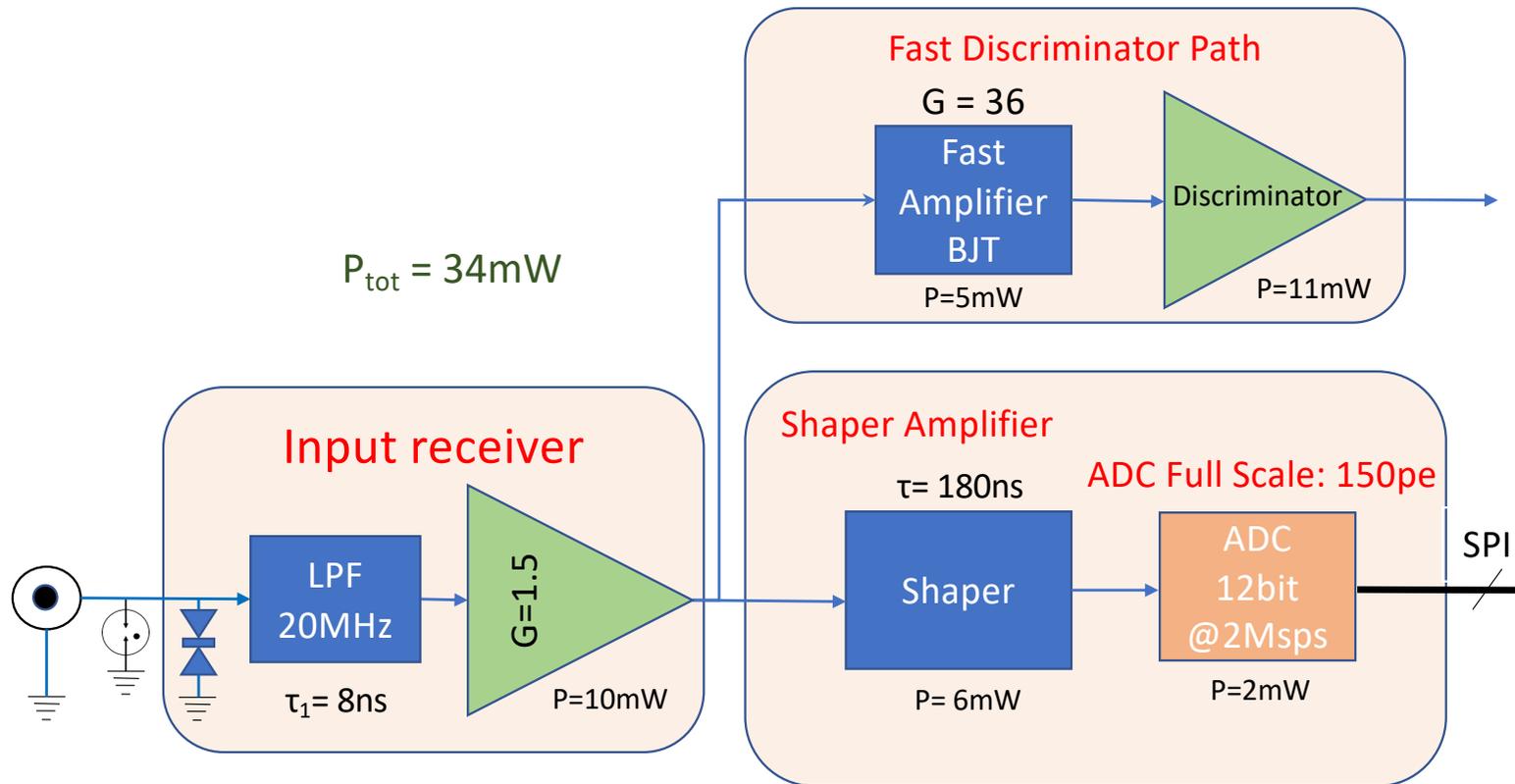
Alfonso Boiano
Luigi Lavitola

Condizionamento e acquisizione di segnali da PMT

Descrizione di un piccolo sistema di test

- **Il sistema** è stato sviluppato per l'esperimento HK per il rivelatore OD
- **Necessità** acquisire luce Cherenkov tramite PMT da 3" nel range tra 1pe a 150pe (1pe ~ 6mV)
- **Vincoli di progetto** basso costo, bassi consumi, alta affidabilità
- **Cosa vedremo**
 - Filosofia del progetto
 - Lo schema a blocchi
 - Lo schema elettrico
 - La simulazione dei blocchi
 - L'ADC
 - Il prototipo realizzato
 - Il sistema di test
 - Le cose da fare

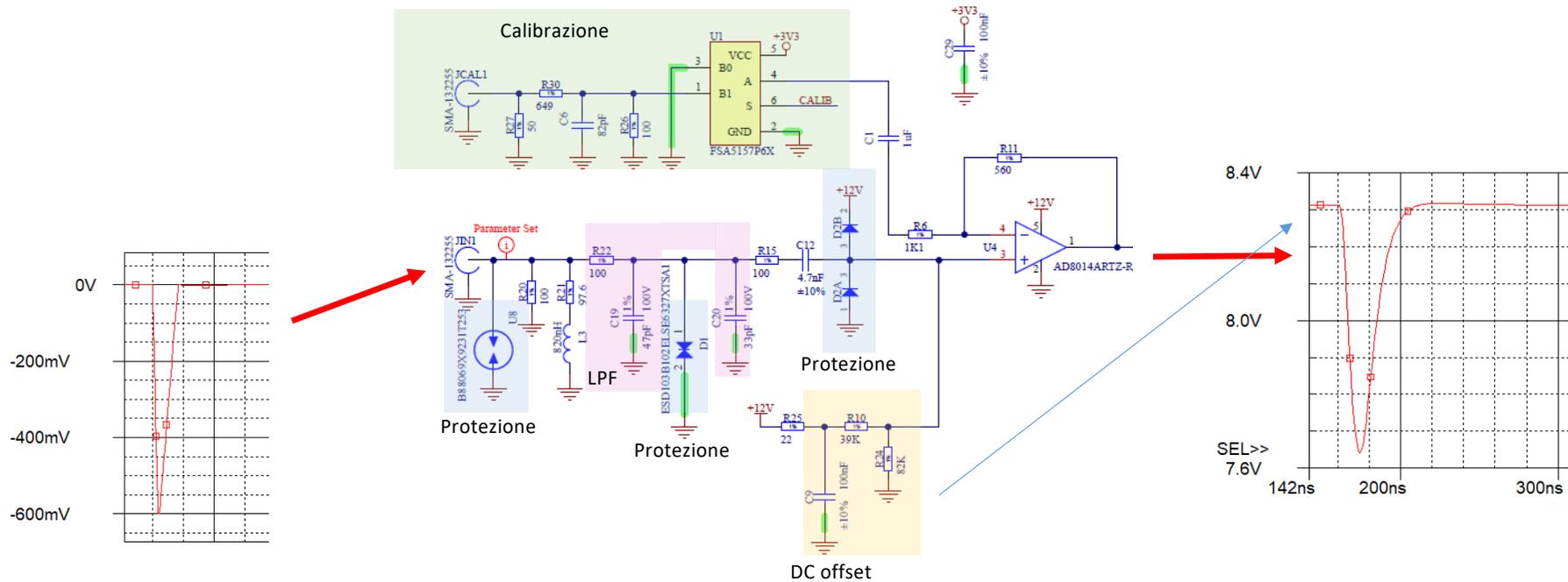
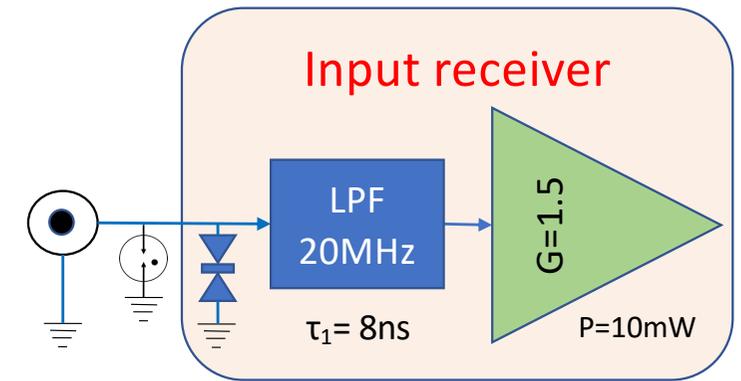
OD Analog FE block diagram



Ricevitore

Cosa fa?

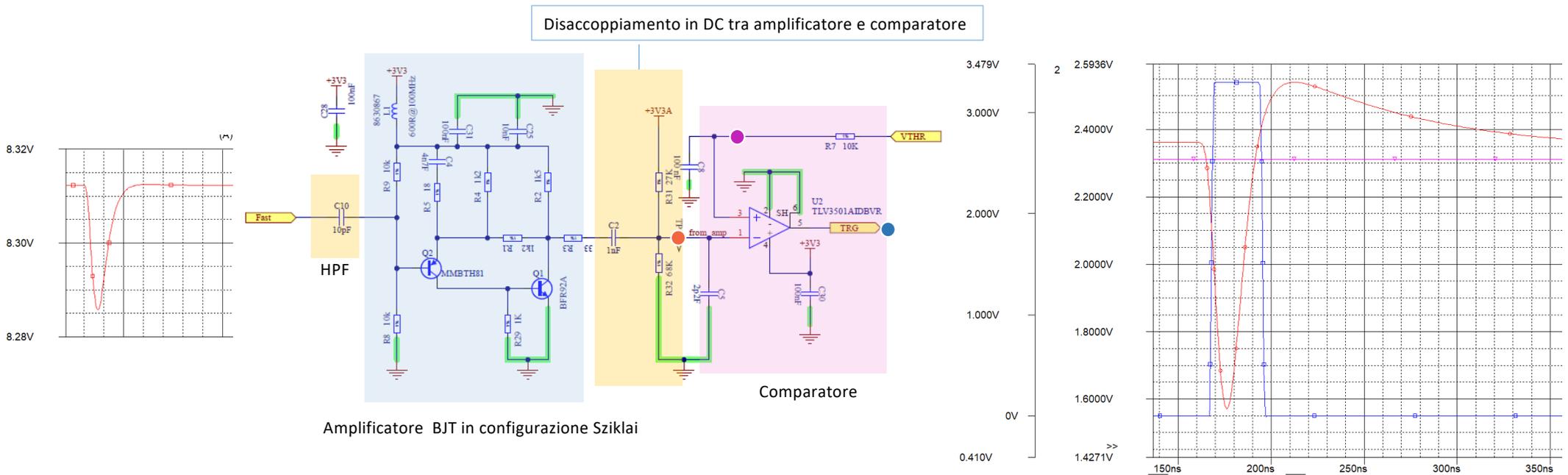
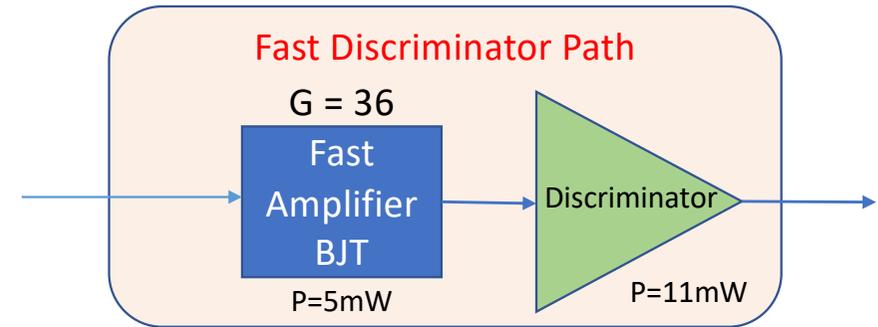
- Adatta l'impedenza del cavo PMT a 50ohm
- Protegge da scariche dall'HV
- Riduce la banda per eliminare rumori in alta frequenza
- Amplifica per rendere ininfluente il rumore degli stadi successivi
- Funzione di Buffer per gli stadi successivi
- Gestisce il segnale di calibrazione



Amplificatore e Discriminatore rapido

Cosa fa?

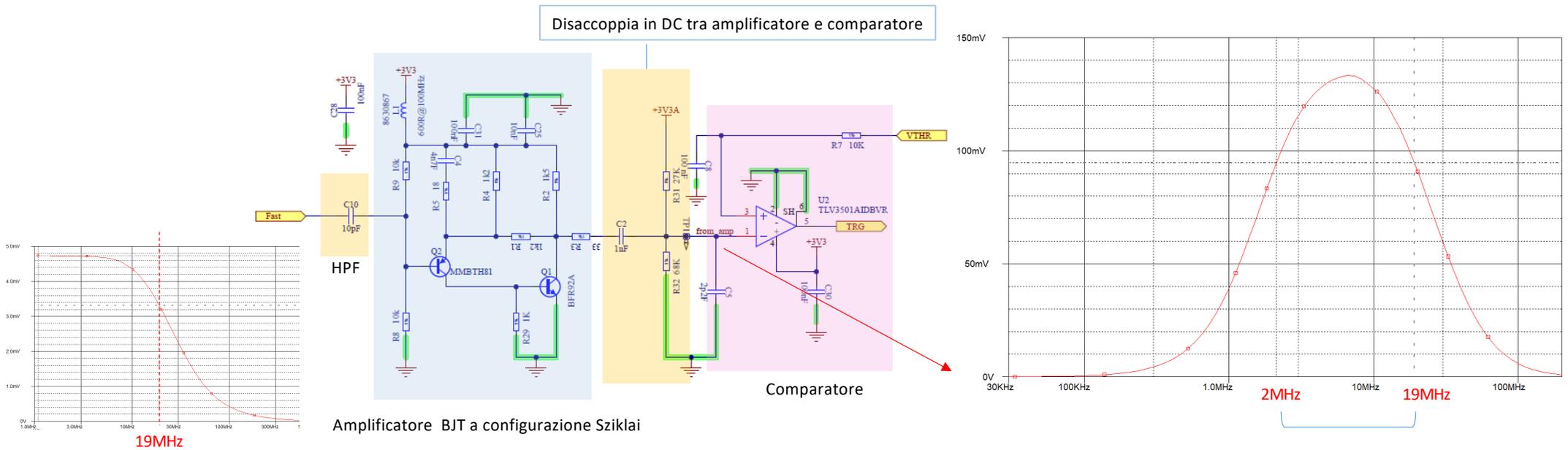
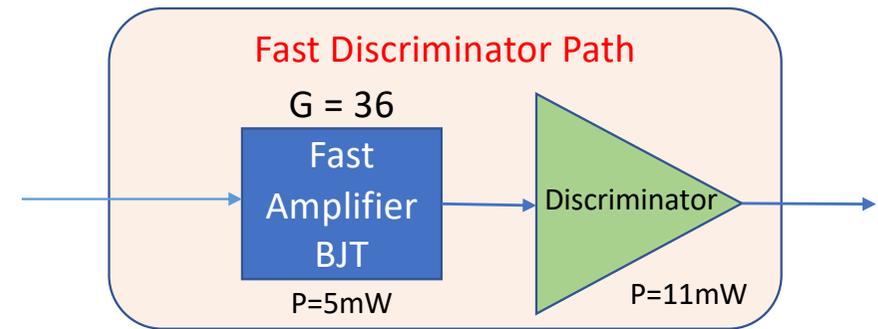
- Amplifica il segnale
- Presenta alta impedenza in ingresso
- Riduce la banda per eliminare rumori in bassa frequenza
- Genera il segnale di trigger per la logica d'acquisizione



Amplificatore e Discriminatore rapido

Cosa fa?

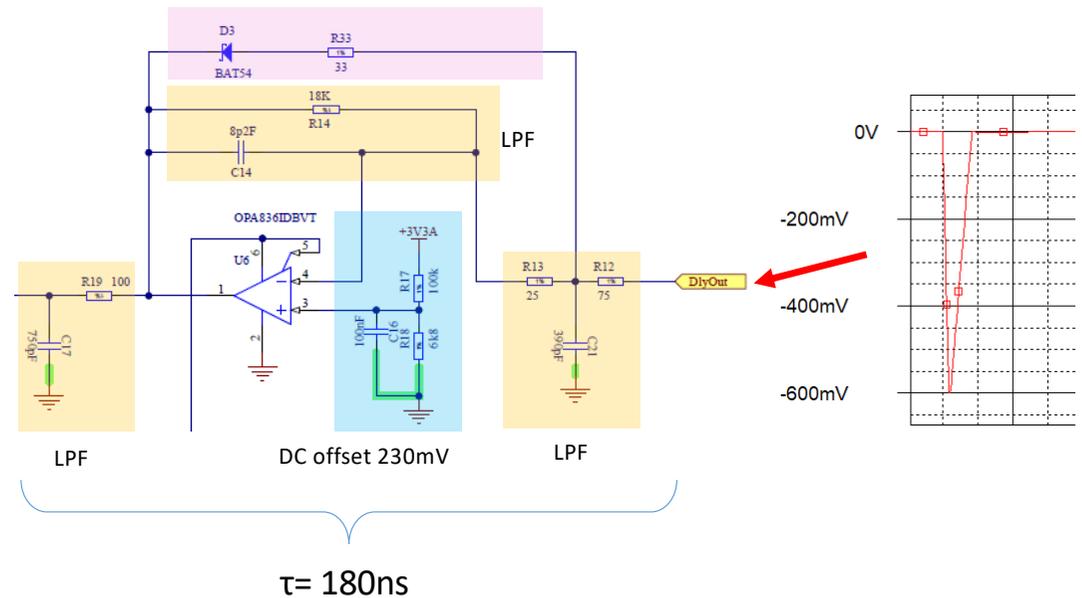
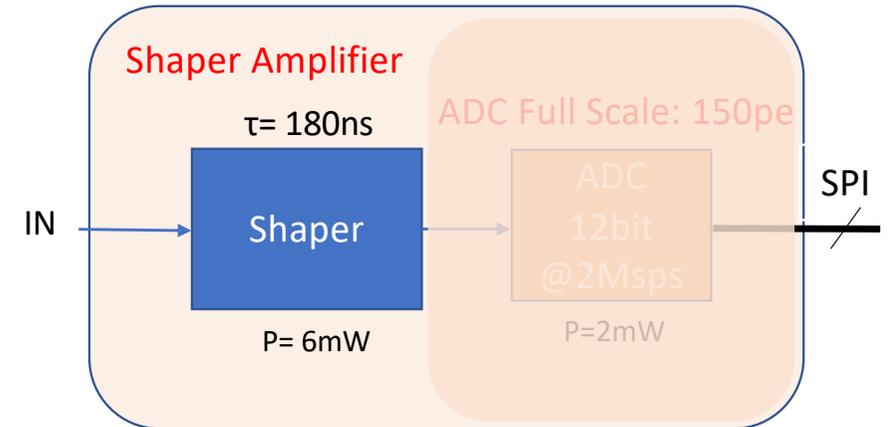
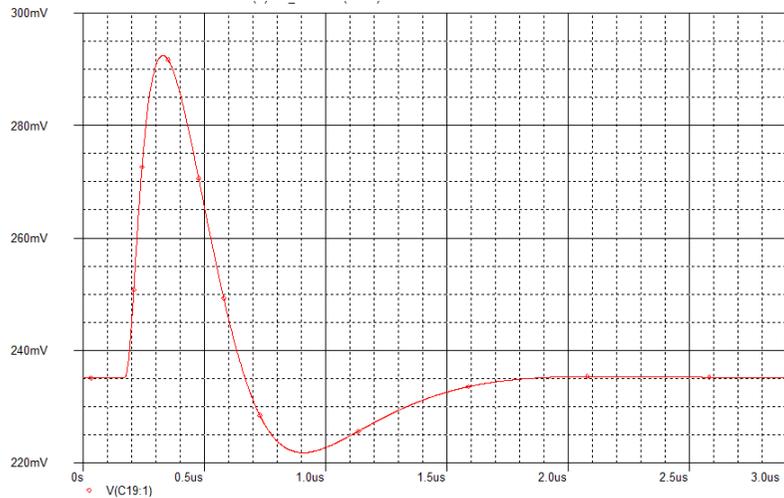
- Amplifica il segnale
- Presenta alta impedenza in ingresso
- **Riduce la banda per eliminare rumori in bassa frequenza**
- Genera il segnale di trigger per la logica d'acquisizione



Shaper Amplifier

Cosa fa?

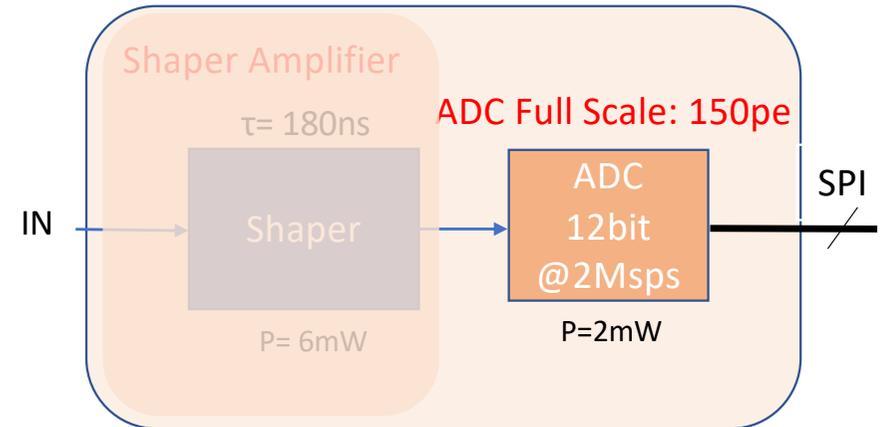
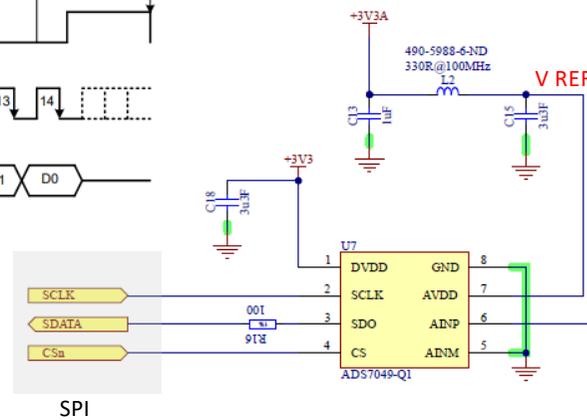
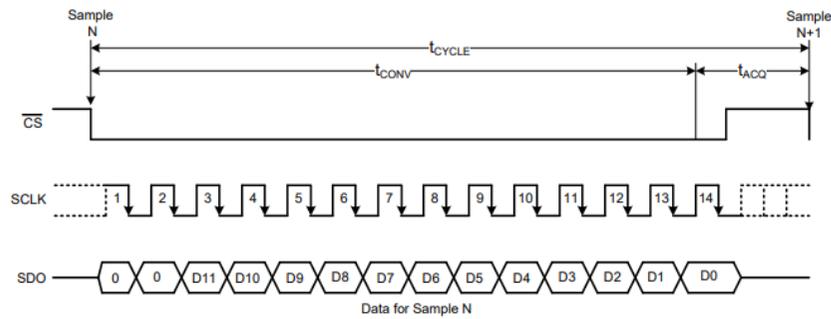
- Forma il segnale a 180ns
- Inverte il segnale
- Pilota l'ADC con bassa impedenza
- Circuito per il recupero del segnale negativo



ADC

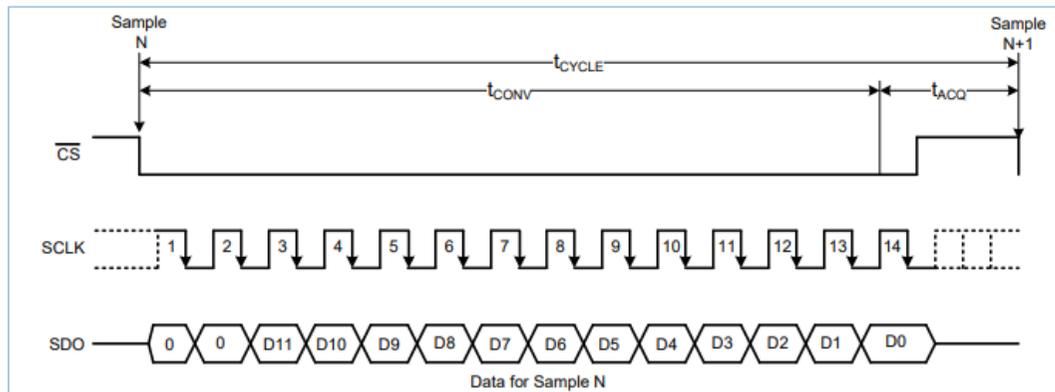
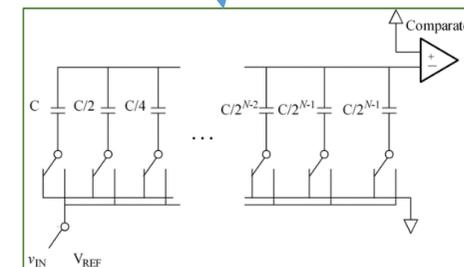
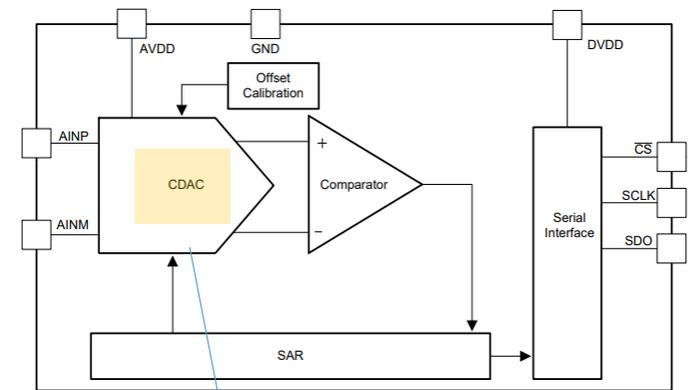
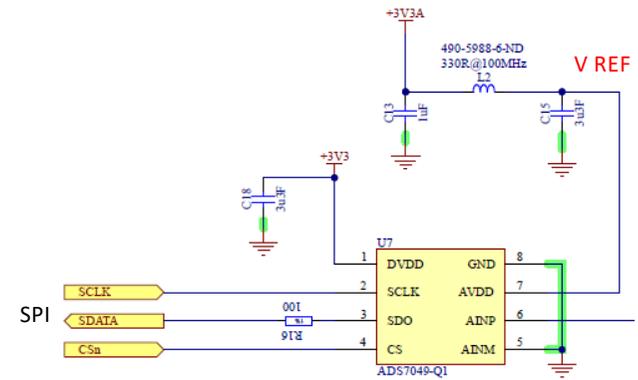
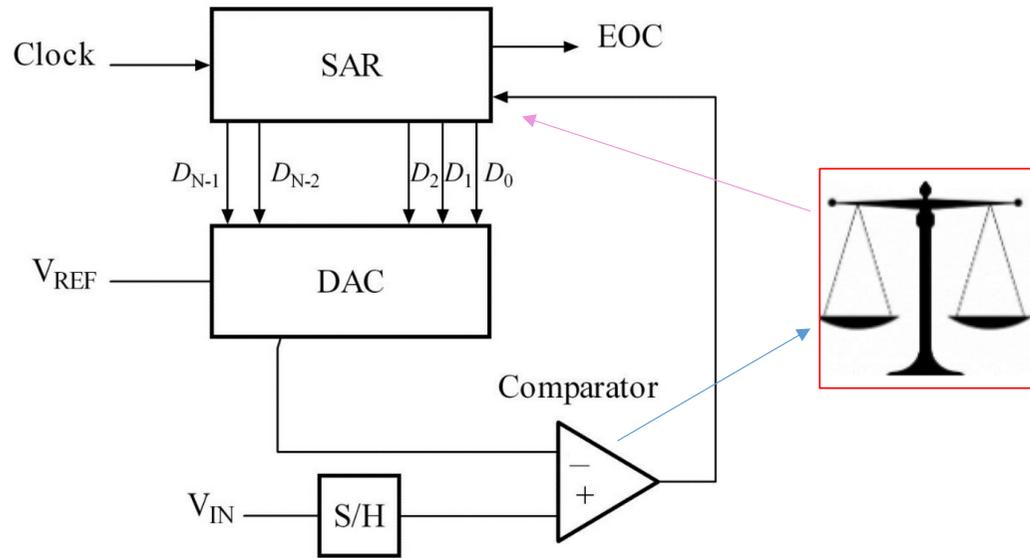
Cosa fa?

- Converte il segnale analogico in digitale (ADC)
 - SAR
 - Circuito di sample-and-hold
 - SPI
 - 2Msps
- Eseguiamo un campionamento sul picco massimo

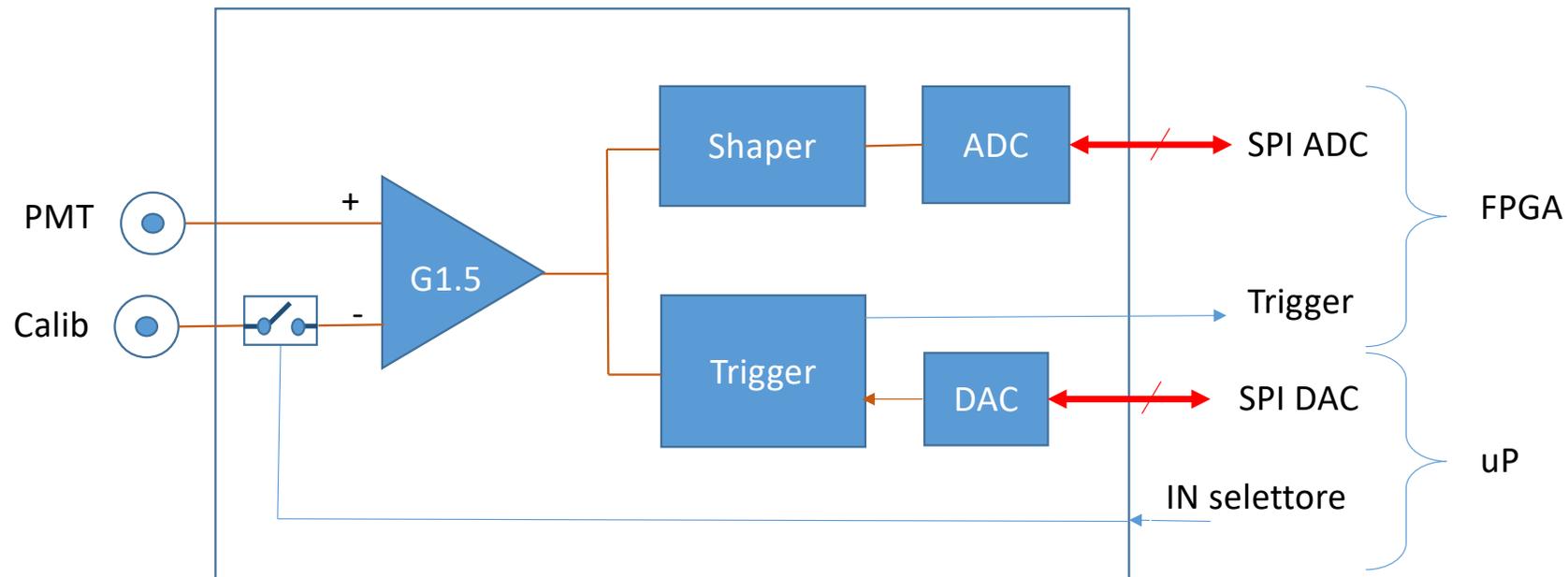


Tempo di attesa

ADC ad approssimazione successive (SAR)

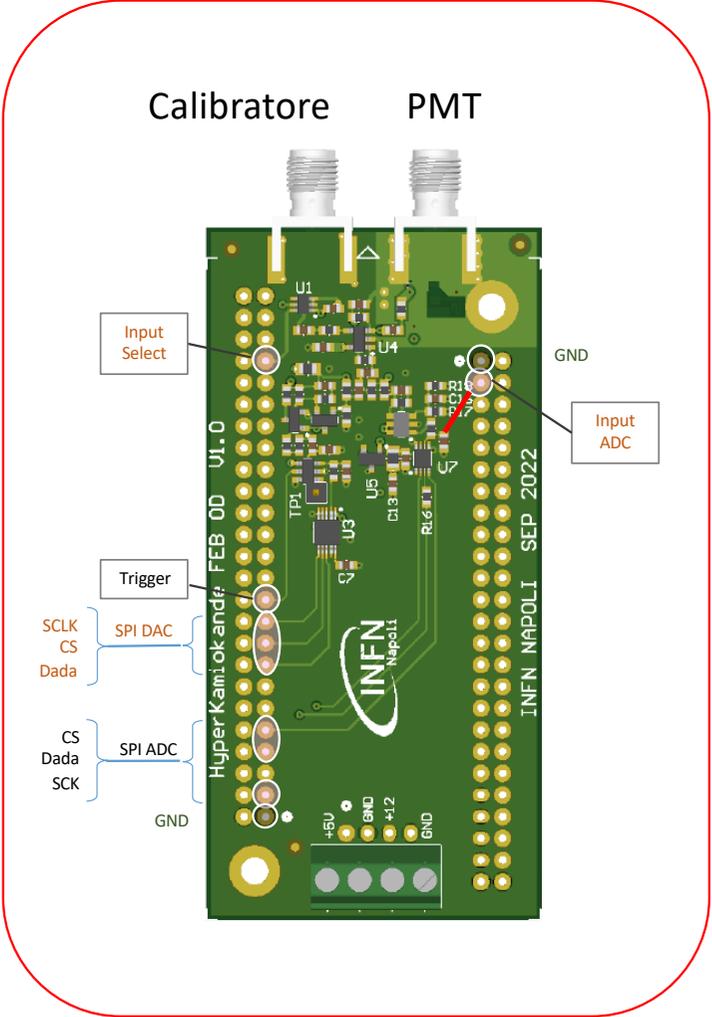
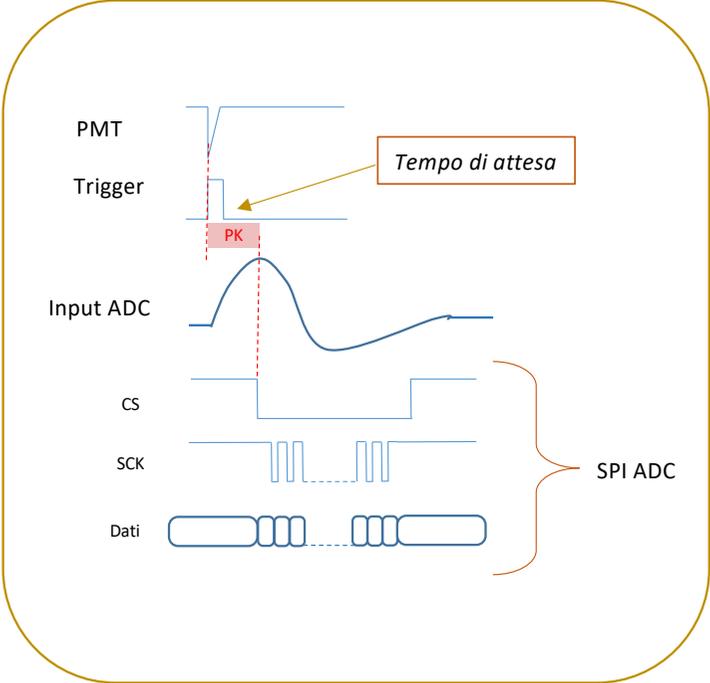


Segnali necessari al funzionamento

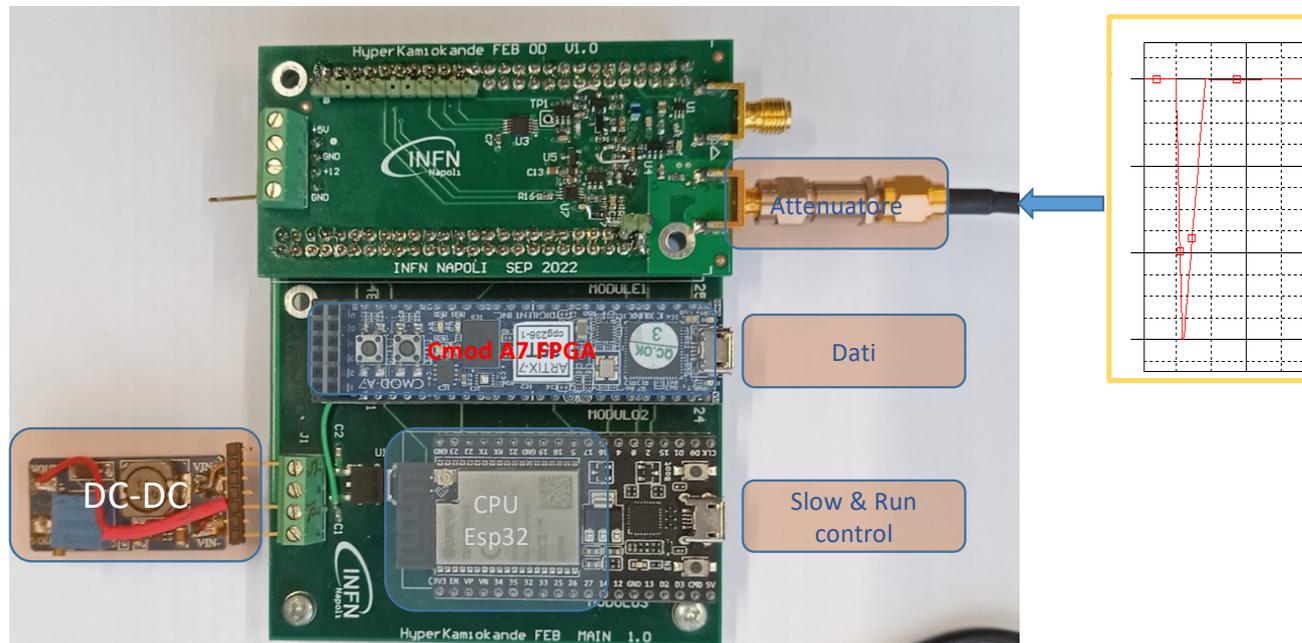


Pinout scheda realizzata

Diagramma temporale



Sistema di test



Macchina a stati SPI

Ingressi

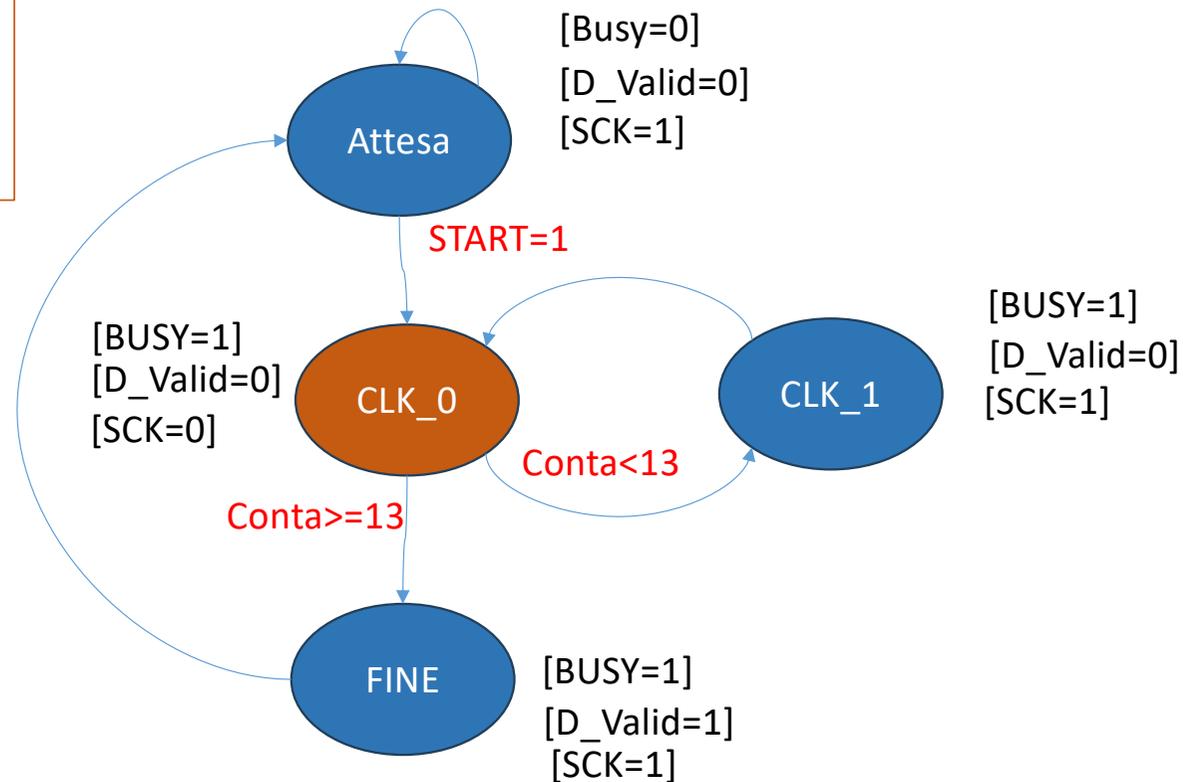
- CLK (Fr 48MHz, Per20.8ns)
- Reset
- START
- SDI_LG

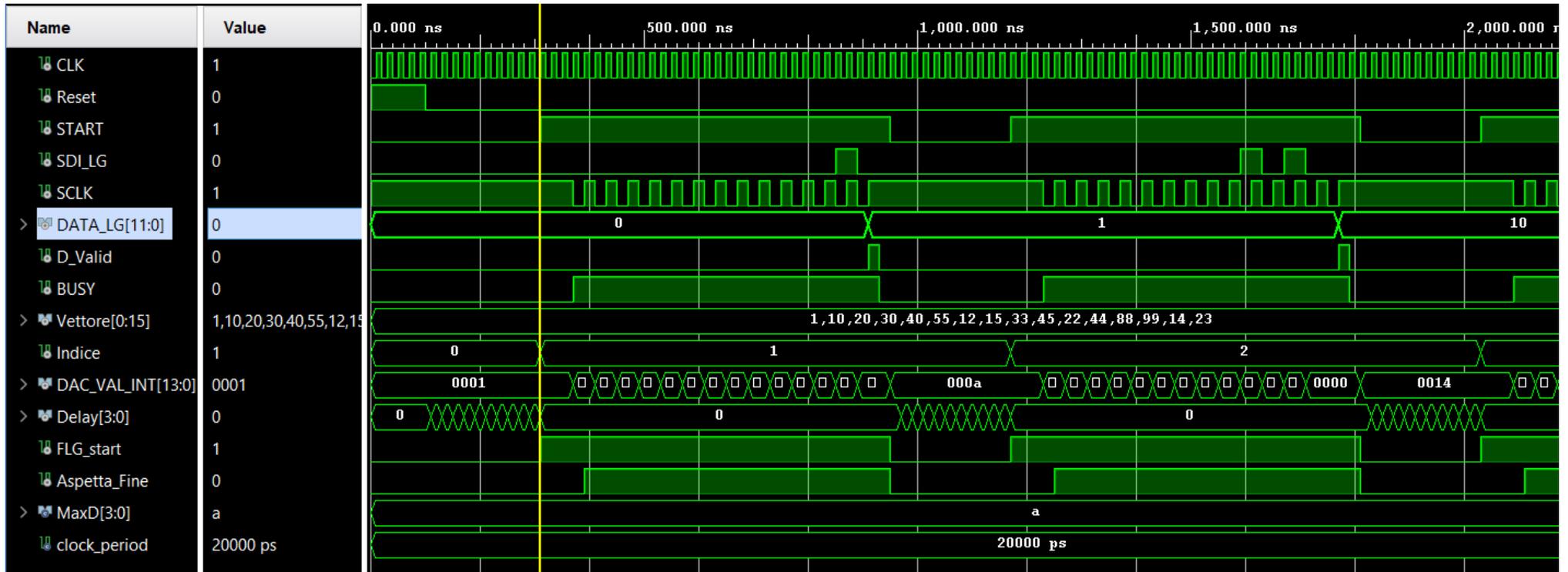
Uscite

- SCLK
- BUSY
- D_Valid
- DATA_LG[11:0]

Interni

- Conta
- Shift_Data_LG





```

type state_type is (Attesa, CK0, CK1, Fine);
signal STATO : state_type;

```

Dichiarazione segnali custom per
Macchine a stati