|  |  |  |
| --- | --- | --- |
| ASIC for MPGD detectors | DateTimeLocation | 18/01/2023 |

|  |  |  |  |
| --- | --- | --- | --- |
| Meeting called by: | AMBER-Torino | Type of meeting: | Riunione con Angelo Rivetti |

|  |  |
| --- | --- |
| Attendees: | Angelo, Michela, Maxim, Oleg, Chiara |

# Minutes

|  |  |
| --- | --- |
| Agenda item: | New ASIC for MPGD detectors |

#### Discussion:

* Intenzione di ripetere l’operazione svolta con CMAD, chip che ha avuto un’ampia applicazione
* L’obiettivo di AMBER-To è ottenere un ASIC che sia adatto a leggere un rivelatore MM di grande area (1 x 1.2 m^2). Questo detector andrà a sostituire le MWPC che soffrono di problemi di ageing.
1. **Requisiti discussi:**

***Tipo di misura*** : L’ASIC dovrà permettere di effettuare misure in ampiezza e tempo, come il TIGER.

***Rate capability***:

L’ASIC dovrà sostenere un rate di circa 1 MHz/ch (noi avevamo considerato 2 MHz per avere un po’ di margine). Considerando un beam rate nella parte centrale dello spettrometro pari a 120 kHz/mm^2.

Il design del read-out del detector si adatterà alle condizioni dei beam rate: al centro del detector Pixel-RO (circa 10x10cm^2) mentre nelle zone periferiche Strip-RO. Eventuale criticità della capacità delle strip elevata.

***Input charge:***

Se volessimo adattarlo anche alle camere a fili il guadagno dovrebbe aumentare di un fattore 10. Per MM da 1 a 100fC per Wires da 1 a 1000fC. Non sembrano esserci criticità.

***Time resolution:***

 Per i gaseous detector una time resolution accettabile è anche di 4ns, obiettivo circa 1ns.

 ***Noise issues:***

Riduzione dove possible del peaking time per sottrarre rumore, riferimento a riduzione del rumore common mode in stile APV.

***Cooling:***

 Non sembrano esserci criticità.

1. **Eventuale punto di partenza: ASIC for SiPM readout TERZINA experiment**
* Un nuovo ASIC per leggere i SiPM dell’esperimento TERZINA (resp. Mario Bertaina) verrà prodotto in primavera per effettuare I primi test. Non grandissima produzione, l’esperimento ha bisogno di 10 chip.

***Caratteristiche:***

* L’ASIC ha un rate di campionamento a 200MHz (5 ns), decisamente più alto dell’APV. La risoluzione temporale del chip aumenta sensibilmente campionando sul fronte di salita, non sembra essere un problema raggiungere 1ns.
* L’ASIC ha 64 canali formati da:

amplificatore + discriminatore + s&h circuit (Angelo ha detto solo condensatore) + 8-bit Wilkinson ADC.

7-12 bit per modificare lo slope della rampa e quindi la risoluzione temporale.

Genera una primitiva per il canale che viene poi triggerata o meno a livello della FPGA

Trigger interno

Il tempo morto dell’ADC dipende dalla risoluzione. Rampa lenta = maggiore res.

* Per ogni canale ci sono 256 celle di campionamento che possono essere configurate in: 8 buffer x 32 celle ; 4 buffer x 64 celle; 1 x 256. Per ridurre ulteriormente I tempi morti e quindi aumentare il rate bisogna mediare tra il tempo impiegato nella digitalizzazione, la trasmissione dei dati ed il tempo morto dei buffer dell’ADC Wilkinson. 8 X 32 buffer sembra un buon compromesso.
* Pensando a risolvere problem di rumore può essere effettuata sottrazione di common mode triggerando tutti I canali contemporaneamente.

***Adattabilità al Progetto AMBER:***

* L’applicazione ad un detector MM prevederebbe una FE diversa.
* Attualmente dispone di un amplificatore di transimpedenza mentre nel nostro caso potrebbe essere anche un CSA.
* Bisogna studiare I segnali di un SiPM a confronto con quelli di un segnale della MM.

Stima preliminare: MM 🡪 picco veloce (6-10ns) + coda (100ns)

 SiPM 🡪 segnale veloce di qualche ns

* Per velocizzare la trasmissione dei dati si può pensare di mettere un processorino. Attualmente il chip prevede dei serializzatori in Double Data Rate a 800Mbit/s (400x2). 8 serializzatori LVDS, ne esistono per arrivare anche fino a 10Gbit/s ma bisognerebbe introdurre una PLL ed aumentare la power consumption. L’idea è di usare una FPGA come concentratore che legge 20/30 linee.

***Riassunto e riflessione sui requisiti:***

* Trigger less RO 🡪 avendo in mente idea di Igor: APV moderno trigger less con digitalizzazione a bordo.
* Rate fino a 1MHz/ch (considerando 120 kHz/mm^2 al centro del detector). Limiti della rate capability: velocità di conversione e banda di trasmissione.
* Ogni canale indipendente (tracker-like)
* Memoria analogia e lettura alla APV
* Common mode correction (Igor aveva letto di un metodo di compensazione ?)
1. **Next steps**
* Fornire campione di segnale minimo, massimo e medio con più dettagli possibili a Sara Garbolino per vedere se la FE attuale è FACILMENTE adattabile cambiando ad esempio fattore di guadagno.
* Decidere configurazione meccanica e disegno PCB del nuovo prototipo in collaborazione con il Gruppo di Mauro Iodice (INFN Roma). Produzione nel 23.
* Studiare la FE ideale adatta per il nostro segnale, magari simulare in VHDL o Verilog per vedere la risposta. Partendo da disegno del preamplificatore su LTSpice (operazionali + feedback) e ricavare funzione di trasferimento. Dal fit della funzione di trasferimento descrizione in system Verilog per provare a testare questa funzione con lo script di Andrea. Lui si occuperà della descrizione transistor-level.
1. **TIME SCHEDULE**
* 2023 : primavera 🡪 prima produzione ASIC per TERZINA

Autunno 🡪 revisione prima versione ASIC per seconda produzione

Produzione MM in collaborazione con Mauro

* 2025: autunno 🡪 detector dimensioni finali pronto per I test già equipaggiato con la nuova elettronica