

# Servizio di Elettronica

---

Assemblea di Sezione 2023 - Bologna - 6 luglio  
Riccardo Travaglini

# Personale afferente

---

Giulio Avoni

**Gabriele Balbi (TD 100% su ETIC dal 15/5/23 per 2 anni)**

Casimiro Baldanza

Fabio Bisi

Luigi Degli Esposti

Davide Falchieri

Ignazio Lax

Mauro Lolli

**Giovanni Mastropasqua (TD 100% su ETIC dal 5/6/23 per 2 anni)**

Stefano Meneghini

Giuliano Pellegrini

**Luigi Rignanese (TI dal 1/3)**

Giovanni Torromeo

Riccardo Travaglini

**Carlo Veri (in mobilità temporanea presso la sezione di Lecce gennaio/giugno 24)**

Mirco Zuffa

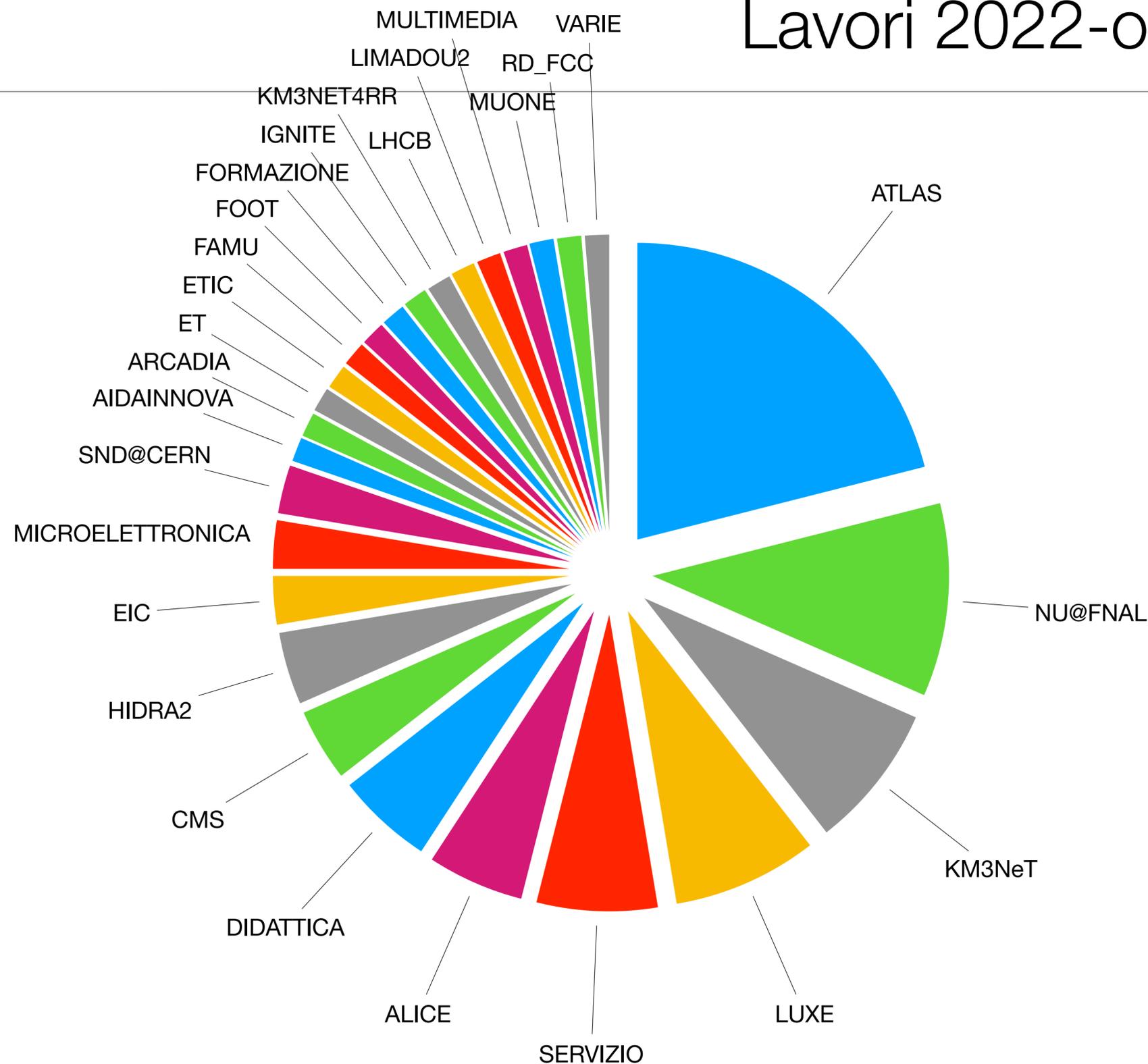
da 15 (2023)

a 13 (2024)  
+ 2 a progetto

# Richieste 2024

# Lavori 2022-ora

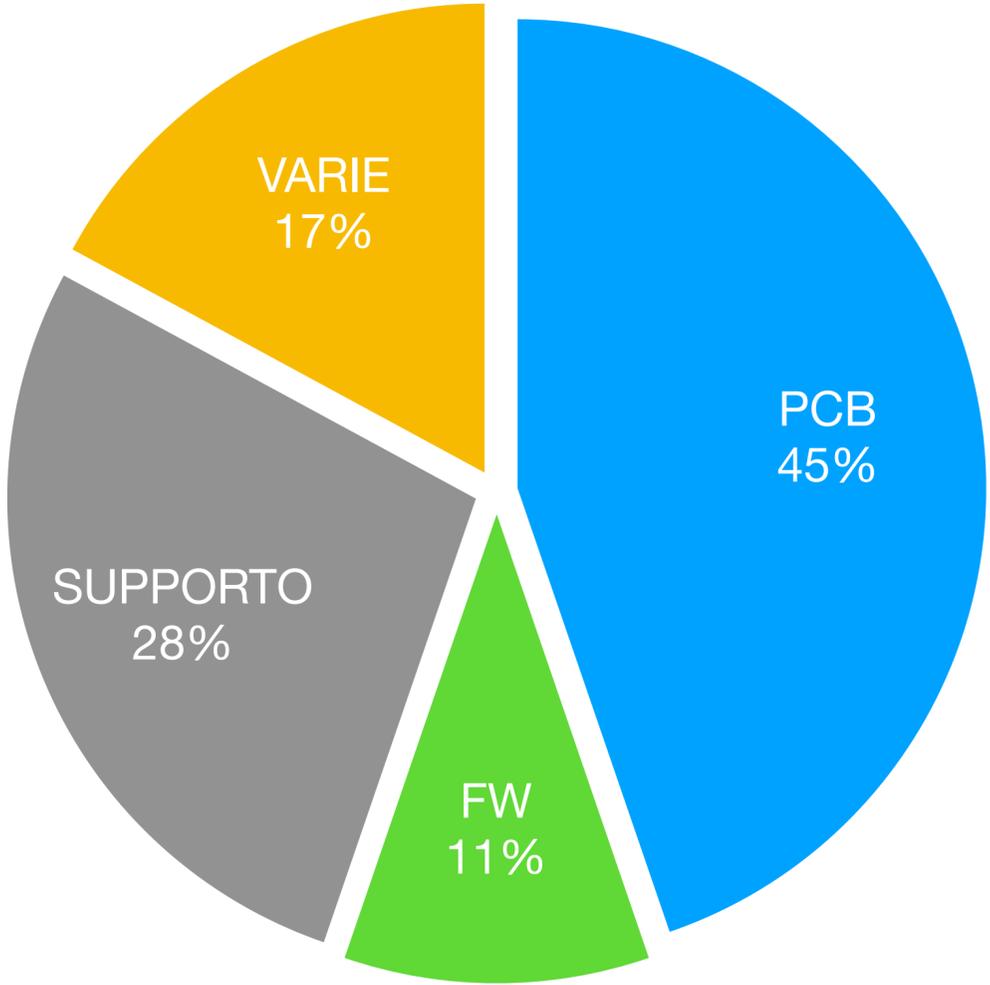
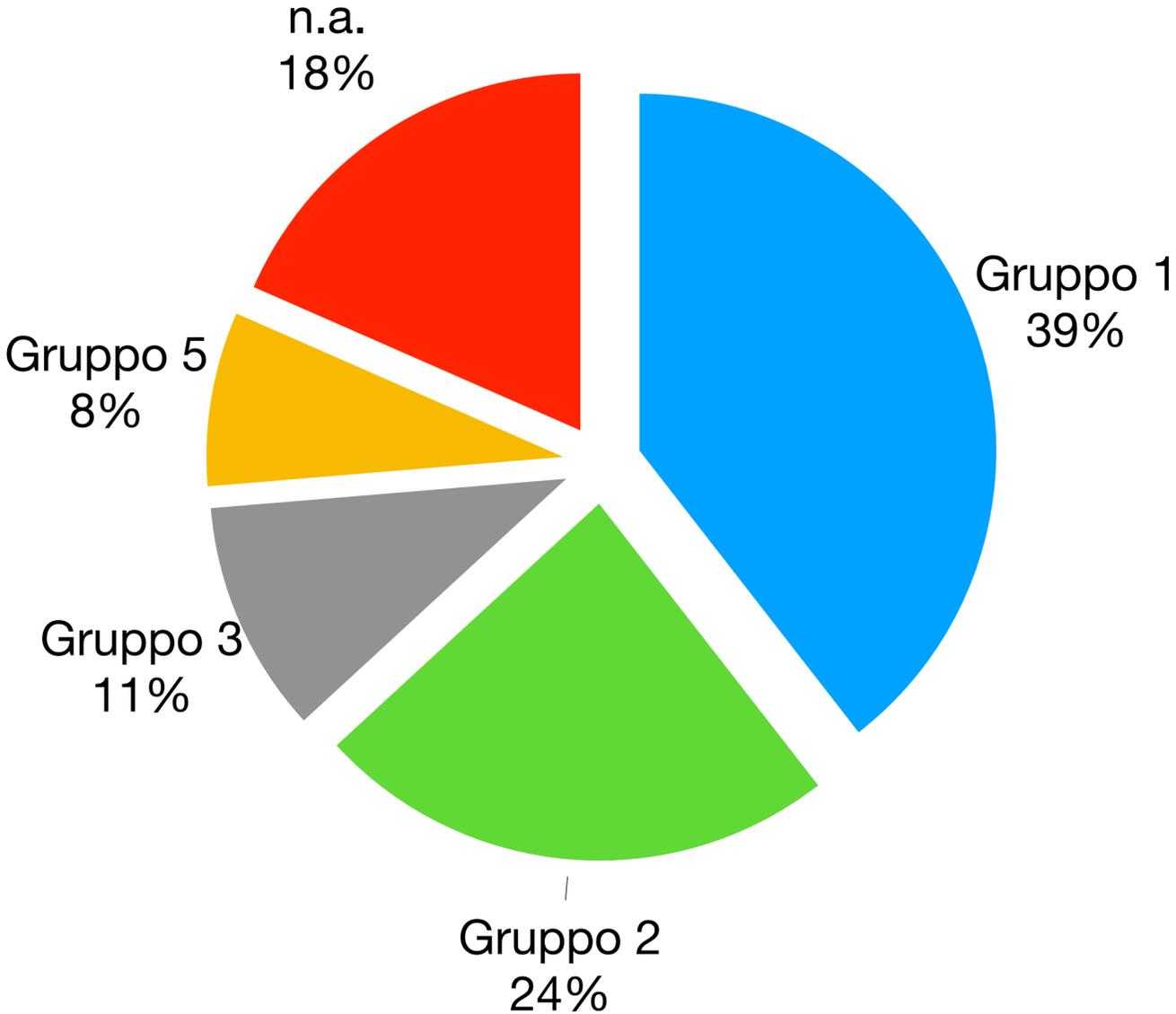
ESPERIMENTO	LAB. ELETTRONICA(MU)
ATLAS	24
NU-AT-FNAL	16
KM3	10
EIC_NET	8
ALICE	7
Limadou	6
CMS	3
ET_ITALIA	3
ENUBET	2
FOOT	2
LHCB	1
SHiP->AIDAInnova	1
PANDORA_GR3	1
SND@LHC	1
IBIS_NEXT	1
LUXE	1
ADMIRAL	1
n_TOF	0.5
MESI UOMO	<b>88.5</b>
DISPONIBILI	<b>95</b>



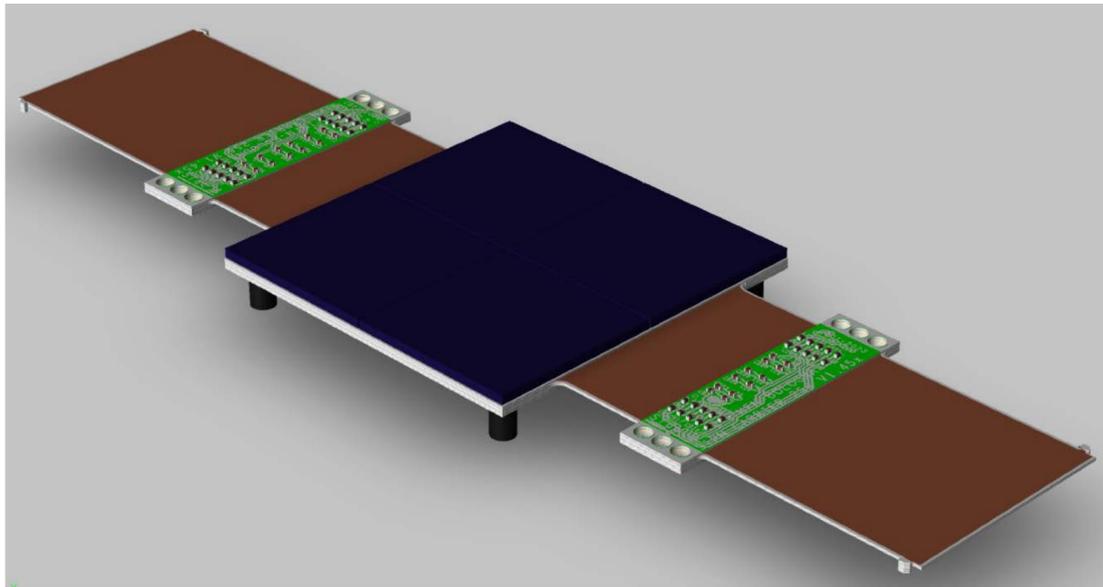
# Sommario attività

76 attività dal 2022 ad ora

(marginii di incertezza sia nella dimensione temporale che nella individuazione di attività)



# Progettazione e produzione di PCB



EIC\_SIPM256, PCB flex per EIC con 256 Sipm su 4 moduli da 64 SiPM ciascuno (PCB a dieci strati, quattro strati su flex, 256 piste ad impedenza controllata sul flex) [Baldanza]



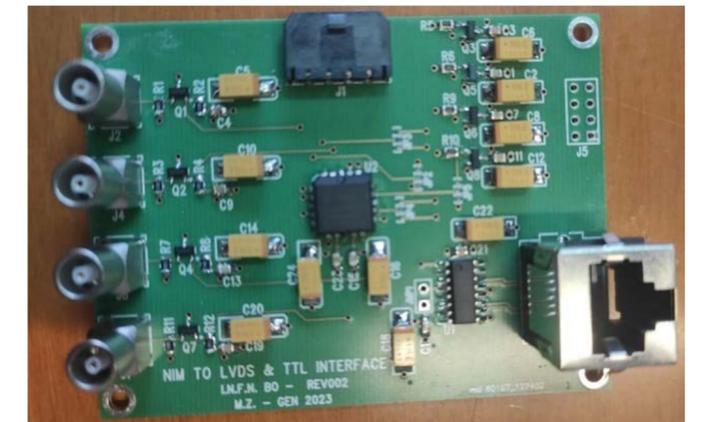
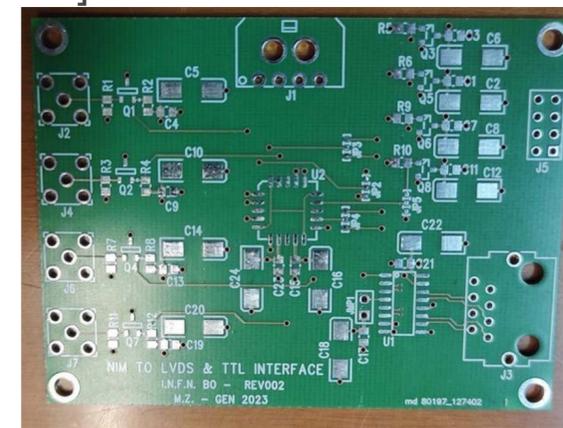
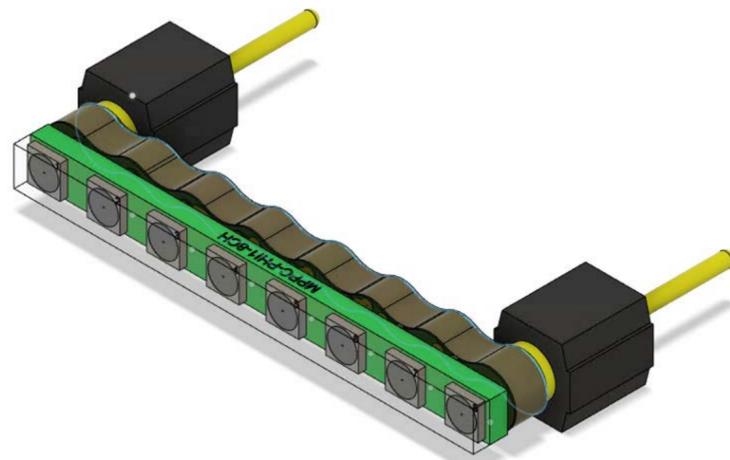
Progettazione delle schede "Sensor PCB V3" per i sensori allo zaffiro dell'esperimento Luxe -70 um spessore piste e isolamento fuori di vias di 100 um [Zuffa]



270 schede Front-end due canali per il sistema di test dei SIPM per Nu@FNAL [Lax]

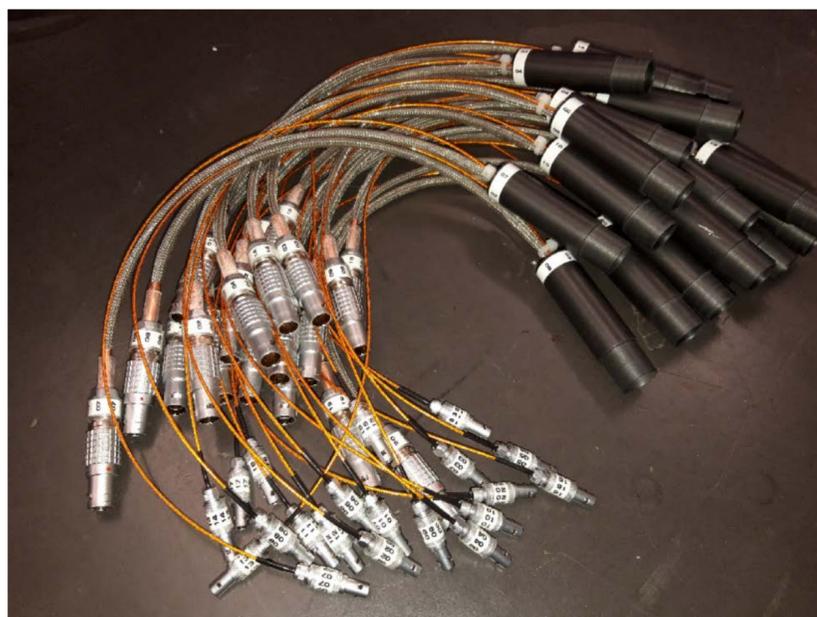


Realizzazione di una micropatch tra SiPM e cavo a 16 poli 30 AWG per HIDRA2 [Veri]



Progettazione, montaggio e test della seconda versione della scheda di conversione di segnali NIM - TTL - LVDS [Mastropasqua, Zuffa]

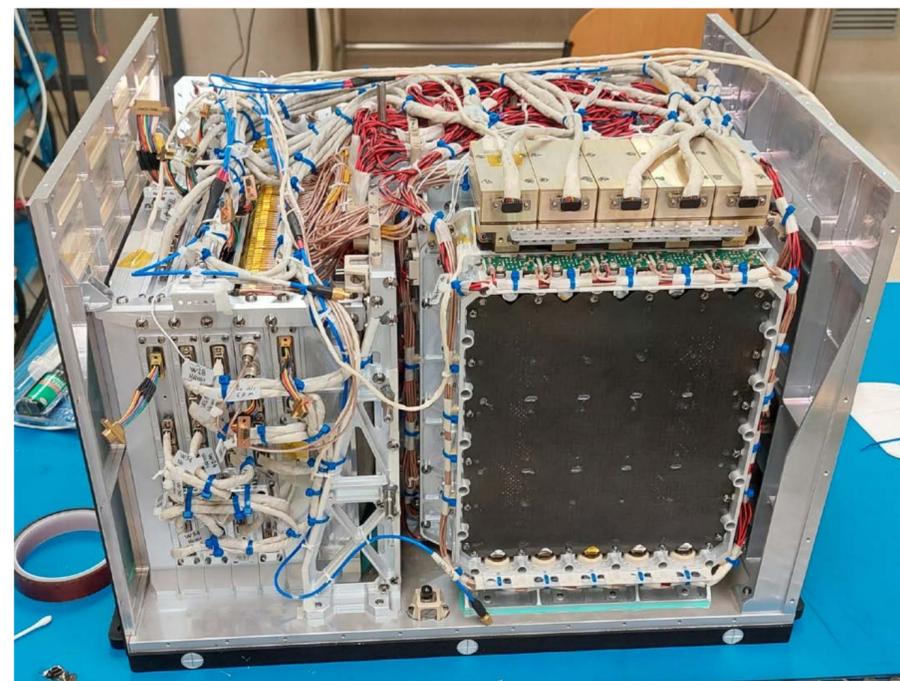
# Supporto agli esperimenti e installazioni



Basi per fotomoltiplicatori  
ATLAS LUCID [Avoni]



Supporto alla realizzazione del primo modulo di base con tecnologia Wet White Rabbit Switch presso il sito di produzione di Caserta per l'esperimento KM3NeT [Pellegrini]

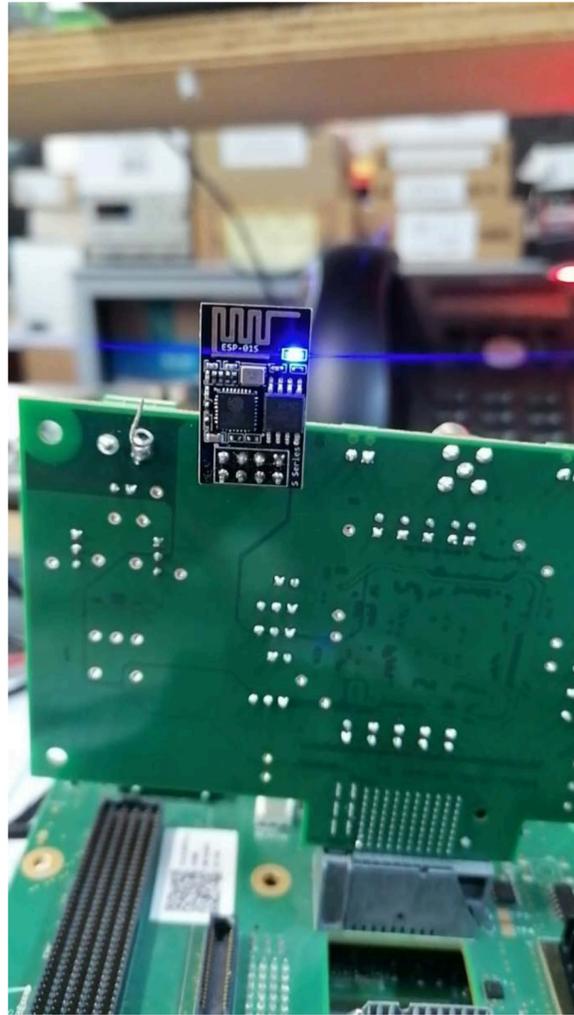


Montaggio e test  
del rivelatore  
HEPD-2  
dell'esperimento  
Limadou-2 presso  
i laboratori di  
Roma 2 [Lolli]

Sistema di misura  
della resistività della  
lastre di bakelite per  
il rivelatore RPC di  
ATLAS [Meneghini]

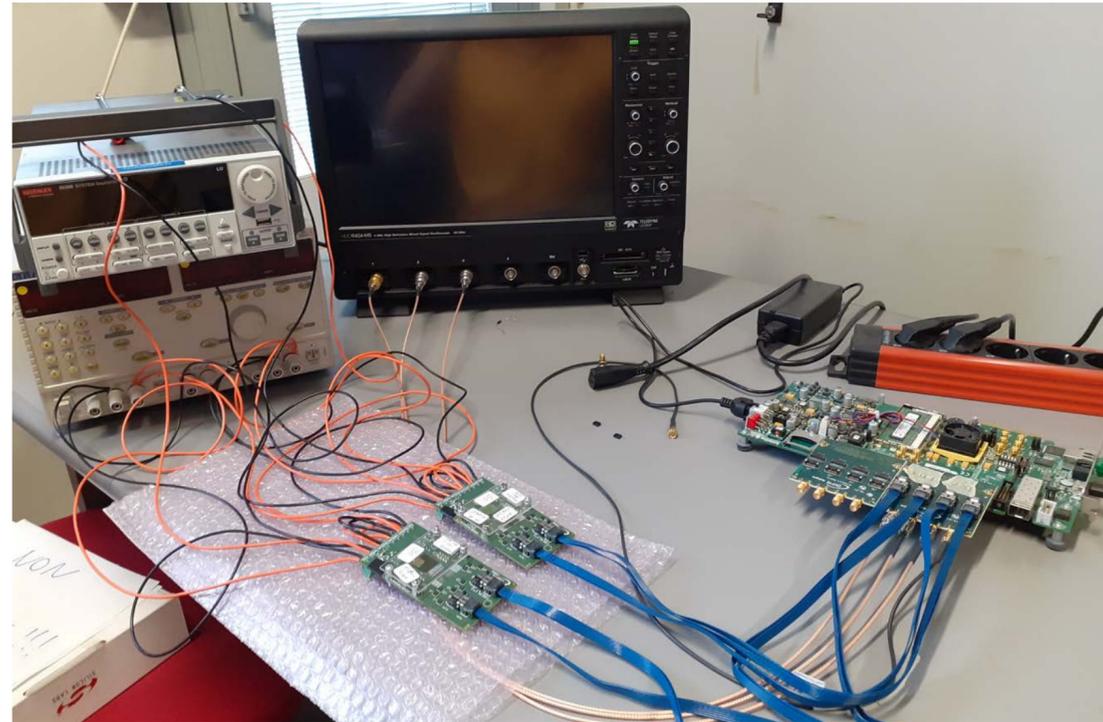


# Attività collegate a sviluppo FW su FPGA



Sistema di controllo via WiFi della scheda Octopaes dell' esperimento Km3 [Degli Esposti]

- client python residente su pc
- server su scheda commerciale Esp\_01s
- firmware VHDL su scheda Octopaes



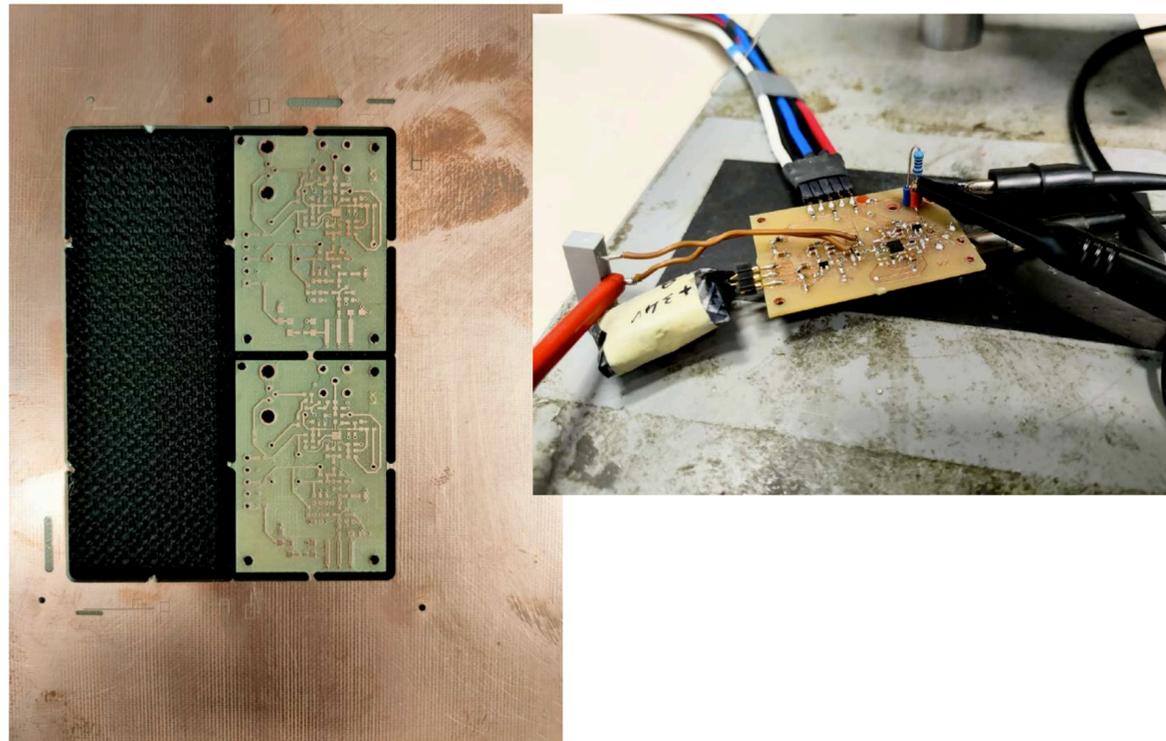
Sistema di test e acquisizione per 2 chip monolitici MD3 per l'esperimento Arcadia [Falchieri]



Corso di Verilog per due classi quinte dell'ITI di Faenza (circa 8 ore a classe) con attività di laboratorio [Balbi]

# Laboratorio di prototipazione PCB

---



2 facce con/senza via

Dedicato a test di componenti/piccole  
campionature

Circuiti con componenti a montaggio  
manuale



Pick and Place per deposito pasta saldante e componenti

Set di accessori per diverse tipologie di componenti arrivati a  
giugno

Obiettivo: test di montaggio completo su PCB di prova entro la  
fine dell'anno

# Microelettronica

## (coordinatore Davide Falchieri)



Abbiamo preparato (grazie a CCL!) un PC con software per la progettazione di **ASIC**:

- **Cadence** (design di chip analogici e digitali): *licenze nazionali*
- **Synopsys** (design di chip digitali): *licenza locale*
- **Mentor Graphics QuestaSim** (simulatore): *licenza locale*

Le tecnologie con cui possiamo lavorare sono:



- **LFoundry**
  - 110 nm
- **TSMC**
  - 28 nm
  - 65 nm
- **UMC**
  - 65 nm
  - 110 nm



progetto Arcadia  
Balbi, Falchieri

già finito



progetto Ignite  
Falchieri

in corso



simulazione analogica  
chip Alcor per EIC  
Rignanese

da cominciare

Training

Il 9 Marzo 2023 Carlo Veri ha tenuto un seminario intitolato:  
“Progettazione di un ASIC analogico mediante Cadence Virtuoso”

Il 22 Marzo 2023 Davide Falchieri e Luigi Rignanese hanno partecipato ad un Corso Cadence: “Flusso di progetto di ASIC con Cadence”

# Ringraziamenti (doverosi ma sinceri!)

---

- Grazie al direttore per il supporto (non solo economico!)
- Grazie a tutti gli altri servizi con cui abbiamo collaborato in modo continuativo e proficuo
- Grazie agli esperimenti per la disponibilità a tutte le (mie!) richieste e per averci permesso di lavorare al meglio
- Grazie a chi si guarderà tutto il materiale addizionale (altre 10 slides!)

Materiale Addizionale

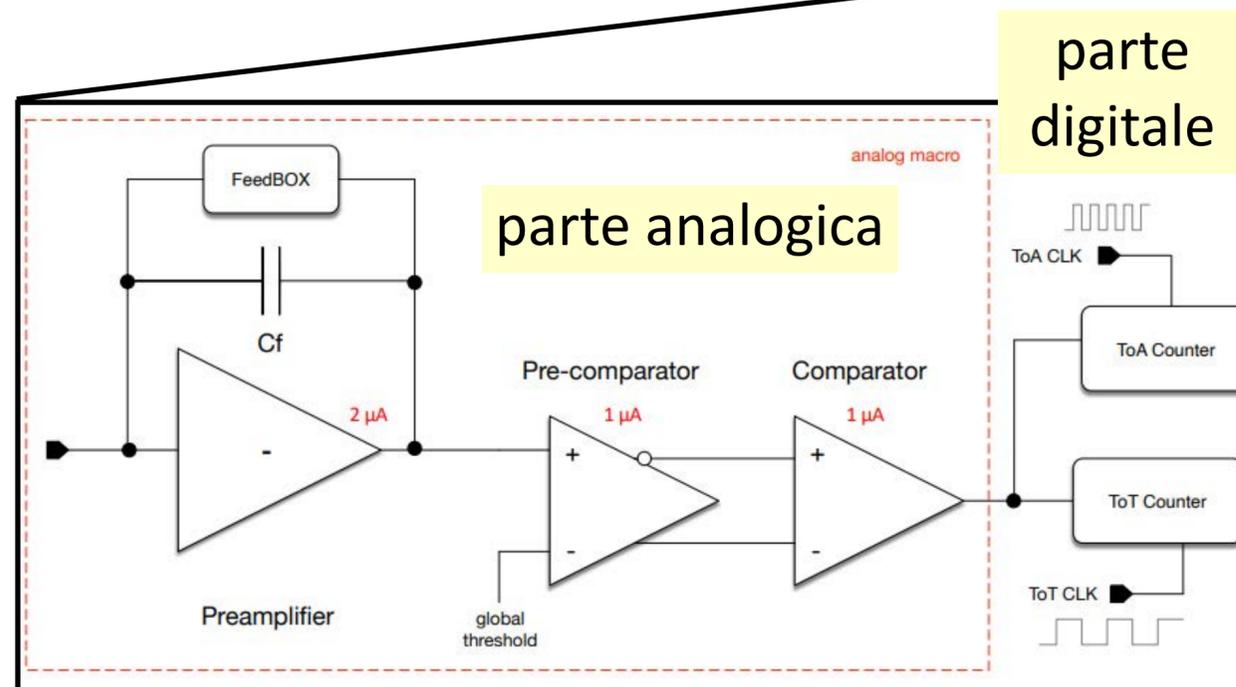
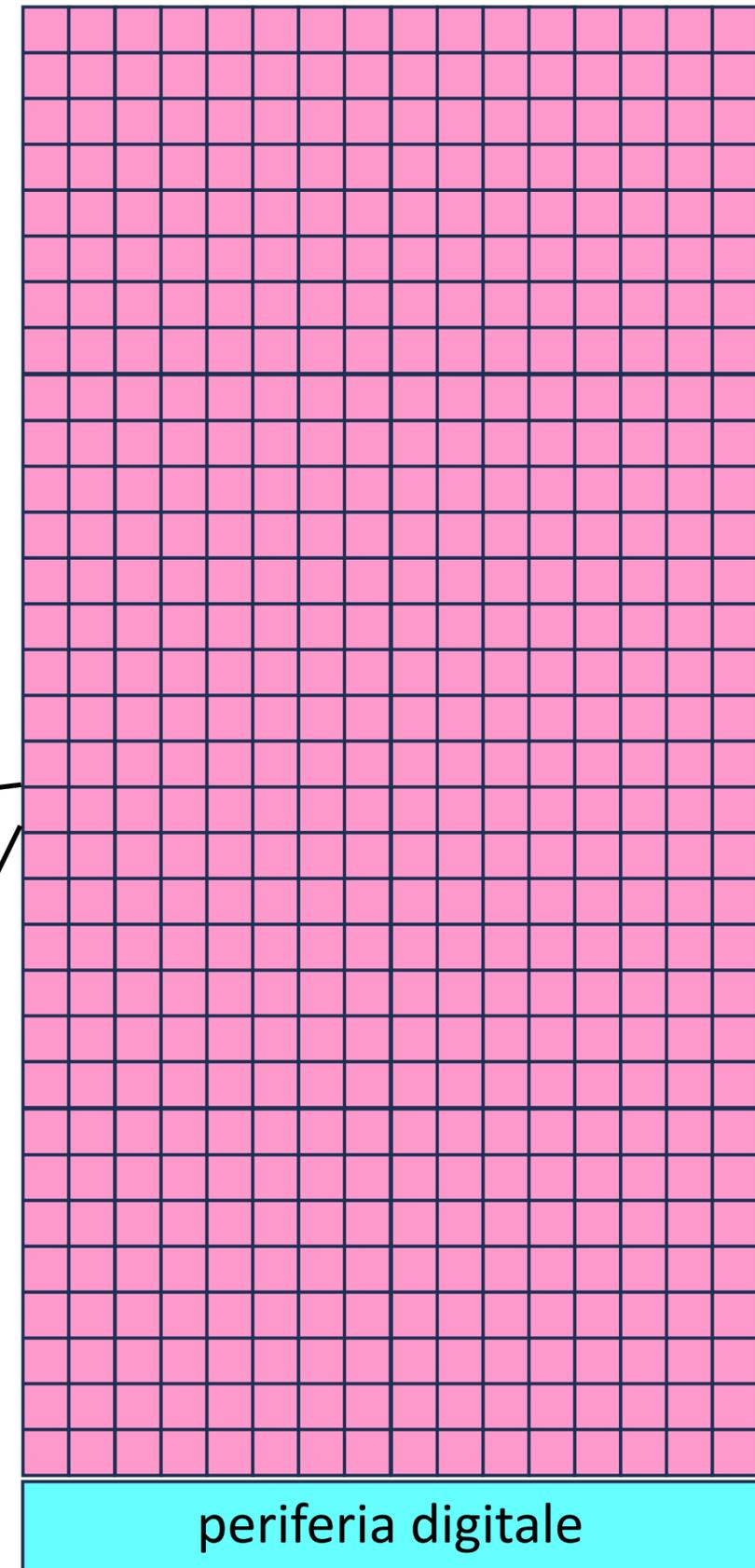
in corso

# Progetto Ignite

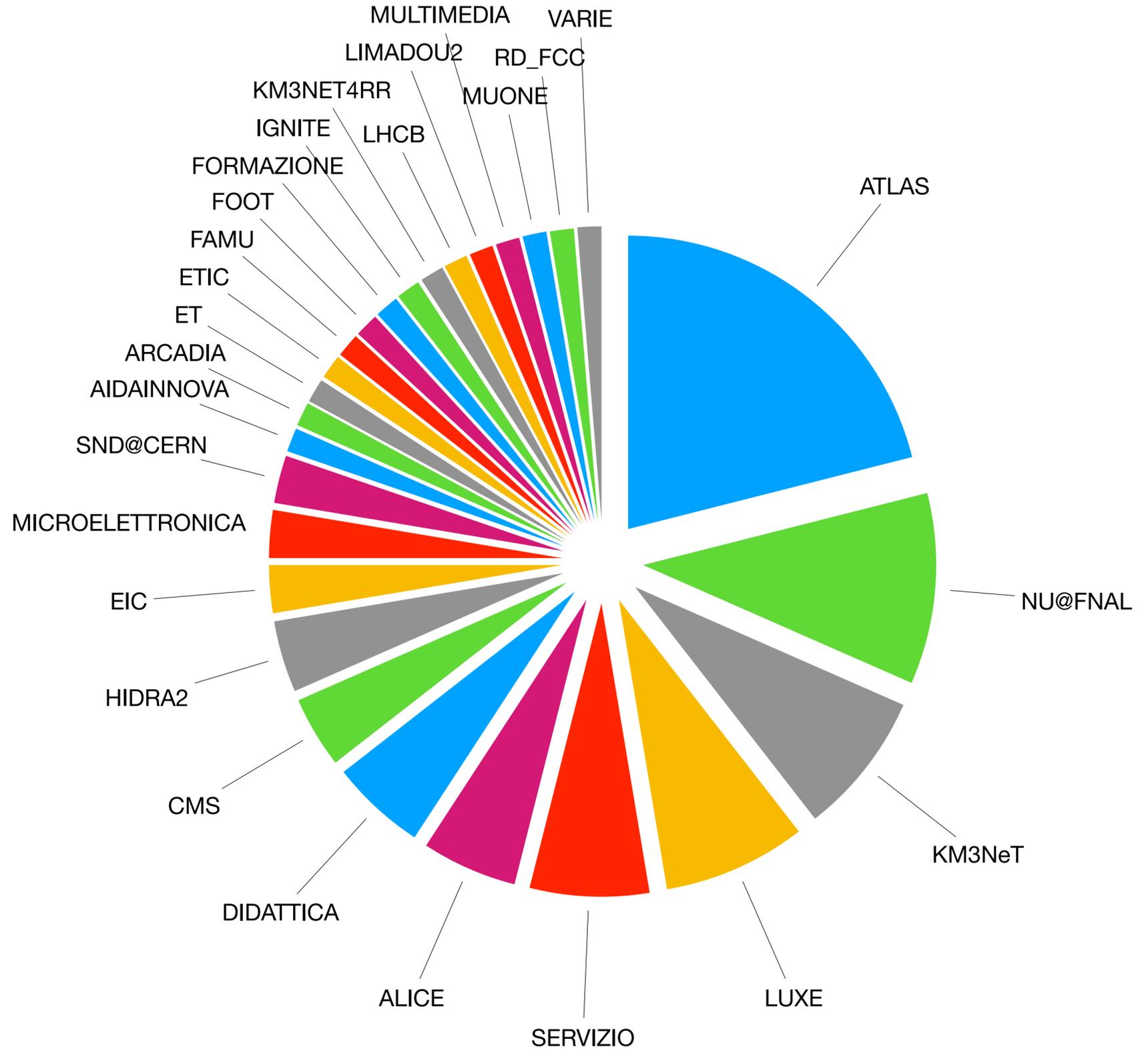
INFN BO ha il compito di progettare la parte digitale di questo chip:

- matrice di 32x16 pixel di area 25x100  $\mu\text{m}^2$
- architettura di front-end basata su ToT
- tecnologia: TSMC 28 nm HPC+
- deadline: Gennaio 2024
- mini@sic ( $\sim 1 \text{ mm}^2$ )
- flusso di progetto con Synopsys
- in collaborazione con Valentino Liberali e Alberto Stabile (MI)

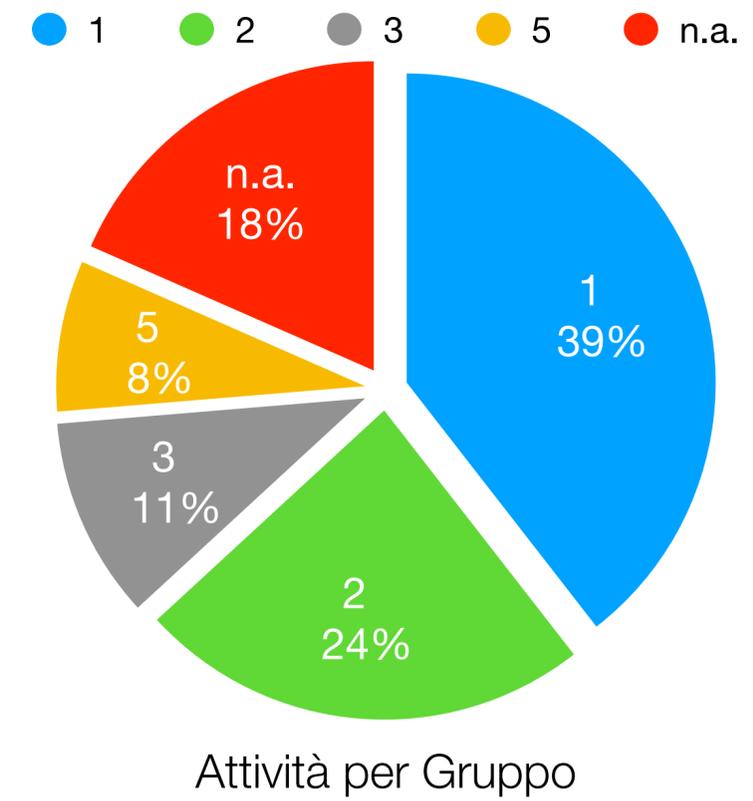
16 colonne



Esperimento	Attività (Count All)
ATLAS	16
NU@FNAL	8
KM3NeT	6
LUXE	6
SERVIZIO	5
ALICE	4
DIDATTICA	4
CMS	3
HIDRA2	3
EIC	2
MICROELETT RONICA	2
SND@CERN	2
AIDAINNOVA	1
ARCADIA	1
ET	1
ETIC	1
FAMU	1
FOOT	1
FORMAZIONE	1
IGNITE	1
KM3NET4RR	1
LHCB	1
LIMADOU2	1
MULTIMEDIA	1
MUONE	1
RD_FCC	1
VARIE	1
<b>Grand Total</b>	<b>76</b>



GRUPPO	Attività (Count All)
1	30
2	18
3	8
5	6
n.a.	14
<b>Grand Total</b>	<b>76</b>



Tipo di attività per esperimento

Esperimento	PCB (Sum)	FW (Sum)	VARIE (Sum)	SUPPORTO (Sum)
AIDAINNOVA	0	1	0	0
ALICE	3	1	0	0
ARCADIA	0	0	0	1
ATLAS	5	2	0	9
CMS	3	0	0	0
DIDATTICA	0	0	4	0
EIC	1	1	0	0
ET	0	0	1	0
ETIC	0	0	0	1
FAMU	1	0	0	0
FOOT	1	0	0	0
FORMAZIONE	0	0	1	0
HIDRA2	2	0	0	1
IGNITE	0	0	1	0
KM3NeT	2	2	0	2
KM3NET4RR	0	0	0	1
LHCB	0	1	0	0
LIMADOU2	0	0	0	1
LUXE	6	0	0	0
MICROELETTRONICA	0	0	1	1
MULTIMEDIA	0	0	1	0
MUONE	0	0	0	1
NU@FNAL	7	0	0	1
RD_FCC	0	0	0	1
SERVIZIO	1	0	3	1
SND@CERN	2	0	0	0
VARIE	0	0	1	0
<b>Grand Total</b>	<b>34</b>	<b>8</b>	<b>13</b>	<b>21</b>

# Strumentazione

---

2 Alimentatori

Data logger per analisi impianti elettrici

Monitor 32" UHD (4K) per microscopio digitale

# Licenze gestite dal Servizio

---

- Microsemi Libero (fondi Alice)
- CAM 350
- Siemens PADS Layout (3 di cui una fondi Alice/Nu@Fnal)
- Siemens PADS Professional
- Orcad PCB
- Europractice Membership Full IC
- Europractice Mentor Graphics Full (Expedition, FPGA suite, Catapult, ...)
- Europractice Synopsys (Digital IC)
- Europractice Xilinx
- Intel Quartus

# Sommario lavori (gruppo I)

Esperimento	Attività	Personale
ATLAS	Preparazione di ulteriori basi per fotomoltiplicatori LUCID	Avoni
ATLAS	Preparazione cablaggi multipolari di bassa e alta tensione, di 35 metri per interconnessione tra rack di controllo/acquisizione e rivelatore del test-bed di ATLAS-AFP al CERN	Avoni
ATLAS	Montaggio dissipatori sulle FPGA delle schede LUCROD di ATLAS-ZDC E ATLAS LUCID.	Avoni
ATLAS	Attività di supporto alla preparazione dei vari test-beam dei Forward Detectors	Avoni
ATLAS	Preparazione, montaggio e test di nuovi rivelatori di luminosità (denominati ATLAS BMA) basati su bonded LGAD.	Avoni
ATLAS	Supporto al sistema di acquisizione basato sulle schede ROD per i rivelatori PIXEL e IBL	Balbi
ATLAS	Sistema di misura della resistività della lastre di bakelite per il rivelatore RPC	Meneghini
ATLAS	Supporto hardware alla scheda Lucrod del rivelatore Lucid	Meneghini
ATLAS	Supporto hardware e sviluppo firmware per la scheda Lucrod del rivelatore ZDC	Meneghini
ATLAS	Realizzazione dello schema elettrico per il prototipo della nuova versione della scheda Lucrod per il rivelatore Lucid	Meneghini
ATLAS	Produzione n.5 schede LV_Cutoff denominate LV_Breaker per ITK	Torromeo
ATLAS	Realizzazione di 3 schede HV_Switch_box aggiuntive per ITK	Torromeo
ATLAS	Modifica delle schede LV_Breaker di ITK con sostituzione di parte dei relays con SSR (State Solid Relays)	Torromeo
ATLAS	Adattamento della scheda Patch ITK_ATLAS per connessioni a vari sensori via SHT_Extended_Flex	Torromeo
ATLAS	Cablaggio e test, in camera pulita, delle schede LV_breaker, HV_Switch Box e Patch ITK_ATLAS con i sensori per il sistema di test di ITK	Torromeo
ATLAS	Montaggio componenti su PCB con sensori per il Setup di test di ITK	Veri
CMS	Progettazione layout, produzione e assemblaggio della scheda elettronica "CMS - NIM to LVDS & TTL Interface Rev001".	Mastropasqua, Zuffa
CMS	Progettazione layout della scheda elettronica "CMS - DC/DC Converter"	Mastropasqua, Zuffa
CMS	Progettazione, montaggio e test della seconda versione della scheda di conversione di segnali NIM - TTL - LVDS.	Mastropasqua, Zuffa
LHCB	Sviluppo di firmware per il sistema di acquisizione del luminometro Plume	Balbi
LUXE	Progettazione del layout delle schede "Sensor PCB V3" ospitanti il sensore allo zaffiro su cui è basato il rivelatore GBP dell'esperimento	Zuffa
LUXE	Progettazione delle schede "Sensor PCB V3 - Test Board" per il test dei pcb ospitanti i sensori allo zaffiro dell'esperimento	Zuffa
LUXE	Assemblaggio componenti su pcb cod "Sensor PCB V3 Rev001" e "Sensor PCB Test Board Rev001"	Zuffa
LUXE	Progettazione layout e produzione delle schede elettroniche "FERS Carrier Board REV001" e "Transition Board REV001" per il test dei sensori del rivelatore GBP dell'esperimento	Zuffa
LUXE	Progettazione layout della scheda elettronica "LUXE - FERS Patch Panel Rev001" per la gestione di tutti i segnali provenienti dai sensori dei rivelatori dell'esperimento	Zuffa
LUXE	Progettazione layout della scheda elettronica "Transition Board REV002" per lo smistamento segnali sui cavi FFC (Flexible Flat Cable) dell'esperimento	Zuffa
MUONE	Supporto al sistema di acquisizione per i test su fascio e partecipazione al test di luglio '22	Balbi, Falchieri, Mastropasqua, Travaglini
RD_FCC	Supporto al sistema di test di una camera microRWELL	Mastropasqua, Torromeo
SND@CERN	Progettazione e produzione della scheda rigido flessibile SND_FLEX, per collegamento flessibile tra scheda SiPM di frontend e scheda di acquisizione	Baldanza
SND@CERN	Progettazione e produzione della revisione di scheda rigido flessibile SND_FLEX2	Baldanza

# Sommario lavori (gruppo 2)

Esperimento	Attività	Personale
ET	Costruzione di un interferometro di Michelson per didattica e divulgazione	Lolli, Degli Esposti, Travaglini
ETIC	Supporto alla realizzazione del laboratorio: progettazione, indagini di mercato, ordini	Balbi, Mastropasqua, Torromeo, Travaglini
KM3NeT	Sistema di controllo via wifi della scheda Octopaes dell' esperimento Km3.	Degli Esposti
KM3NeT	Sistema di validazione del firmware della scheda CLB dell'esperimento Km3	Degli Esposti
KM3NeT	Ricablaggio di tutti i canali del tracciatore dell'esperimento Nessie tramite la realizzazione di PCB	Degli Esposti
KM3NeT	Patch board per inibire il driver RS485 all'interno dei Base Module per la Instrumentation Base	Pellegrini
KM3NeT	Progettazione della quarta generazione di scheda FMC	Pellegrini
KM3NeT	Supporto alla realizzazione del primo modulo di base con tecnologia Wet White Rabbit Switch: realizzazione dei cablaggi e assistenza/turni presso il sito di produzione di Caserta	Pellegrini
KM3NET4RR	Supporto alla realizzazione del laboratorio: progettazione, indagini di mercato, ordini	Degli Esposti, Pellegrini
LIMADOU2	Montaggio e test del rivelatore HEPD-2 presso i laboratori di Roma 2 (Tor Vergata)	Lolli
NU@FNAL	Produzione delle schede mezzanine che alloggeranno le matrici di SiPM che dovranno funzionare in azoto liquido per i test dell'esperimento DUNE; validazione delle schede prodotte per il test LAr imaging.	Lax
NU@FNAL	Produzione delle schede Motherboard, con chip ASIC ALCOR, che saranno poste all'interno del contenitore di azoto liquido per i test delle matrici di SiPM per l'esperimento DUNE. Su ciascuna scheda è previsto il bonding di 8 Chip ASIC per gestire un totale di 256 SiPM	Lax
NU@FNAL	Progettazione, produzione e Test di 20 schede lato freddo, versione 2, che alloggeranno i SiPM e dovranno funzionare in azoto liquido per i test di produzione dell'esperimento DUNE	Lax
NU@FNAL	Produzione e Test di 270 schede Front-end due canali per il sistema di test dei SIPM dell'esperimento DUNE	Lax
NU@FNAL	Progettazione e produzione delle schede Relè 120 canali per il test di massa dei SiPM dell'esperimento DUNE, con controllo da Arduino per realizzare le caratteristiche I-V dei 120 SiPM connessi alla scheda.	Lax
NU@FNAL	Progettazione e produzione di un adattatore per il test dei cavi e connettori SAMTEC a freddo	Lax
NU@FNAL	Progettazione e produzione di un adattatore per connettori SAMTEC QTE80 poli	Lax
NU@FNAL	Assistenza e manutenzione dell'elettronica del sistema di test SiPM dell'esperimento DUNE (realizzazioni di cavi, riparazioni e modifiche dell'elettronica)	Lax

# Sommario lavori (gruppi 3 e 5)

---

Esperimento	Attività	Personale
ALICE	Scheda di sviluppo per picoTDC CERN	Baldanza, Falchieri
ALICE	Sviluppo/debug firmware per scheda TRM+DRM2	Falchieri
ALICE	Progettazione e realizzazione scheda picoTDC_adapter	Torromeo
ALICE	Progettazione dello schematico elettrico per mezzanina con ASIC LIROC che interfaccia i segnali provenienti da un array di 64 SiPM con l'ASIC picoTDC	Veri
EIC	Progettazione e produzione della scheda rigido flessibile EIC_SIPM256, con 256 Sipm su 4 moduli da 64 SiPM ciascuno	Baldanza
EIC	Supporto/introduzione modifiche per il firmware DAQ per la lettura di 6 chip Alcor	Falchieri
FAMU	Produzione e assemblaggio schede "Fast Baseline Restorer" + "ADA4930 X GSPS VER2" + "ADL5565 X GSPS VER2"	Zuffa
FOOT	2 Schedini adattatori	Meneghini
AIDAINNOVA	Preparazione setup hardware/firmware con scheda picoTDC per valutazione prestazioni del chip	Falchieri
ARCADIA	Partecipazione a sessioni di caratterizzazione del chip monolitico MD3 con sorgenti/cosmici/laser e installazione di un sistema funzionante con 2 chip a INFN BO	Falchieri
HIDRA2	Contributo allo sviluppo hardware del calorimetro	Falchieri
HIDRA2	Realizzazione di una scheda patch per segnali provenienti da SiPM e scheda FERS	Veri
HIDRA2	Realizzazione di una micropatch tra SiPM e cavo a 16 poli 30AWG	Veri
IGNITE	Preparazione per il design della parte digitale di un chip in tecnologia TSMC 28 nm	Falchieri

# Sommario delle attività (altri progetti e gestione del servizio)

---

Esperimento	Attività	Personale
<b>DIDATTICA</b>	Corso di Verilog per due classi quinte dell'ITI di Faenza (circa 8 ore a classe) con attività di laboratorio	Balbi
<b>DIDATTICA</b>	Modulo di 24 ore nel corso "Applied electronics" per Laurea magistrale in Physics	Falchieri
<b>DIDATTICA</b>	Modulo di 8 ore nel corso "Laboratory of data acquisition and data processing" per Laurea magistrale in Physics	Falchieri
<b>DIDATTICA</b>	Ristrutturazione del simulatore di aurore boreali	Lolli
<b>FORMAZIONE</b>	Corso di formazione INFN su Tecniche Di Machine Learning Con Dispositivi FPGA per Gli Esperimenti Di Fisica Delle Particelle	Travaglini
<b>MICROELETTRONICA</b>	Studio e maintenance di CAD e licenze	Falchieri, Balbi, Veri
<b>MICROELETTRONICA</b>	Formazione sulle tecniche di wire bonding (in collaborazione con il Laboratorio Silici)	Torromeo
<b>MULTIMEDIA</b>	Supporto audio/video ad eventi. corsi di formazione e all'editing e all'archiviazione delle riprese	Bisi, Lolli, Meneghini
<b>SERVIZIO</b>	Supporto alle licenze	Bisi
<b>SERVIZIO</b>	RDA per acquisto Materiale elettronico di consumo e inventariabile per i vari esperimenti della sezione INFN di Bologna	Lax, Zuffa
<b>SERVIZIO</b>	Supporto allo smontaggio camera a vuoto per spostamento della facility	Lolli
<b>SERVIZIO</b>	Gestione della strumentazione	Tutti
<b>SERVIZIO</b>	Realizzazione di PCB tramite il laboratorio di prototipazione del servizio e assemblaggio delle varie schede elettroniche (8 in totale)	Zuffa
<b>VARIE</b>	Test di schede acceleratrici FPGA commerciali sviluppo della piattaforma per future applicazioni su INFNcloud (in collaborazione con il servizio di Calcolo e Reti)	Travaglini

# Ordini nel primo semestre 2023

---



Not started	3
In progress	16
Late	7
Completed	26

di cui 36 k€ in PCB