



Finanziato
dall'Unione europea
NextGenerationEU



Ministero
dell'Università
e della Ricerca



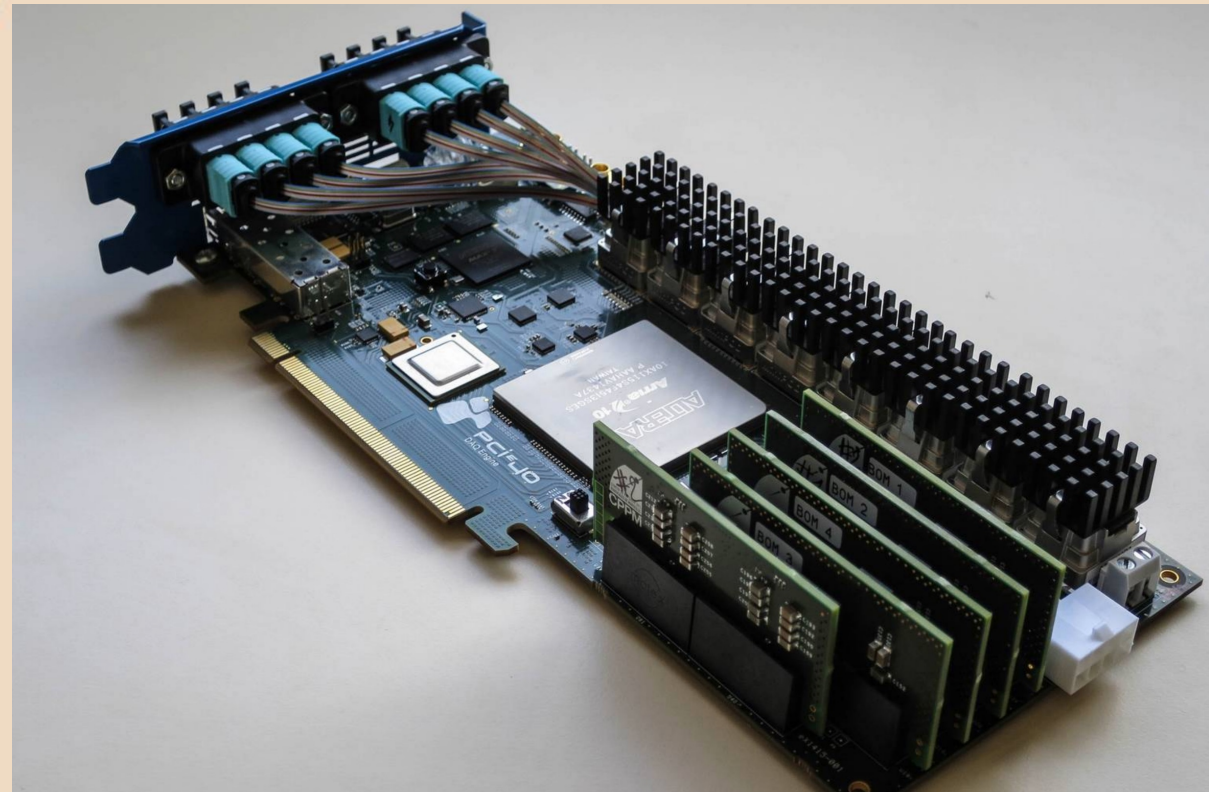
Italiadomani
PIANO NAZIONALE
DI RIPRESA E RESILIENZA

Electronics in ETIC a brief overview

A. Cardini / INFN Cagliari

on behalf of the ETIC Participants

alessandro.cardini@ca.infn.it





Le OU coinvolte principalmente su item di elettronica

- GEMINI (WP4), LNGS - development of an active seismic-isolation system and an interplatform motion control for ET
- PLANET (WP2), INFN-NA & UniNA - development and test the ET environmental monitoring, the squeezing system for quantum noise reduction, the new suspension system for the ET test mass
- AiLOV-ET (WP2), INFN-RM2 & UniRM2 - development of innovative technologies for wavefront sensing and control
- ETICO2 (WP2) – INFN-CA & UniCA - will develop, build and characterize custom optoelectronics devices to monitor and control the ET interferometer
- BETIF (WP2-WP5), INFN-BO - integrates resources for time synchronization, data processing and computing
- DIFAET (WP5), UniBO & CTLAb (WP5), INFN-TO - heterogeneous computing platforms for data analysis and simulation



GEMINI (WP4) – LNGS

- Contatto:
 - Jan Harms jan.harms@gssi.it
- Development of an active seismic-isolation system and and interplatform motion control for ET
- Tecnologia abilitanti: sviluppo di nuovi sistemi di controllo
 - Modulare (commercial) vs. Custom design
 - Ultra-low noise ADC (multi-canale, O(100 kHz))
 - AI core per implementare algoritmi machine-learning (GPU, FPGA)
 - DAC multi-canale
- Investimento
 - ~300ke (per sensori/attuatori ed elettronica di processing)



PLANET (WP2) - INFN-NA & UniNA

- Contatto: Rosario De Rosa rosario.derosa3@unina.it
- Develop and test the ET environmental monitoring, the squeezing system for quantum noise reduction, the new suspension system for the ET test mass
- Tecnologie abilitanti
 - sistemi acquisizione e controllo real-time digitali
- Investimento: ~150ke
 - 2 sistemi di controllo programmabile con frequenza di campionamento pari ad almeno 50 kHz, 32 canali ADC a 24 bit, 24 canali DAC a 24 bit, Clock sincronizzato al GPS, CPU 8 core, 3.9 GHz, cache 8Mb, Mem. 32 Gb
 - 1 spectrum Analyzer a bassa frequenza (DC-100 kHz), 4 canali ad elevata risoluzione (ADC a 24 bit), generatore di segnali integrato
 - 1 oscilloscopio digitale high-end



AiLoV-ET (WP2) - INFN-RM2 & UniRM2

- Contatto:
 - Alessio Rocchi alessio.rocchi@roma2.infn.it
- Targeting the development of innovative technologies for wavefront sensing and control
- Tecnologie abilitanti: research & development activities on wavefront sensing and control in a pollution-controlled environment for aberration control
 - Sensori commerciali multipixel IR (CCD, CMOS)
 - Sistemi per il post-processing delle immagini a bassa latenza e in quasi-real-time: GPU/FPGA
 - Preamplificatori ultra-low noise a basso numero di canali
 - Strumentazione: Analizzatore di spettro, oscilloscopio digitale



DSP in sistemi closed-loop

- Contatto:
 - Franco Frasconi franco.frasconi@pi.infn.it
 - Alberto Gennai alberto.gennai@pi.infn.it
- Anche se non si tratta di attività esplicitamente inserita in ETIC, l'opportunità di usare i DSP per sviluppare la nuova generazione dei sistemi di controllo è un argomento che il gruppo di Pisa continua a studiare
- Per fare un esempio, ad Advanced Virgo le board di controllo custom che sono state realizzate contengono:
 - 6ch ADC (24bit, 3.84 MSPS)
 - 6ch DAC (24bit, 320 kSPS)
 - FPGA
 - 8-core DSP TMS3206678
- Applicazione: controllo attivo dei futuri Super Attenuatori



ETICO2 (WP2) – INFN-CA & UniCA

- Contatto:
 - Adriano Lai adriano.lai@ca.infn.it
 - Alessandro Cardini alessandro.cardini@ca.infn.it
- Develop, build and characterize custom optoelectronics devices to monitor and control the ET interferometer
- Investimenti previsti
 - flip-chip bonder, 1 μ m accuracy, ~400ke
 - probe station con chuck freddo, ~350ke
 - macchina per wire-bonding semi-automatica, ~120ke
 - pick&place per montaggio PCB, ~50ke
 - wafer dicer, ~30ke
 - Strumentazione (~150ke)
 - misuratore IV/CV multicanale
 - Logic-state analyzer & pattern generator
 - 16 GHz high-end digital oscilloscope
 - 16 GHz vector-network analyzer



Le Clean Rooms

- La costruzione di nuove clean room è una necessità di alcune delle UO coinvolte nell'elettronica e anche di altre UO
- Requirements
 - da ISO7 (classe 10000) fino a ISO5 (classe 100)
 - tra 50m² e 100m²
 - controllate in temperatura e umidità con varia accuratezza
- Investimenti previsti
 - Etico2 (UniCA) ~300ke
 - Galileo (INFN-GE) ~390ke
 - Planet (INFN-NA) ~200ke
 - AiLoV-ET (INFN-RM2) ~230ke



BETIF (WP2-WP5) - INFN-BO

- Contatto:
 - Tommaso Chiarusi tommaso.chiarusi@bo.infn.it
 - Riccardo Travaglini riccardo.travaglini@bo.infn.it
- Time synchronization, data processing and computing
- Tecnologie abilitanti:
 - White Rabbit (sub-ns time synchronization over fiber/copper ethernet with open-source HW/SW)
 - FPGA (Field Programmable Gate Array) & GPU (Graphical Processing Units) processing boards
- Investimento ~300ke
 - Server, PCs, infrastruttura di rete: ~60 k€
 - Strumentazione scientifica: high-speed mixed-mode digital oscilloscope ~60 k€
 - Server per calcolo eterogeneo con schede di accelerazione basate su FPGA: ~50 k€
 - Dispositivi GPU: ~60 k€
 - Infrastruttura White Rabbit: ~60 k€



DIFAET (WP5) – UniBO & CTLAb – INFN-TO

- Contatti
 - DIAFET: Andrea Cimatti a.cimatti@unibo.it
 - CTLAb: Stefano Bagnasco Stefano.Bagnasco@to.infn.it
- Tecnologie abilitanti
 - Enabling R&D for accelerated science in ET via a heterogeneous computing platform to support design and testing of innovative ET applications (DIFAET)
 - A laboratory for R&D, prototyping and testing of computing technologies for data analysis, waveform simulation, data management and low-latency services (CTLab)
- Investimento (~600ke)
 - Servers and head nodes: Phase 1a (GPUs): Nvidia Titan RTX or Geforce 3090 and Nvidia Ampère / Phase 1b (FPGAs, accelerators): Xilinx Alveo U250, Xilinx Alveo U280, Xilinx SN100 / Phase 2 compute (GPU+FPGA) (DIFAET)
 - Servers, storage appliances and networking (CTLab)



Take home message

- I moderni sistemi di elaborazione dati in (quasi) real-time e a bassa latenza e i sistemi di controllo (anche closed-loop) sono uno dei principali item di studio di molte UO, e sarà importante convergere su (poche) soluzioni flessibili e facilmente upgradabili:
 - Ultra low-noise, high-resolution, high-speed analog input/output stages
 - CPU/GPU/FPGA/DSP based, o un mix di questi «sapori», application dependent
 - monolithic design vs. modular design
 - custom vs. commercial systems
- Lo sviluppo di ASIC analogico/digitale custom e la loro integrazione con sensori viene visto di importante potenzialità, sfruttando per nuovi scopi quanto viene fatto negli esperimenti agli acceleratori da più di 30 anni e forti dell'esperienza già acquisita dalla comunità: per questo item viene richiesta l'acquisto di strumentazione specifica
- C'è una relativamente piccola richiesta di strumentazione da laboratorio ma tipicamente high-end: oscilloscopi digitali, VNA, analizzatori di spettro, SMUs, IV/CV meter, Logic-state analyzer & pattern generator
- La distribuzione accurata del tempo (sub ns) utilizzando tecnologie d'avanguardia e con hardware e software open-source è un altro importante elemento che viene studiato in ETIC
- La realizzazione di nuove clean rooms è necessaria per permettere lo sviluppo di molte delle tecnologie abilitanti per ET