

HASPIDE WP2

Valentino Liberali, INFN Milano

October 4, 2022



Primo test chip

Sblocco fondi: 15 k€ per Milano a settembre

per fabbricazione di miniASIC in tecnologia CMOS 28 nm HPC+ (TSMC)

- Area minima (silicio): 1 mm²
- Costi (2022):
 - prezzo normale: 9755 € (+IVA) per area minima + incremento di 717 € (+IVA) per ogni 0.1 mm² in più
 - prezzo scontato: 7833 € (+IVA) per area minima + incremento di 681 € (+IVA) per ogni 0.1 mm² in più
- Costi e date 2023 non ancora disponibili
- Area fabbricabile:
 - prezzo normale: 1.3 mm²
 - prezzo scontato: 1.6 mm²
- Da layout a silicio: scaling $\times 0.9$ lineare
- Area disegnabile (pre-scaling):
 - prezzo normale: 1.6 mm²
 - prezzo scontato: 2 mm²
- Sottomissione a gennaio/febbraio 2023 (prima data utile)
- (nel 2022 le date sono: Feb 2, May 25, Jul 27, Oct 26)
- Emissione ordine nel 2022



Prenotazione del test chip

Da fare con almeno tre mesi di anticipo — **ORA** per gennaio/febbraio 2023

Per la compilazione del form on-line, bisogna decidere il “flavor” della tecnologia:

- LOGIC / RF
- pad voltage: 1.8 V / 2.5 V (il core digitale è 0.9 V)
- metal stack

Proposta: mini-riunione Torino-Milano per prenotare il mini-ASIC



Riprendere le riunioni periodiche di workpackage (2 al mese?)
per discutere di:

- chip
- sistema di acquisizione

