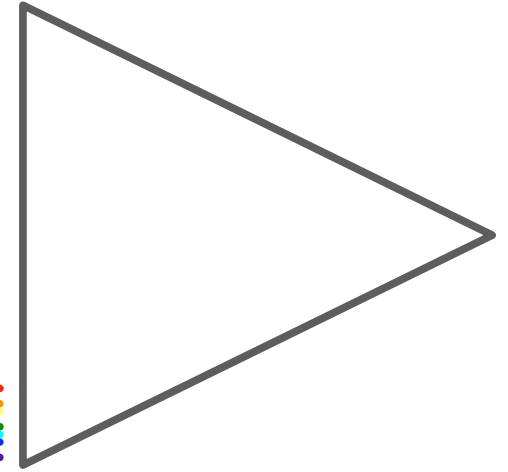


# Falaphel



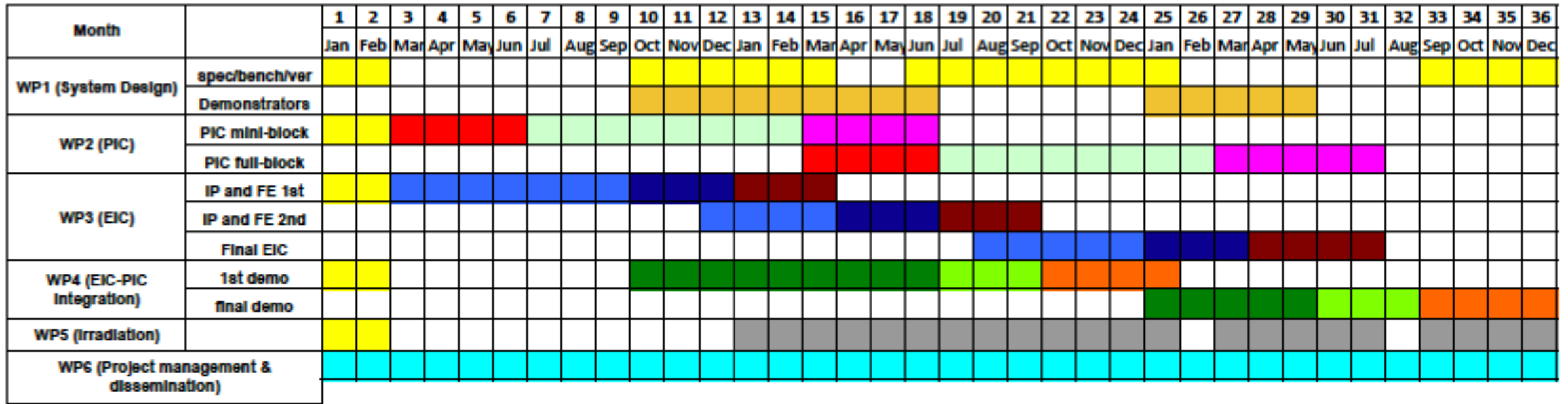
## **FALAPHEL General meeting**



# Prossime slot per TSMC e IMEC

- TSMC 28nm HPC+ 26 ottobre
- IMEC iSipp50G. 5 Ottobre

# GANTT



**MILESTONES**  
Deliverables



#	Milestone	Fraction	Due	Motivo
M1	Definizione delle specs	100%	Feb 21	
M2	PIC submission half-block	0%	Jun 21	Arrivo tardivo PIC precedente
M3	1st submission high-speed EIC	0%	Oct 21	TSMC contract not ready
M4	2nd submission high-speed EIC	80%	Apr 22	Delayed (was 1st)
M5	Final PIC design		Jun 22	Delayed
M6	1st PIC-EIC integration		Sep 22	On-going

# Stato del reclutamento

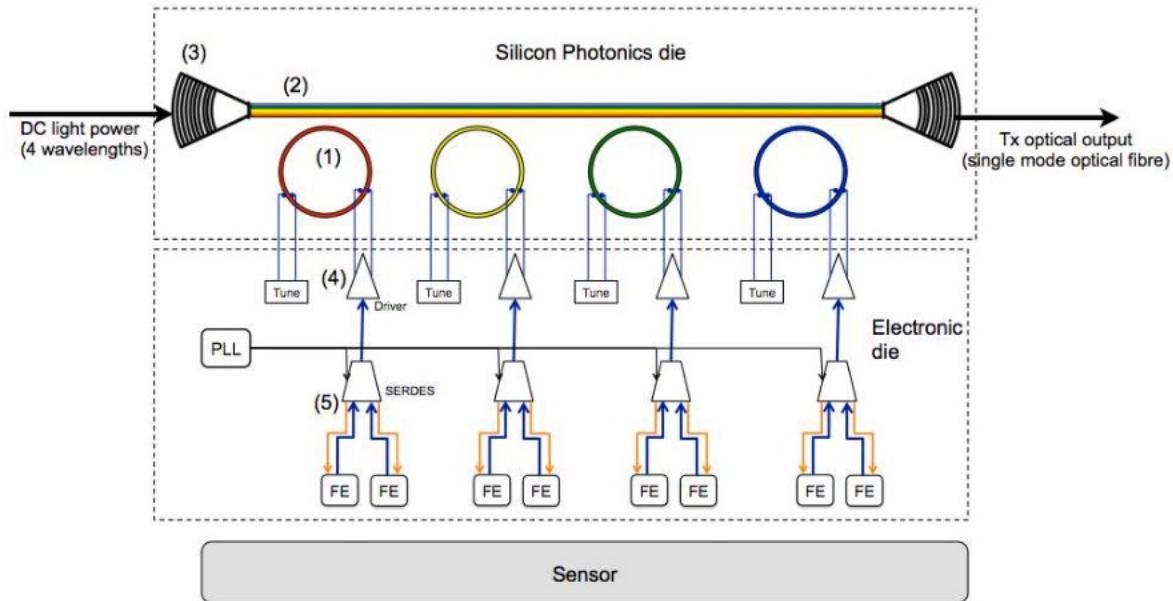
- A Pisa
  - 1 AdR Junior per PLL/CDR ancora da bandire
  - 11/12 AdR Senior (ex Ciarpi) da bandire
  - 1 AdR Junior per Silicon Photonics bandito – 1 domanda
- A Pavia
  - 1 AdR Junior per DAC design in corso (Fratus - seconda annualità)
  - 1 AdR Junior per FE design (Galliani)
- A Padova
  - 1 AdR Junior da bandire

# Interposer or not?

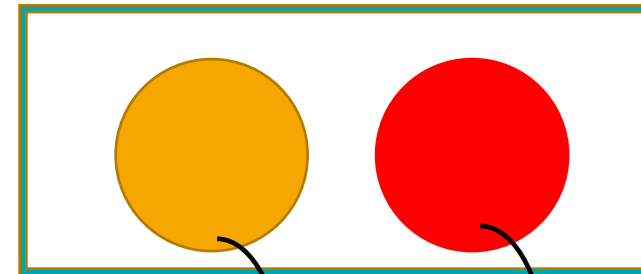
- Stante le difficoltà di reclutamento, e la possibilità di studiare soluzioni di integrazione con interposer, i nostri referees hanno suggerito di “esternalizzare” il disegno dell’interposer sfruttando il budget degli AdR.
- NB: il budget non impegnato entro la fine del progetto dovrà esser restituito alla commissione
  - Possiamo chiedere l’estensione del Progetto cercando di portare il budget avanzato, ma non è del tutto scontato sia possibile recuperare grandi cifre.

Sigla Loc.	Capitolo	Riunione	Note Alla Richiesta	Rich.	Rich. SJ	Assegn.	Assegn. SJ	Assegn. n. Dot.	Commento Alla Assegnazione
	CON	Assegnazioni	Sottomissione chip elettronici (serializzatore, driver, PLL, heater)	34.0	0.0	17.0			2 chip 2mm2 tecnologia HPC+ TMSC, assegnato chip con Driver, seconda iterazione spostata a 2023, rimanendo aperta la possibilità di una richiesta aggiuntiva in corso d'anno
		Assegnazioni	Sottomissione chip fotonico	25.0	0.0	25.0			
		Assegnazioni	Fabbricazione interposer	25.0	0.0	0.0	25.0		SJ alla scelta del processo e del preventivo relativo.
		Assegnazioni	Test board EIC	10.0	0.0	6.0			
		Assegnazioni	Test board PIC	10.0	0.0	6.0			
		Assegnazioni	Test board Interposer	10.0	0.0	0.0	10.0		SJ alla scelta del processo e del preventivo relativo.
		Assegnazioni	Cavi, jig, colle	5.0	0.0	2.5			
		Assegnazioni	Fibre array per chip fotonici	10.0	0.0	0.0	8.0		Presentazione preventivo
		<b>Totale CON</b>		<b>129.0</b>	<b>0.0</b>	<b>56.5</b>	<b>43.0</b>	<b>0.0</b>	
	ALTRICONS	Assegnazioni	Disegno e studi di fattibilità assemblaggio chip fotonico e elettronico AŞ	40.0	0.0	30.0			Prevede anche la produzione di 5 oggetti integrati.

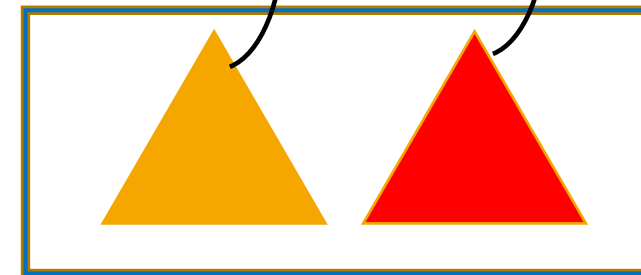
# Verso una versione minimale del dimostratore (Da discutere)



**1 EIC con 2 driver che pilota una coppia di RM**



1 PIC con N 2xRM



N EIC con 2 driver

- Pitch?
- Bondabilità solo wire bond o anche compatibile con interposer?