



Contribution ID: 58

Type: **Presentazione**

Front-end analogico per pixel ibridi e monolitici in tecnologia CMOS ad integrazione verticale per il layer0 di SuperB

Thursday, 28 April 2011 16:30 (10 minutes)

Per il progetto del Layer0 del rivelatore di vertice (Silicon Vertex Tracker, SVT) di SuperB, cioè lo strato di rivelazione più vicino al punto di interazione dei fasci, sono state proposte tre soluzioni differenti: rivelatori a striscia di ridotta lunghezza (striplets), sensori a pixel ibridi e pixel monolitici attivi (Monolithic Active Pixel Sensors, MAPS) in tecnologia CMOS. I rivelatori a striscia risultano essere una tecnologia matura e sono caratterizzati da un ingombro ridotto. Questa soluzione ha però lo svantaggio che, alla massima luminosità della macchina, mostra una scarsa efficienza a causa degli elevati livelli di background. Una soluzione a pixel ibridi con ridotto pitch ($50\ \mu\text{m}$) consentirebbe l'utilizzo di questi sensori anche ad elevati rate di eventi ($\sim 100\ \text{MHz}/\text{cm}^2$) con buona efficienza. La limitazione di questa tecnologia è rappresentata da un ingombro relativamente elevato, il quale può incrementare la probabilità di fenomeni di scattering multiplo, anche se, recenti tecniche di integrazione verticale a basso contenuto di materiale per l'interconnessione tra elettronica e sensore potrebbero mitigare questo problema. I sensori MAPS considerati in questo studio risultano caratterizzati dall'utilizzo di una n-well a giunzione profonda (deep n-well, DNW) quale elemento di raccolta della carica. Questi dispositivi sono in grado di soddisfare i requisiti del Layer0 di SuperB dal punto di vista dell'ingombro, in quanto il loro substrato può essere assottigliato fino a qualche decina di micrometri senza significativa perdita di segnale. Nell'ambito della collaborazione VIPIX sono state progettate due strutture di test: la prima, SuperPix1, è un chip di front-end per pixel ibridi contenente una matrice di 32×128 elementi; la seconda, ApseVI, è una matrice di 128×96 pixel monolitici attivi. L'utilizzo dei processi ad integrazione verticale (3D) ha permesso di realizzare due layer CMOS con lunghezza minima di canale pari a $130\ \text{nm}$, consentendo un incremento della densità funzionale rispetto a prototipi precedentemente sviluppati per la stessa applicazione, ma progettati in tecnologia CMOS planare. Le tecniche 3D permettono la realizzazione di circuiti a segnali misti, potenzialmente immuni da problemi di crosstalk tra parte analogica e parte digitale. In particolare, nei MAPS a DNW l'utilizzo di tecniche 3D può migliorare anche l'efficienza di raccolta della carica grazie alla possibilità di ridurre l'area delle n-well competitive, necessarie per i transistori a canale p, nello strato in cui è presente l'elettrodo di raccolta a deep n-well. I canali di lettura integrati nelle celle elementari delle matrici (il cui pitch è di $50\ \mu\text{m}$ per entrambe le strutture di test) risultano costituiti da una sezione analogica formata da un preamplificatore di carica e da uno stadio di formatura del segnale, seguita da un circuito comparatore e dai blocchi logici necessari per implementare la lettura selettiva dei pixel che hanno rivelato un evento. La lettura dei dati presenti nella matrice potrà avvenire in modalità triggered o data-push. Questo lavoro descrive il progetto di due circuiti di front-end per pixel ibridi e per sensori monolitici a pixel attivi in tecnologia CMOS ad integrazione verticale per applicazioni di tracciatura di particelle cariche, con particolare riferimento al Layer0 di SuperB. L'articolo, oltre ad evidenziare i criteri per il progetto dei canali di lettura, discuterà le loro principali caratteristiche e i risultati delle simulazioni circuitali.

Primary author: MANAZZA, Alessia (Università degli studi di Pavia)

Presenter: MANAZZA, Alessia (Università degli studi di Pavia)

Session Classification: Sessione Dottorandi - II

Track Classification: Dottorandi e Posters