



Contribution ID: 10

Type: **Presentazione orale**

Analisi delle performance degli acceleratori basati su FPGA in ambito HPC

Wednesday, 25 May 2022 08:55 (25 minutes)

L'uso di acceleratori hardware è ormai molto comune, ed i più diffusi sono senz'altro basati su GPU. Recentemente però, in alcuni Data Center, stanno cominciando a venire utilizzati anche acceleratori basati su FPGA, con l'obiettivo di accelerare carichi di lavoro specifici.

Data la tendenza all'utilizzo in ambito HPC di hardware sempre più eterogeneo e specializzato, nonché le recenti acquisizioni di produttori di FPGA da parte di aziende leader nello sviluppo di processori, si può immaginare che gli acceleratori basati su FPGA saranno sempre più diffusi nel prossimo futuro.

È già noto che le FPGA permettono di accelerare l'esecuzione di codici in diversi campi applicativi, ma stimare le loro prestazioni, in particolare nel contesto di carichi di lavoro HPC, non è banale.

Per farlo abbiamo sviluppato un benchmark sintetico denominato FER (FPGA Empirical Roofline), in grado di misurare la performance di calcolo e la larghezza di banda della memoria di acceleratori basati su FPGA. Utilizzando il noto modello Roofline come base teorica, FER permette inoltre di stimare le prestazioni raggiungibili da kernel generici, in base alla loro intensità computazionale.

In questo intervento presenteremo il funzionamento del benchmark FER, cogliendo l'occasione di discutere le possibili applicazioni di acceleratori basati su FPGA nell'ambito del calcolo HPC.

Primary authors: CALORE, Enrico (Istituto Nazionale di Fisica Nucleare); SCHIFANO, Sebastiano (FE)

Presenter: CALORE, Enrico (Istituto Nazionale di Fisica Nucleare)

Session Classification: Tecnologie ICT Hardware e Software

Track Classification: Tecnologie ICT (Hardware e Software)