

Analog front-end for MAPS and hybrid pixels

A. Manazza^{a,c}, L. Ratti^{a,c}, G. Traversi^{b,c}, S. Zucca^{a,c}

^aUniversità degli Studi di Pavia

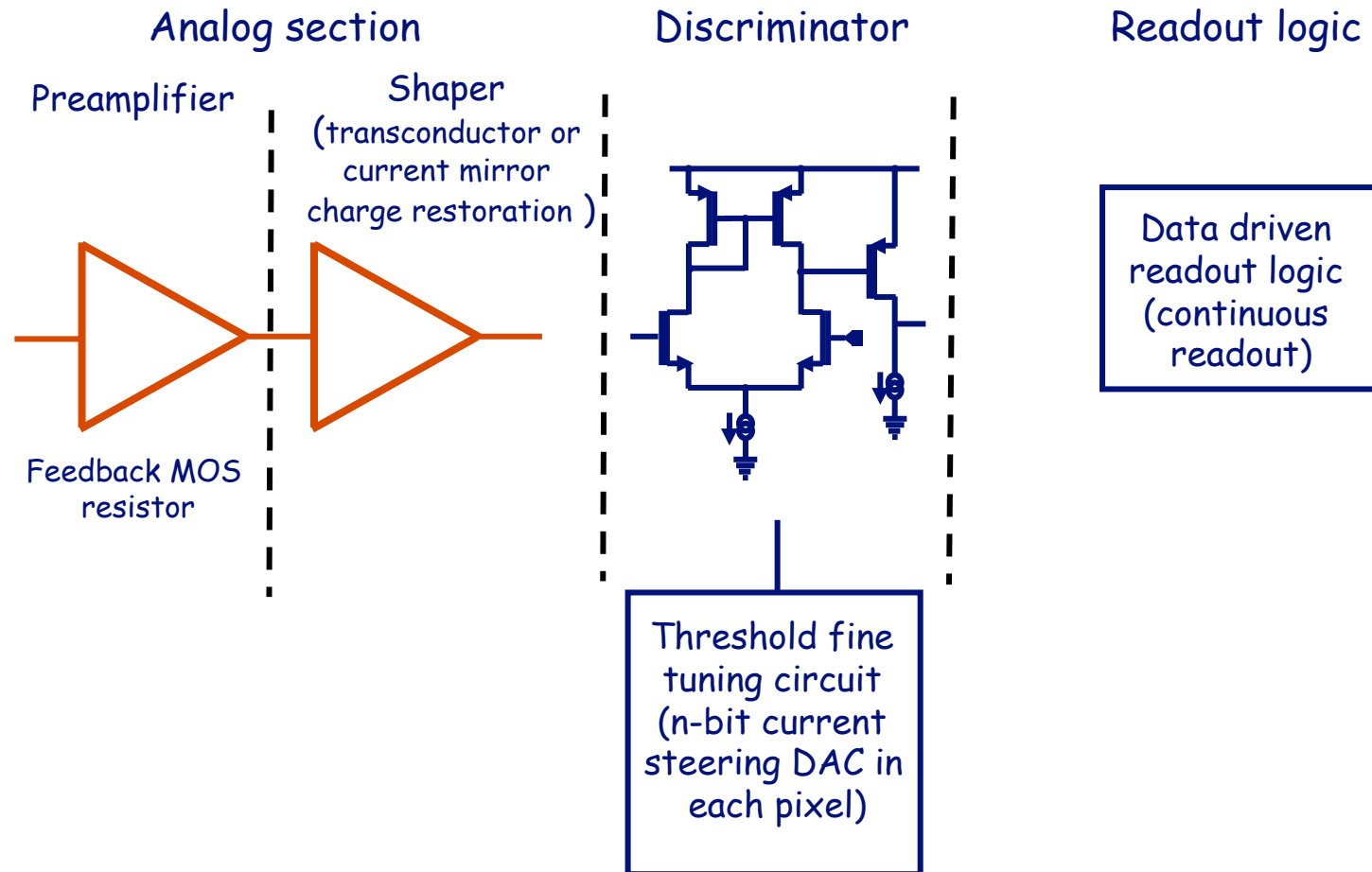
^bUniversità degli Studi di Bergamo

^cINFN Pavia

VIPIX/SuperB meeting, 24/09/2010

Front-end design approach

Classical
front-end
approach

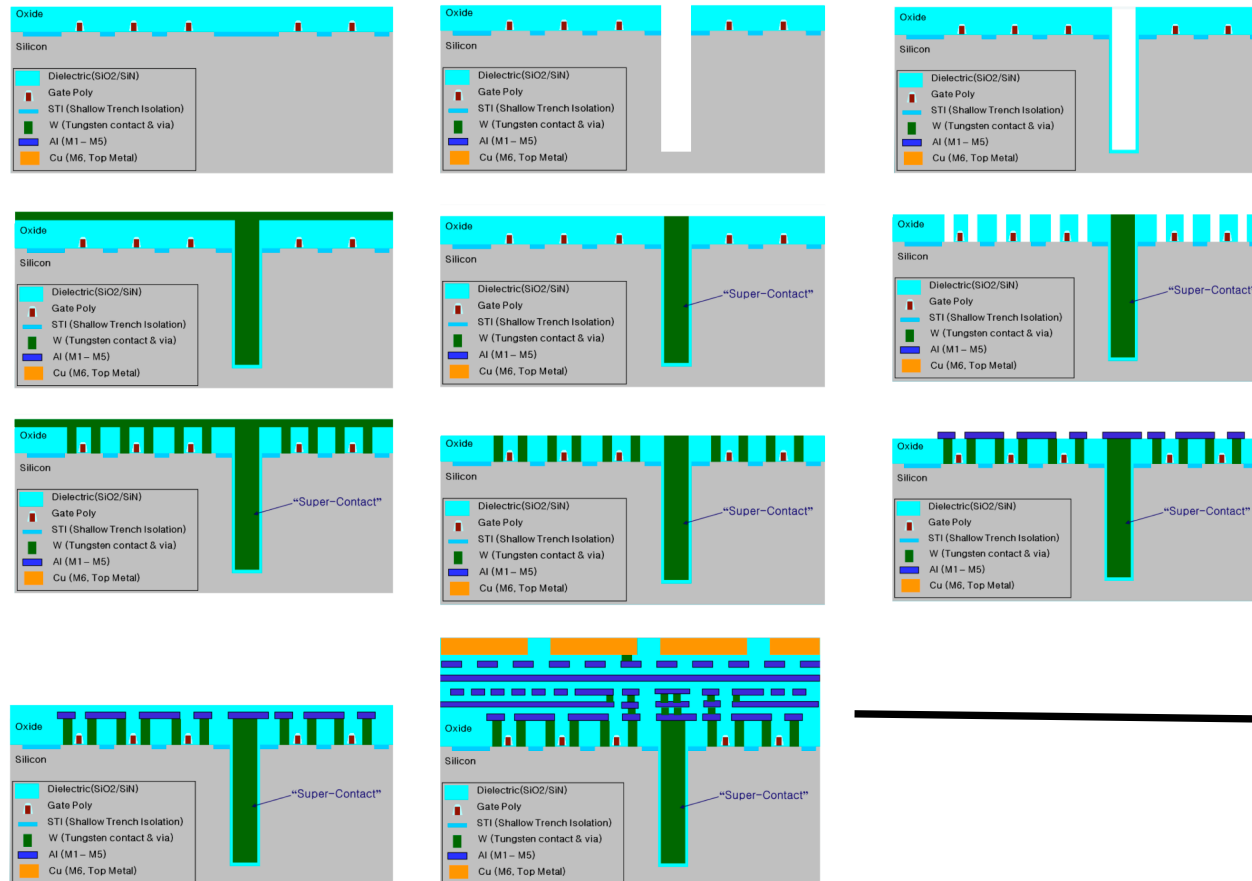


Dalla presentazione di K. Torki (TWEPP 2010)

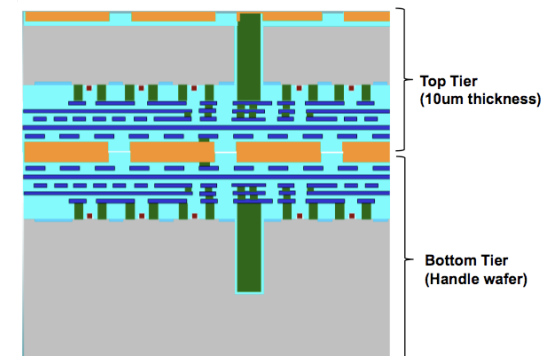


Tezzaron Process Flow for TSV and DBI (using Via Middle process)

CNRS - INPG - UJF



Step di fabbricazione
del processo per il
primo MPW run

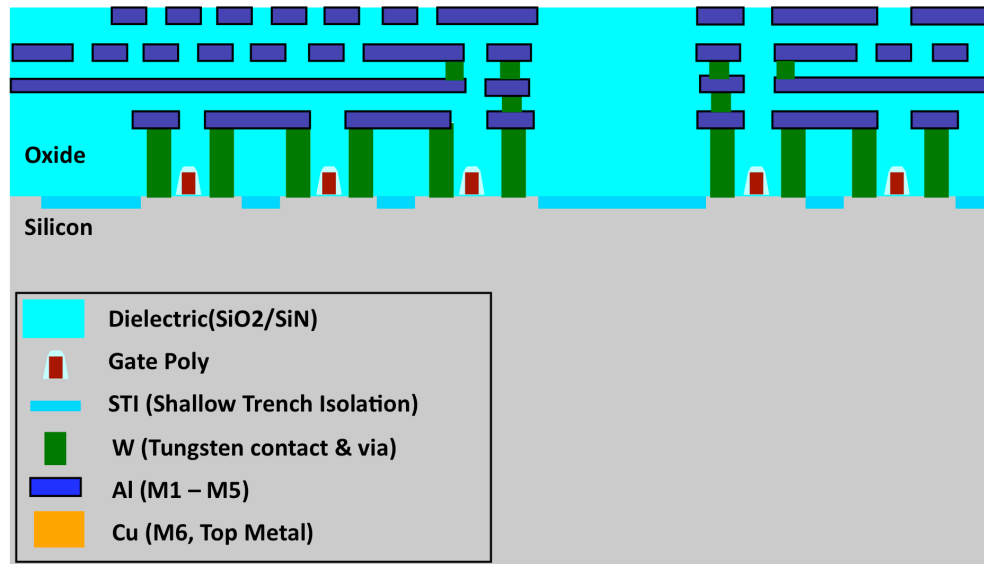


Dalla presentazione di K. Torki (TWEPP 2010)



New Tezzaron Process Flow using "Near End of Line" TSV

Starting wafer in 130nm stopped at Metal 4



130nm Chartered Low Power

Options: Dual gate 2.5, 1.5V

TSV enabled

Deep Nwell

Lvt implant

6 Layer Metal : 5 usable plus a 6th as BDI

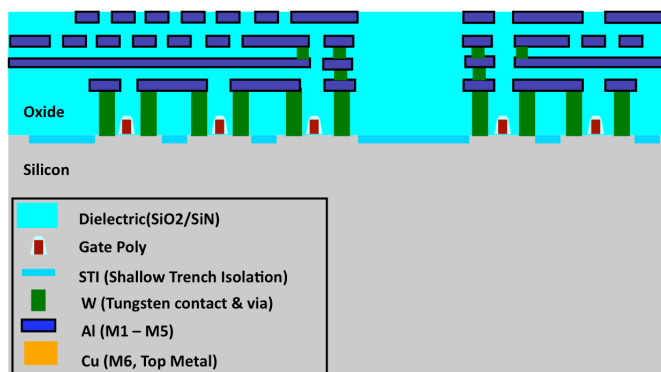
No MIM, No High resist poly

Dalla presentazione di K. Torki (TWEPP 2010)

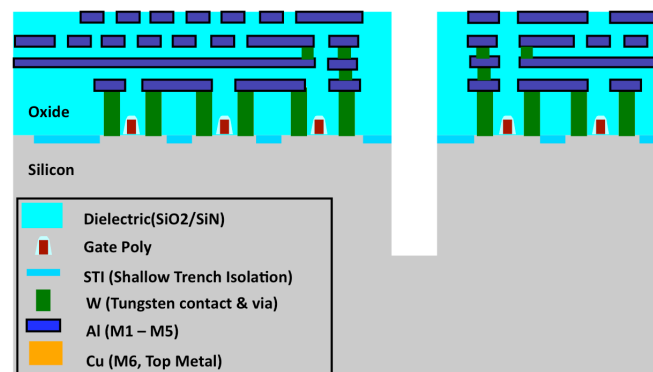


CNRS - INPG - UJF

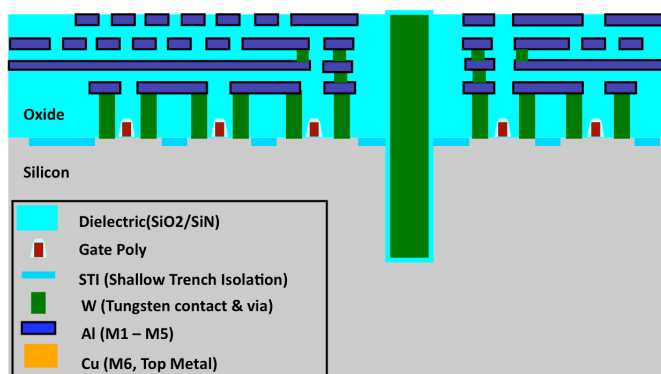
New Tezzaron Process Flow using "Near End of Line" TSV



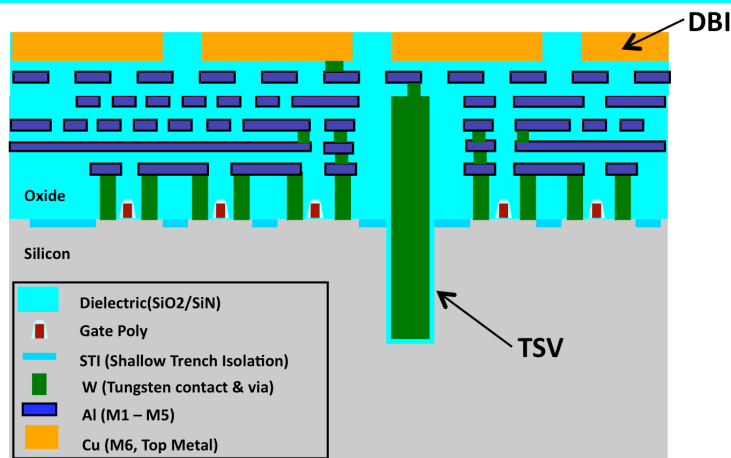
1- Standard CMOS process stopped at MET4



2- Deep etching (DRIE)

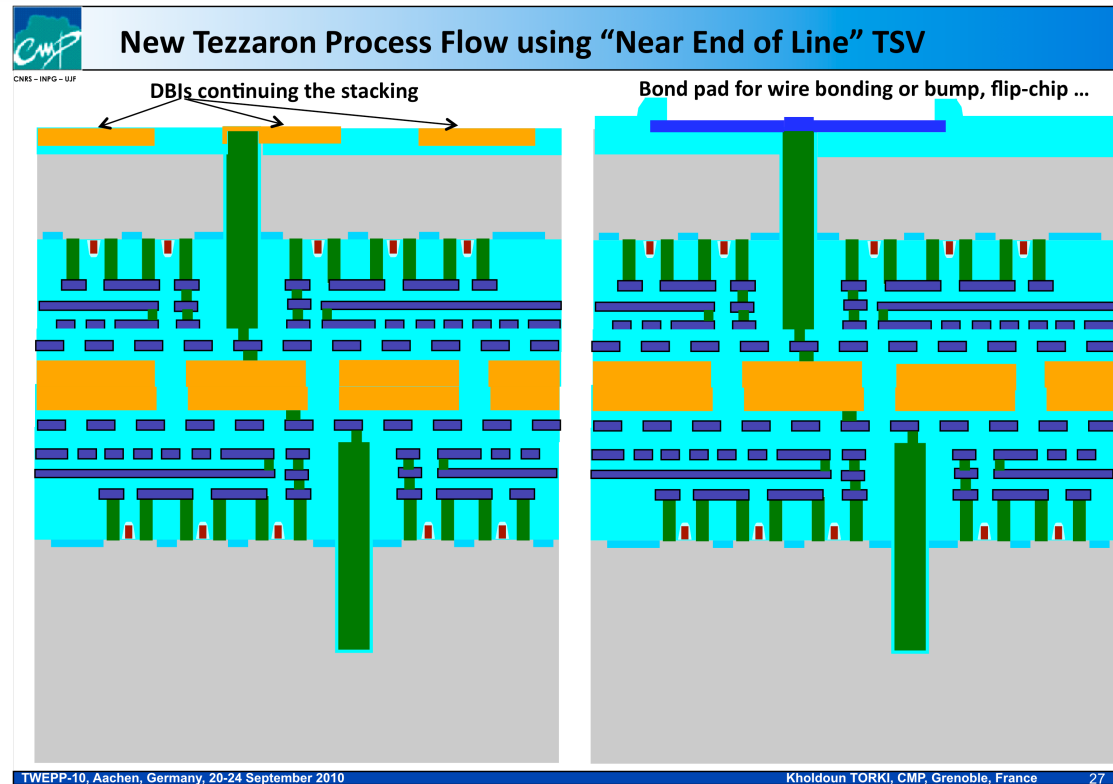


3- Dielectric isolation and TSV formation



4- Continue BEOL with Via4 / M5 / Via5 / M6

Dalla presentazione di K. Torki (TWEPP 2010)



Advantages of "Near End of Line"

- The process can be done on any wafer from any foundry, provided that BEOL is stopped at Metal4. The post-process for TSV and DBI is independent from the foundry
- As a consequence, it allows mixing different process nodes 130nm/65nm from different foundries, or any combination like assembling SiGe BiCMOS and CMOS

Disadvantage of "Near End of Line"

- The access to the TSV is only possible with a Via from Metal5. That makes long paths and serial resistances through the 5 Vias from the MOS to the TSV

Analog front-end for MAPS and hybrid pixels

VIPIX/SuperB meeting

Vincoli e requisiti front-end per MAPS

- Dimensione matrice: 128x96
- Dimensione pixel: 50x50 μm^2
- Sensibilità di carica: $\approx 750\text{mV/fC}$
- Corrente per pixel: 20 μA $\rightarrow P_{w_pixel}=30\mu\text{W}$ $\rightarrow P_{W_matrice}= 0.384\text{W}$ (1.2W/cm²)
- Tempo di picco: $\approx 200\text{ns}$ (quali sono i vincoli sulla durata del ripristino del segnale analogico? Per quale carica sono validi?)
- ENC: 40-50e- @ 350fF
- Dispersione: 40-50e- dopo la correzione della soglia nel pixel (DAC 3-4bit)
- Geometria del sensore tipo Apsel5T o Apsel65nm (da verificare con simulazioni MC. Potrebbero esserci vincoli dovuti alla mancanza di MIM in questo run. Dovremo fare le capacità in un altro modo o trovarne altre in libreria).
- Qualche PMOS, Kill-FF, DAC e circuito di iniezione devono andare nel layer digitale (quanto spazio rimane in questo layer)?

Vincoli e requisiti front-end per pixel ibridi

- Dimensione matrice: 32x128
- Dimensione pixel: 50x50 μm^2
- Sensibilità di carica: $\approx 50\text{mV/fC}$
- Corrente per pixel: 5 μA $\rightarrow P_{w_pixel}=7.5\mu\text{W}$ $\rightarrow P_{W_matrice} \approx 30\text{mW}$ (0.3W/cm 2)
- Tempo di picco: $\approx 200\text{ns}$ (quali sono i vincoli sulla durata del ripristino del segnale analogico? Per quale carica sono validi?)
- Carica/pixel (MPV) $\approx 16000\text{-}4000\text{ e-}/\text{pixel}$
- ENC: $\approx 160\text{e-}$ @ 100fF (S/N=25 per cairca minima $\approx 4000\text{e-}$)
- Dispersione: $\approx 80\text{e-}$ dopo la correzione della soglia nel pixel (DAC 3-4bit)
- Qualche PMOS, Kill-FF, DAC e circuito di iniezione devono andare nel layer digitale (quanto spazio rimane in questo layer?)

Vincoli, requisiti e domande per entrambi i chip

- Dimensione dei chip? (la posizione del digitale rispetto alla matrice di pixel è come in Apse14D e SuperPix0?)
- Quanti pad ci saranno a disposizione? (una lista preliminare per entrambi i chip è da fare considerando che un buon numero di questi, in particolare per la matrice MAPS, servirà per le alimentazioni)
- C'è spazio e come si porta l'alimentazione attorno ai pixel?
- Quante alimentazioni usiamo? AVDD/DVDD/DVDD_CORE/VDD_PAD?
- Useremo pad ARM?
- Si deve decidere dove far passare i segnali da un layer all'altro nel pixel.
- Come usiamo i layer per il routing e la distribuzione delle alimentazioni?
- Quale contributo possiamo dare (PV-BG) nel progetto di blocchi di interfaccia matrice/periferia?
- Può essere utile avere a disposizione su entrambi i chip una uscita analogica selezionabile con decoder?
- Chi 'chiude' i chip per la sottomissione?



Backup Slides

Qin [e-]	$t_p=100\text{ns}$	$t_p=200\text{ns}$	$t_p=400\text{ns}$
16000	1 μs	1.4 μs	2 μs
80000	1.5 μs	2.1 μs	4 μs
160000	1.9 μs	3 μs	7 μs