

BO NEWS

17-09-2010

- Anticipazioni preliminari sui risultati dell'esperienza di diffrazione e interferenza a singolo elettrone ai laboratori di microscopia elettronica di Bologna (presentazione alla SIF)
- Lavoro di ottimizzazione codice VHDL elementi Barrel e Sweeper (minor tempo di compilazione, maggiore velocità)

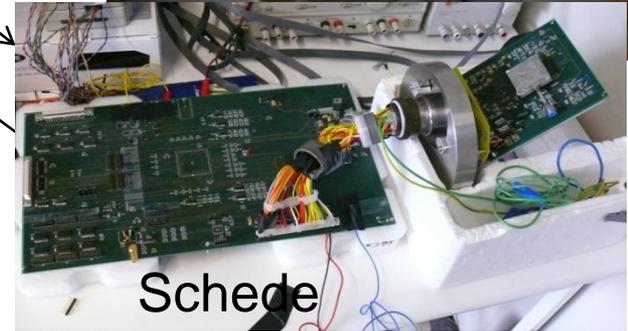
Esperienza di interferenza

Il set-up sperimentale

TEM 40 – 120 kV



Generazione
stimoli /
Acquisizione dati
sensore



Schede
acquisizione

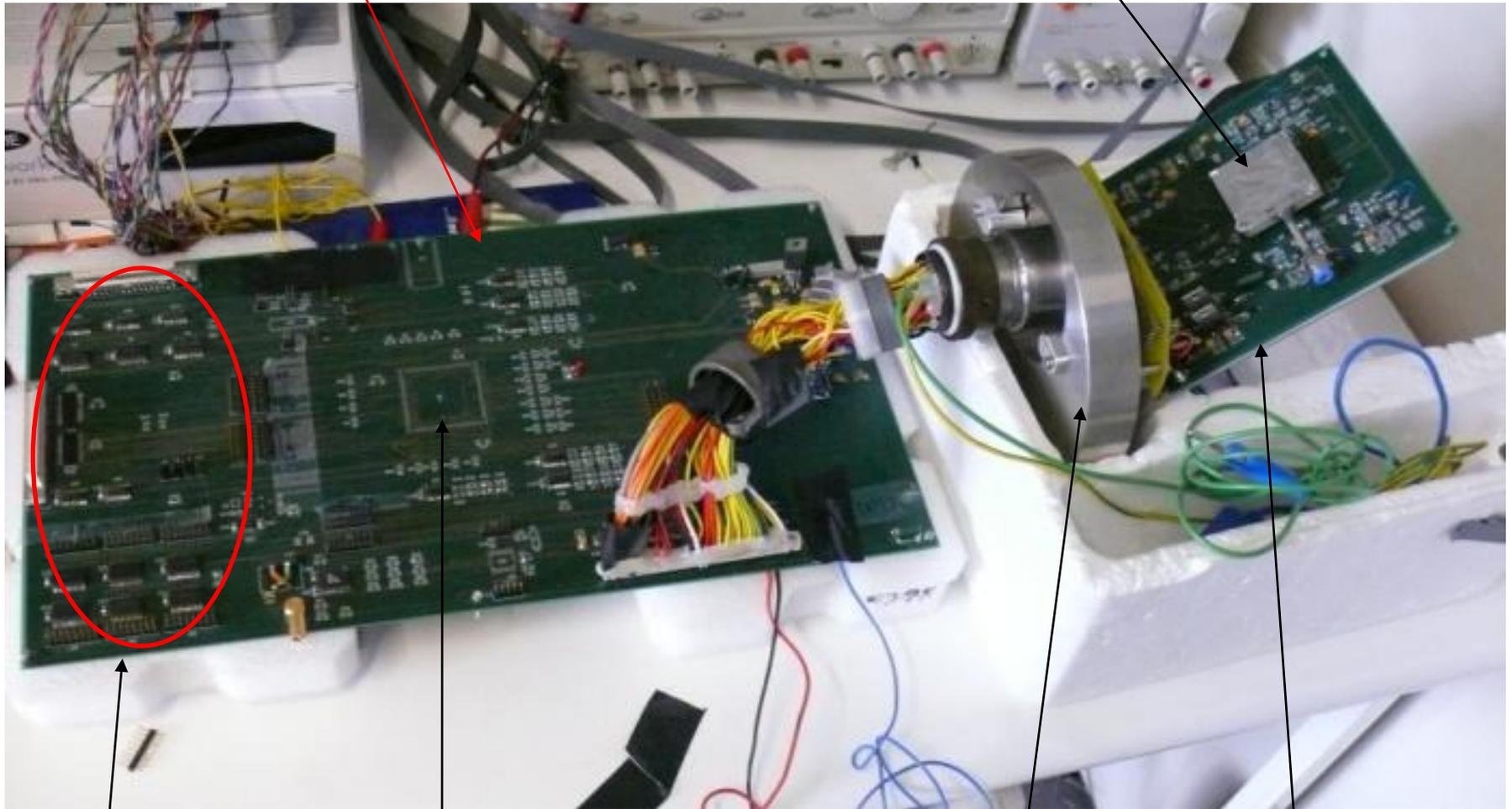
Pattern Generator/Logic Analyzer
Tektronix
(TPG & TLA715)



PC per le analisi
in ambiente
ROOT

Scheda di acquisizione

Chip APSEL4D



Conessioni PG/TLA

Alloggiamento FPGA

Connettore a vuoto

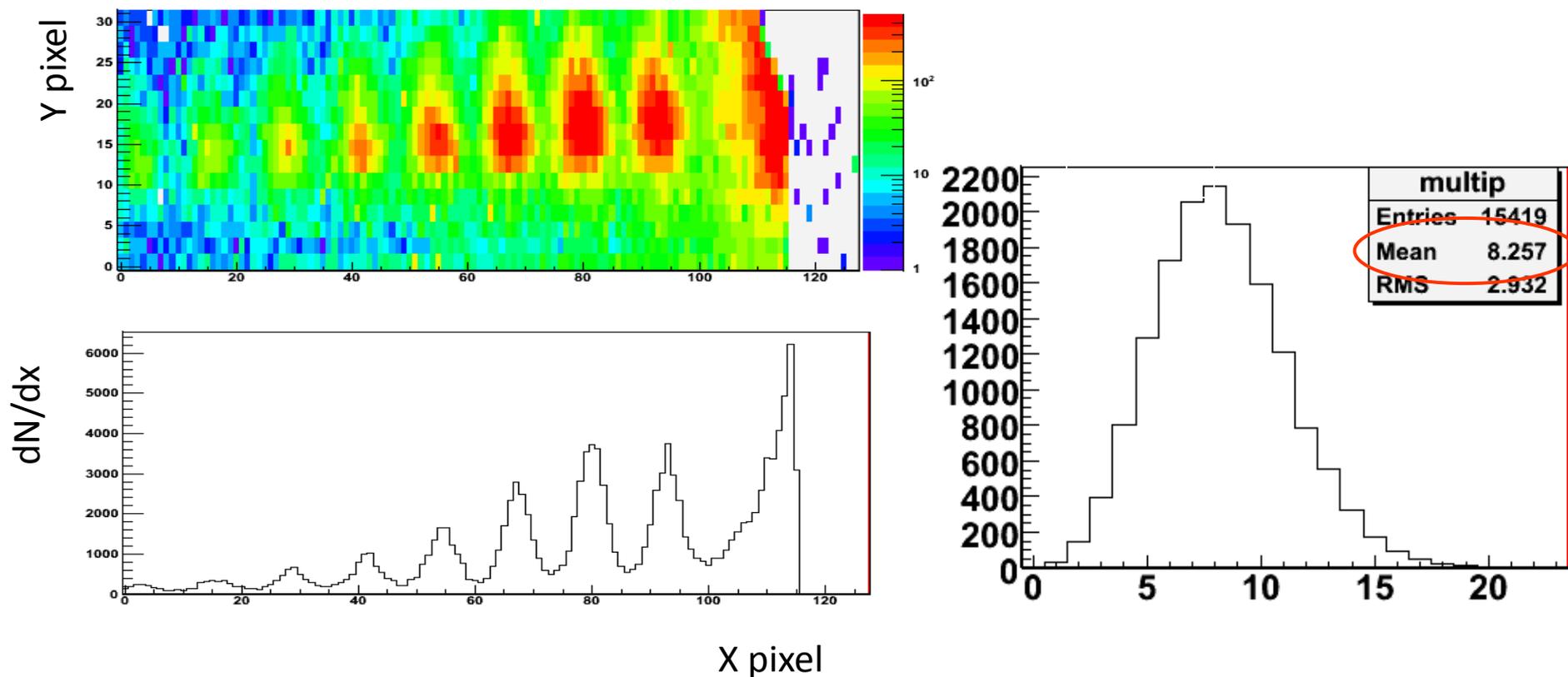
Scheda front-end

Diffrazione da carbon grating

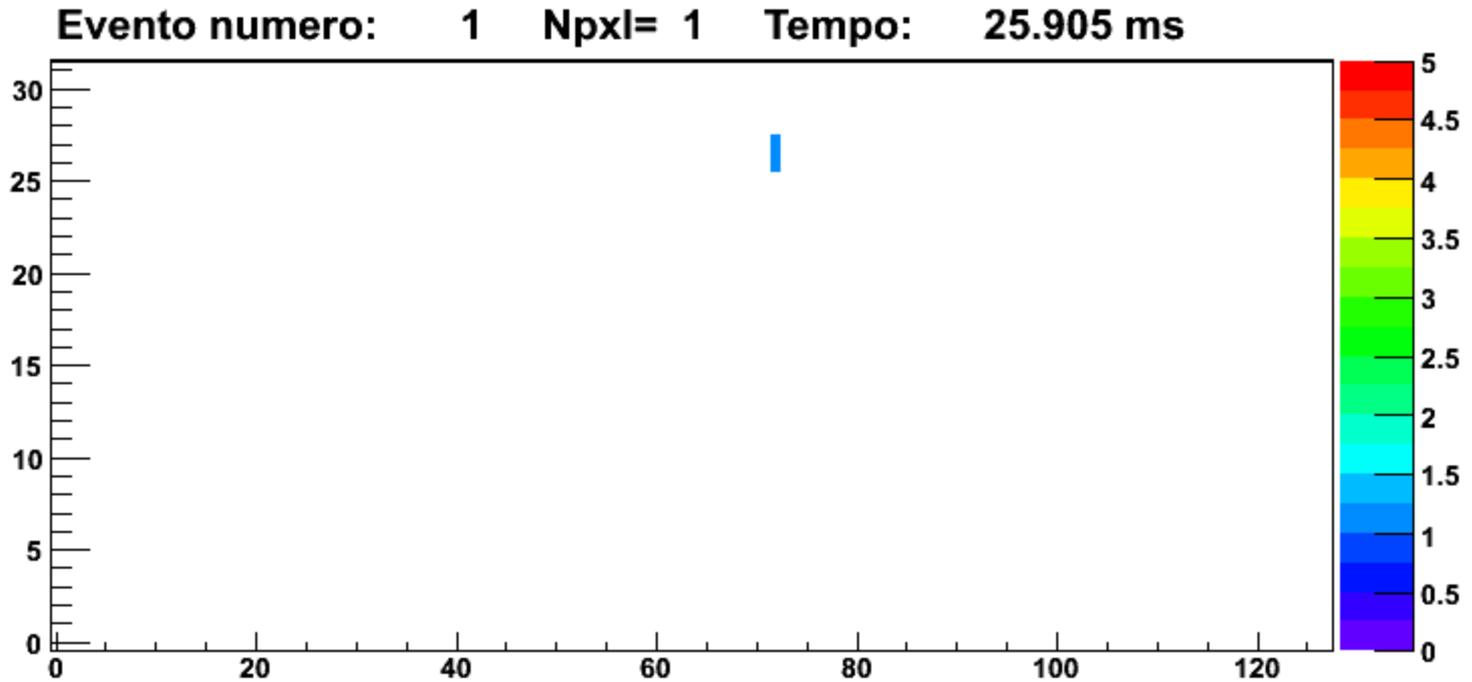
Reticolo di diffrazione al carbonio: passo tipico 400 nm

Elettroni da 40 keV: $\lambda=h/p= 5,9$ pm, angoli tipici 10^{-5} rad

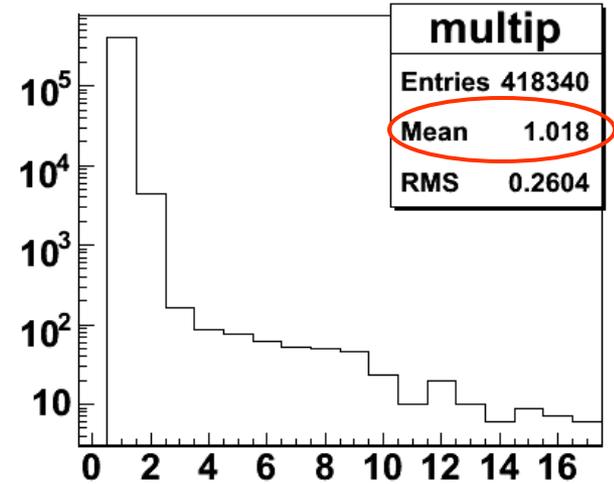
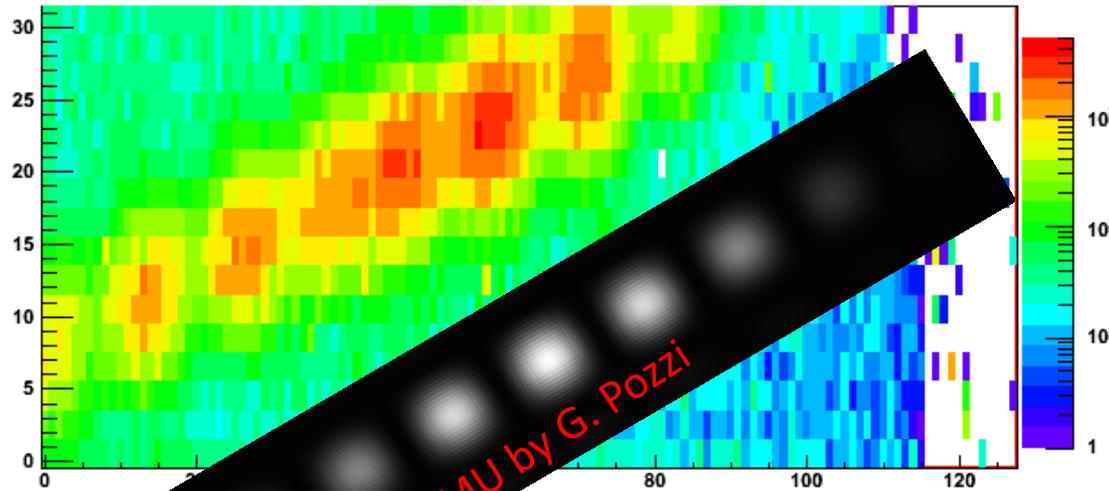
TH: 20 mV; BCO 3 millisecondi



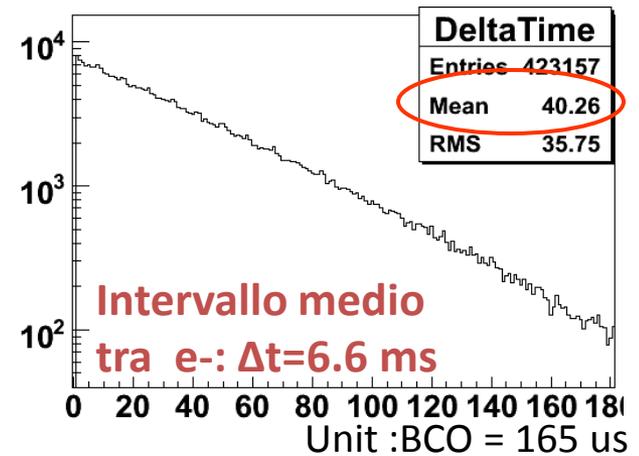
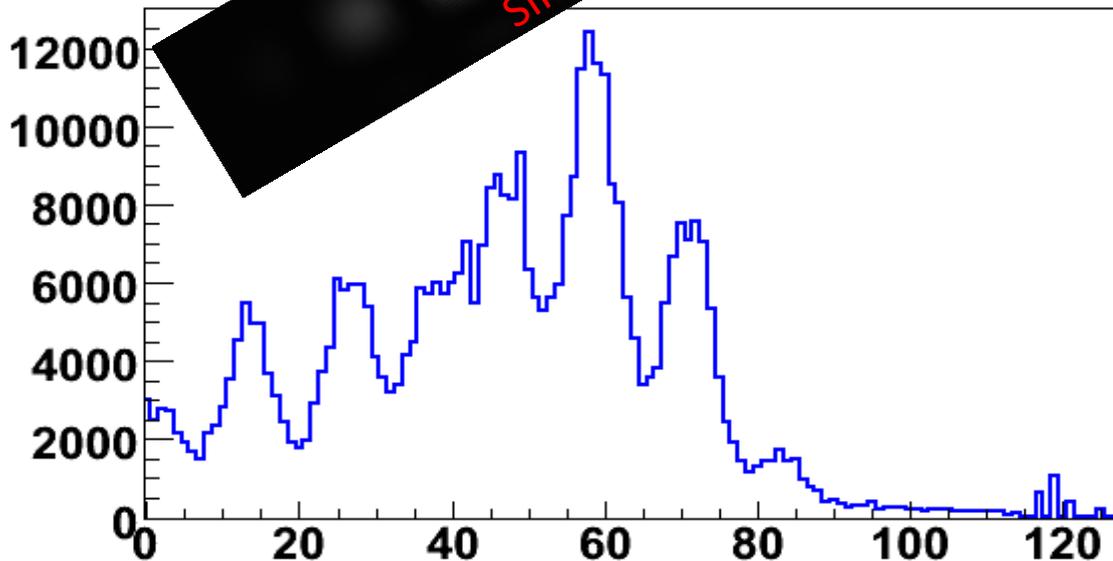
Eventi di singolo elettrone



Interferenza SE, 430Kevt



98.8% immagini di singolo e⁻



Presentazione congresso SIF Bologna

Comunicazione **Aula G** 2010-09-20 16:00-19:00

M.Villa

**Esperienza di interferenza di singolo elettrone con
doppia fenditura e sensore ad alta risoluzione
temporale.**

Proposta

- Il gruppo dei microscopisti di Bologna (G.Pozzi, G.Matteucci) si è dimostrato molto disponibile per eventuali future collaborazioni con noi mettendo a disposizione i loro strumenti.
- Possibilità di contribuire alla caratterizzazione dei futuri chip con fasci intensi di elettroni da 40-120KeV?
 - test di efficienza del readout con alti flussi di particelle non disponibili al CERN
 - Varie ed eventuali da discutere.

Ottimizzazione Codice VHDL

- Barrel 1
- Barrel 2
- Sweeper

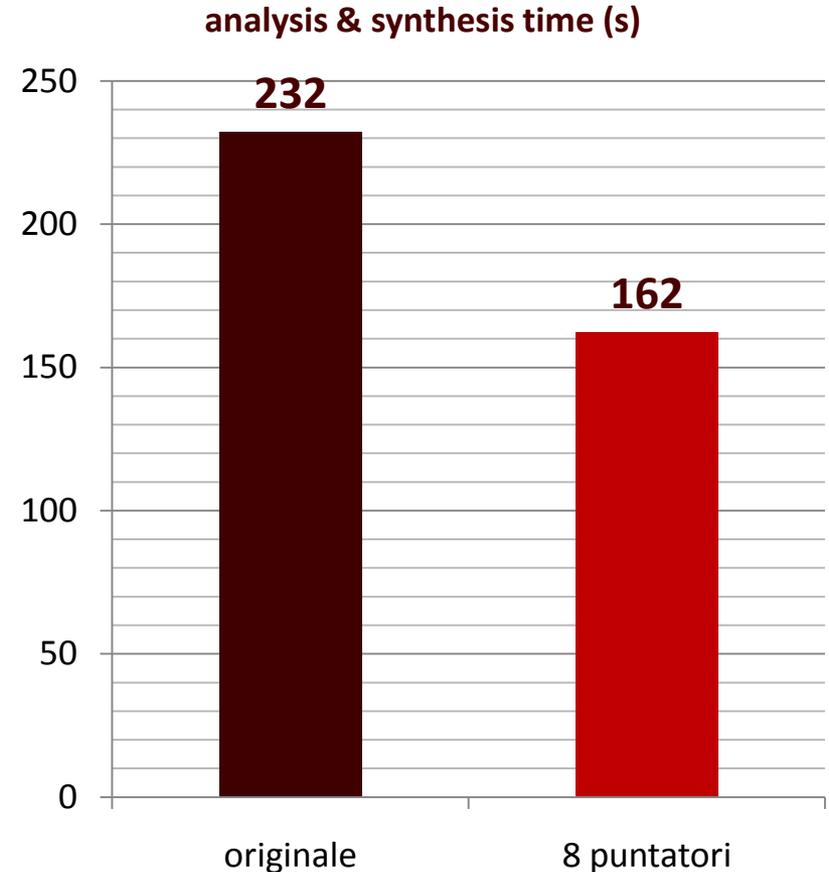
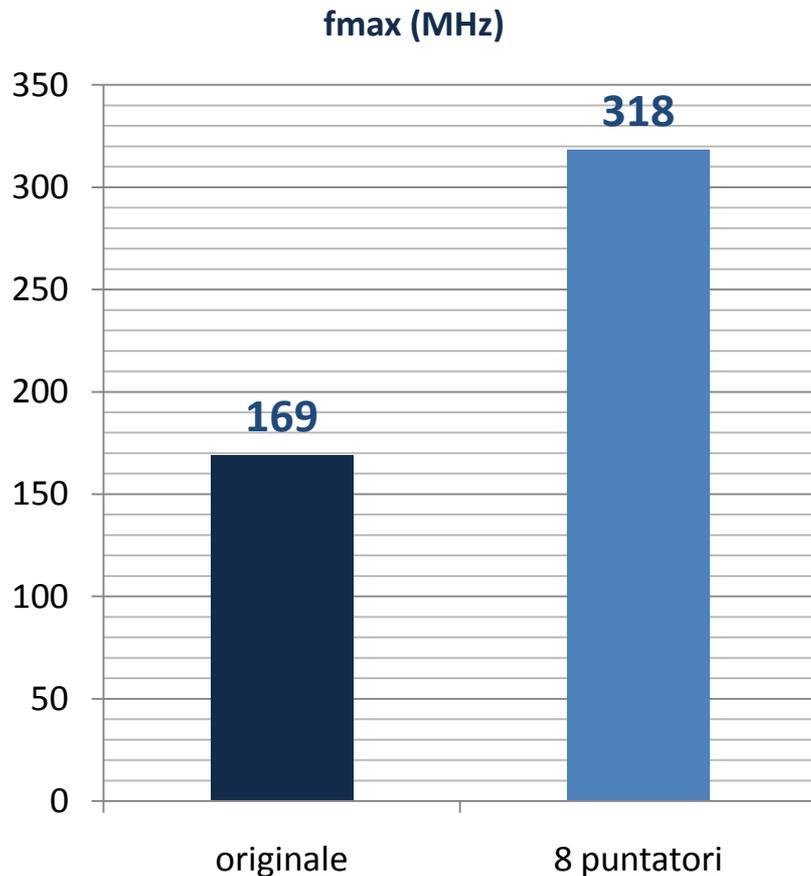
Componenti descritti ad alto livello, troppa libertà al sintetizzatore che cerca di realizzarli forse in maniera non ottimale e impiegandoci molto tempo. (sintesi completa chip 200x256 circa 3 gg.)

Laureando F.Conti – Tentativi di ottimizzazione del codice di questi componenti con obiettivo:

- Ridurre i tempi di compilazione dando indicazioni più dettagliate al sintetizzatore
- Aumentare le prestazioni riducendo i livelli di logica combinatoria tra un reg e l'altro.
- Simulare in parallelo vecchia e nuova versione per verificare la coerenza logica.

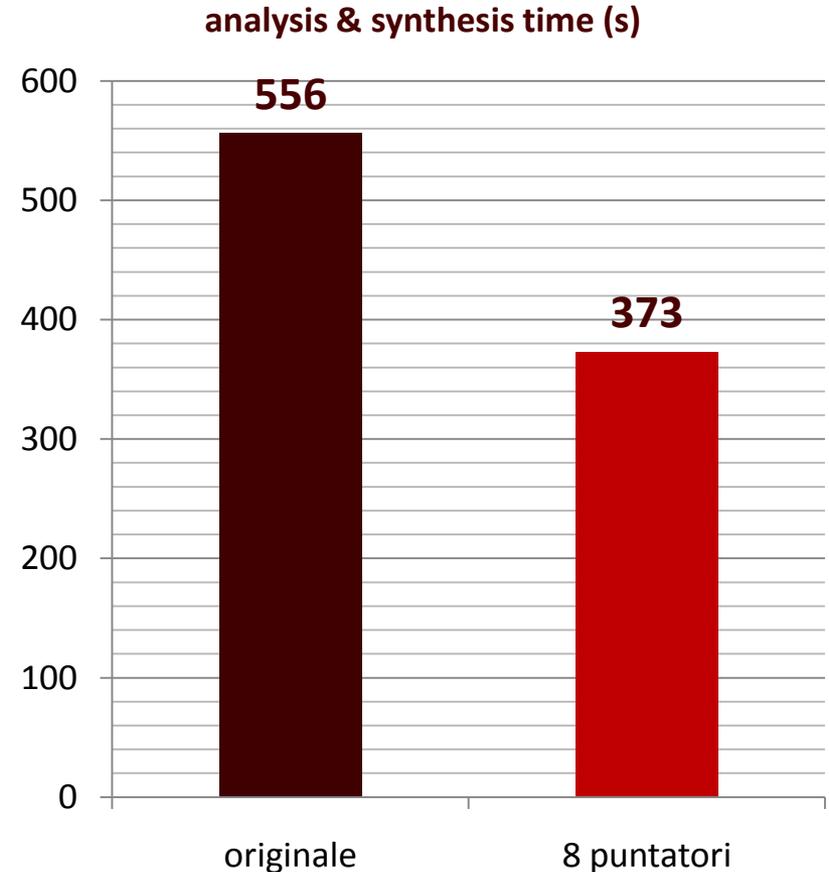
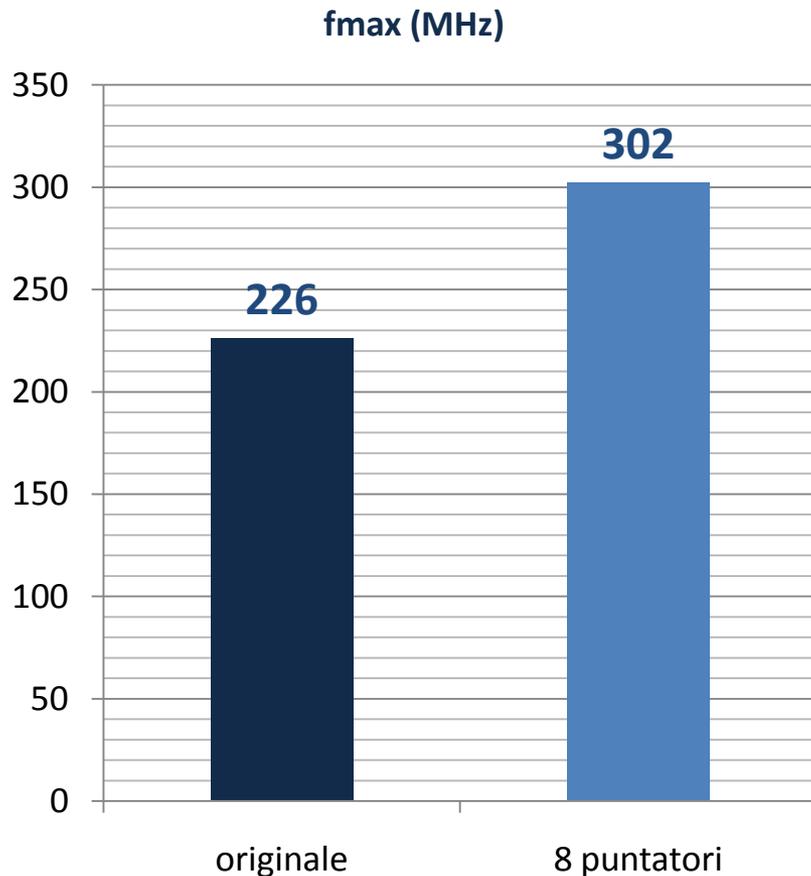
BARREL2 OPTIMIZATION

BARREL2	originale	8 puntatori
<i>cells</i>	5917	5771
<i>registers</i>	620	655
<i>slack (ns)</i>	3,94	6,74
<i>fmax (MHz)</i>	169	318
<i>an & syn time (s)</i>	232	162



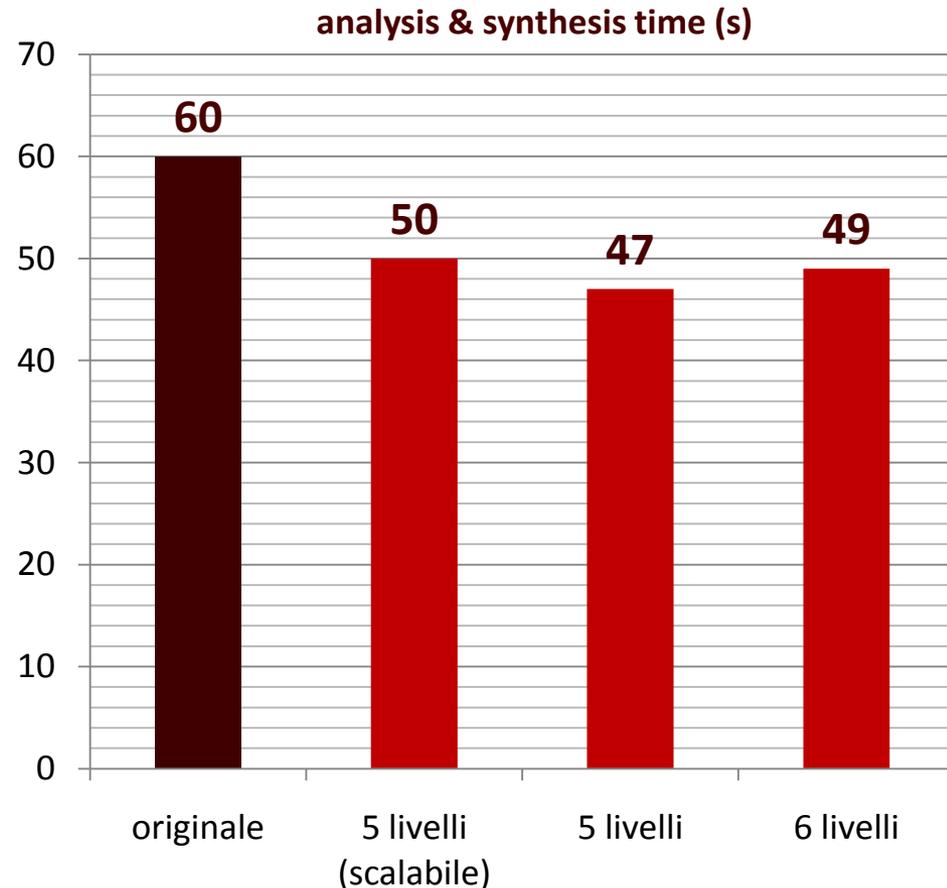
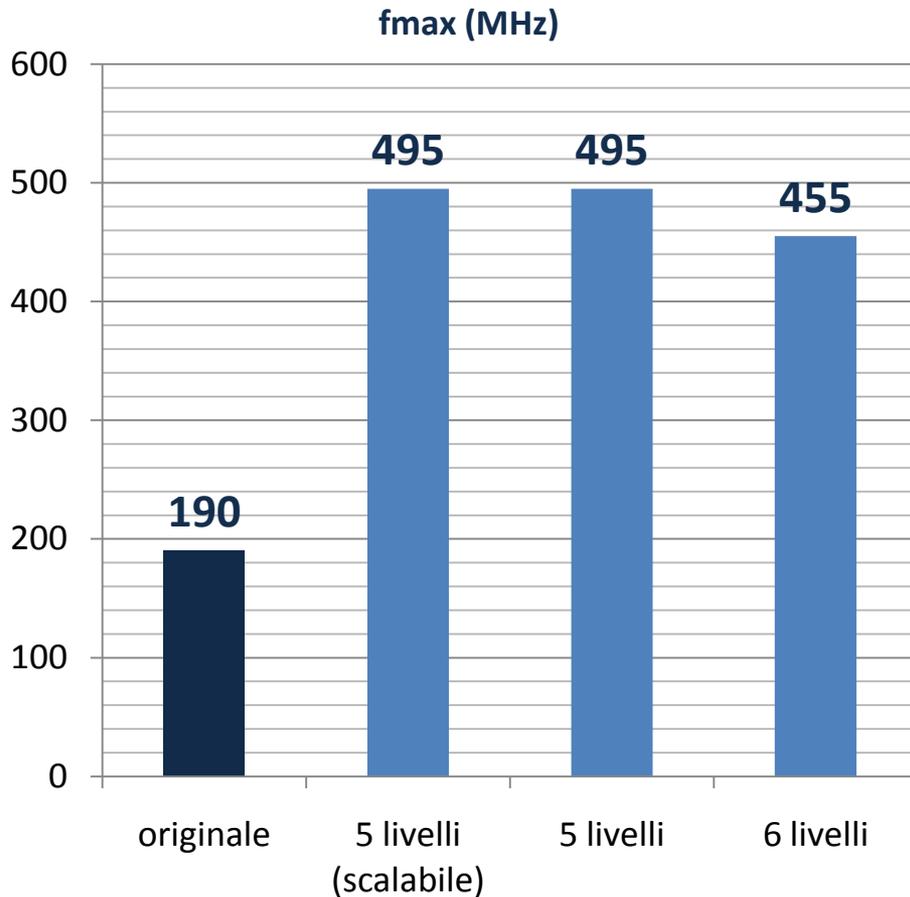
BARREL1 OPTIMIZATION

BARREL1	originale	8 puntatori
<i>cells</i>	17356	17049
<i>registers</i>	2619	2640
<i>slack (ns)</i>	0,43	1,54
<i>fmax (MHz)</i>	226	302
<i>an & syn time (s)</i>	556	373



SWEEPER OPTIMIZATION

<i>SWEEPER</i>	originale	5 livelli (sc)	5 livelli	6 livelli
<i>cells</i>	2811	2885	2842	2843
<i>registers</i>	712	712	712	712
<i>slack (ns)</i>	4,61	7,87	7,83	7,70
<i>fmax (MHz)</i>	190	495	495	455
<i>an & syn time (s)</i>	60	50	47	49



Simulazioni: Work in Progress

- Campagna di simulazioni dedicato alla verifica dei nuovi componenti ottimizzati
- Simulazioni con dati “fisici”
 - Efficienza di sweeping: al momento nessuna variazione significativa
 - Recupero banda disponibile, improvement significativo in via di quantificazione.