

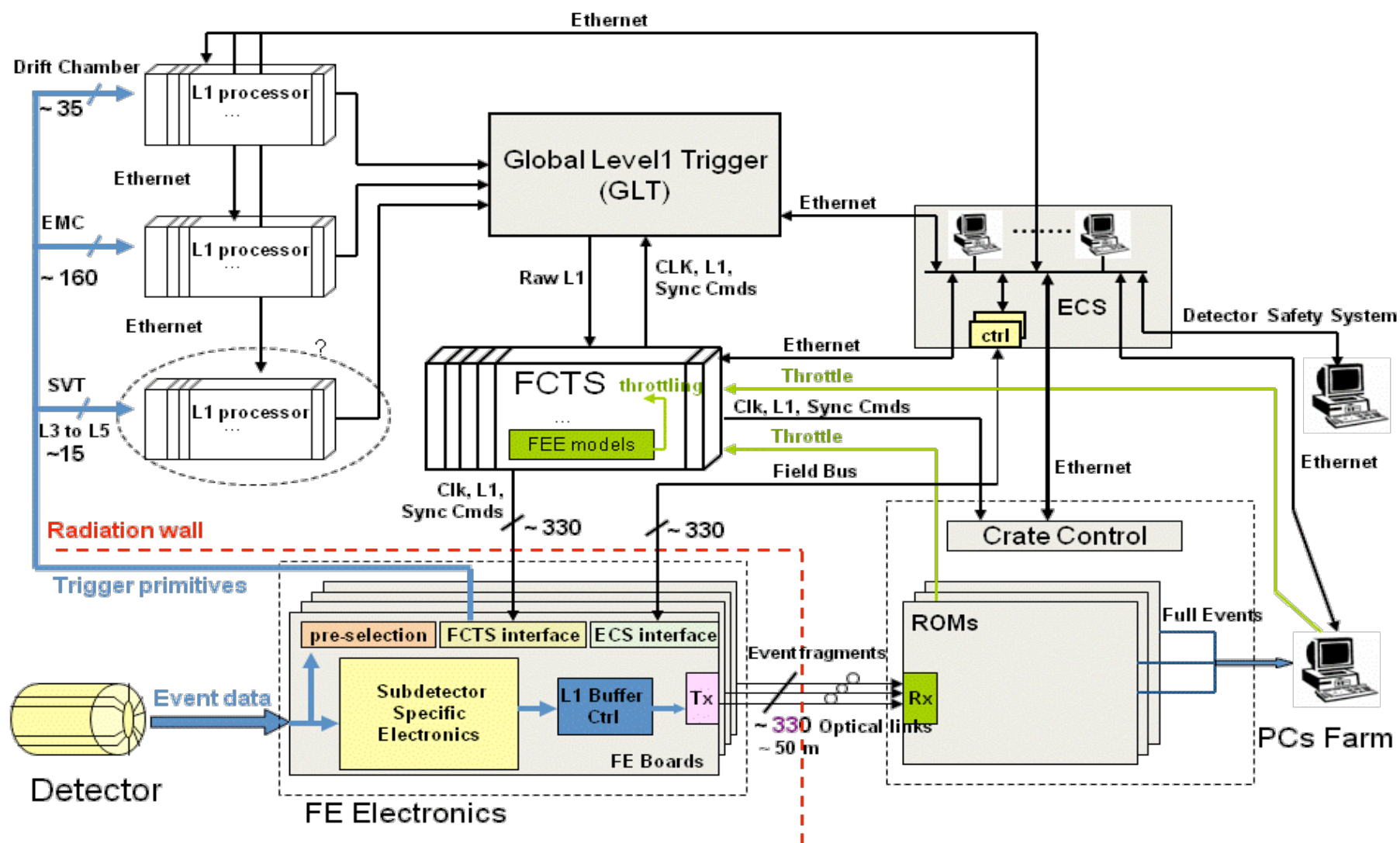
Electronics, Trigger & DAQ

U. Marconi, INFN Bologna

Architettura

- Sistema sincrono, con latenza costante.
- Trasferimento dati dal Front-end al Readout solo in caso di trigger.
 - Frequenza di trigger attesa dell'ordine di 150 kHz.
 - Event size 100 kB, $\sim$ 500 kB per l'evento RAW.
- Trigger di attività del rivelatore, basato su segnali del calorimetro e Drift Chamber.
 - Latenza fissata a 6 μ s.
 - Richiesta di tempo morto inferiore all'1% (<70 ns).

Architettura (II)



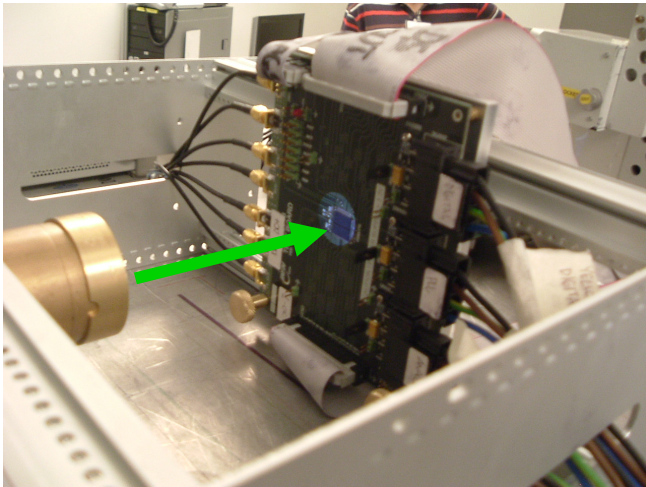
Elementi principali.

- Link ottici:
 - Per la trasmissione del clock e dei comandi.
 - Per link con tempo di connessione deterministico.
 - Per la trasmissione dati.
- Schede di read out (ROM).
- Sistema di trigger.
- Sistema di controllo e configurazione.

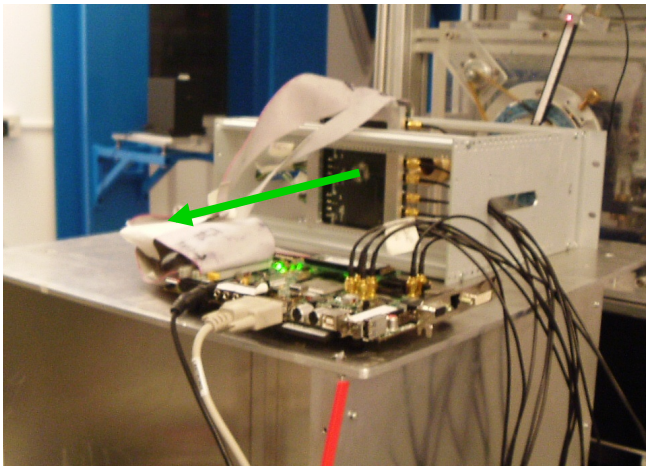
Attività link ottici.

- Attività in corso, a cura del gruppo di Napoli.
- Nel 2010, qualifica dei serializzatori/deserializzatori (modello DS92lv18) da 1.2 Gb/s, per la distribuzione di clock e comandi.
 - Caratterizzazione SEU già realizzata.
 - Misure di TID tollerata da effettuare, con test di irraggiamento alla Casaccia.
- Nel 2011, si prevede la qualifica di serializzatori/deserializzatori (modello TLK2711A) da 2 Gb/s, per la trasmissione dei dati dal FE alle ROM e all'L1 Trigger.
- In questo ambito, è necessario selezionare e qualificare anche i trasduttori elettro-ottici.
 - **Attività non attribuita. Finanziamenti necessari stimati 20 kEuro**

Test su fascio ser/des.



CATANA p beam line a LNS, Catania

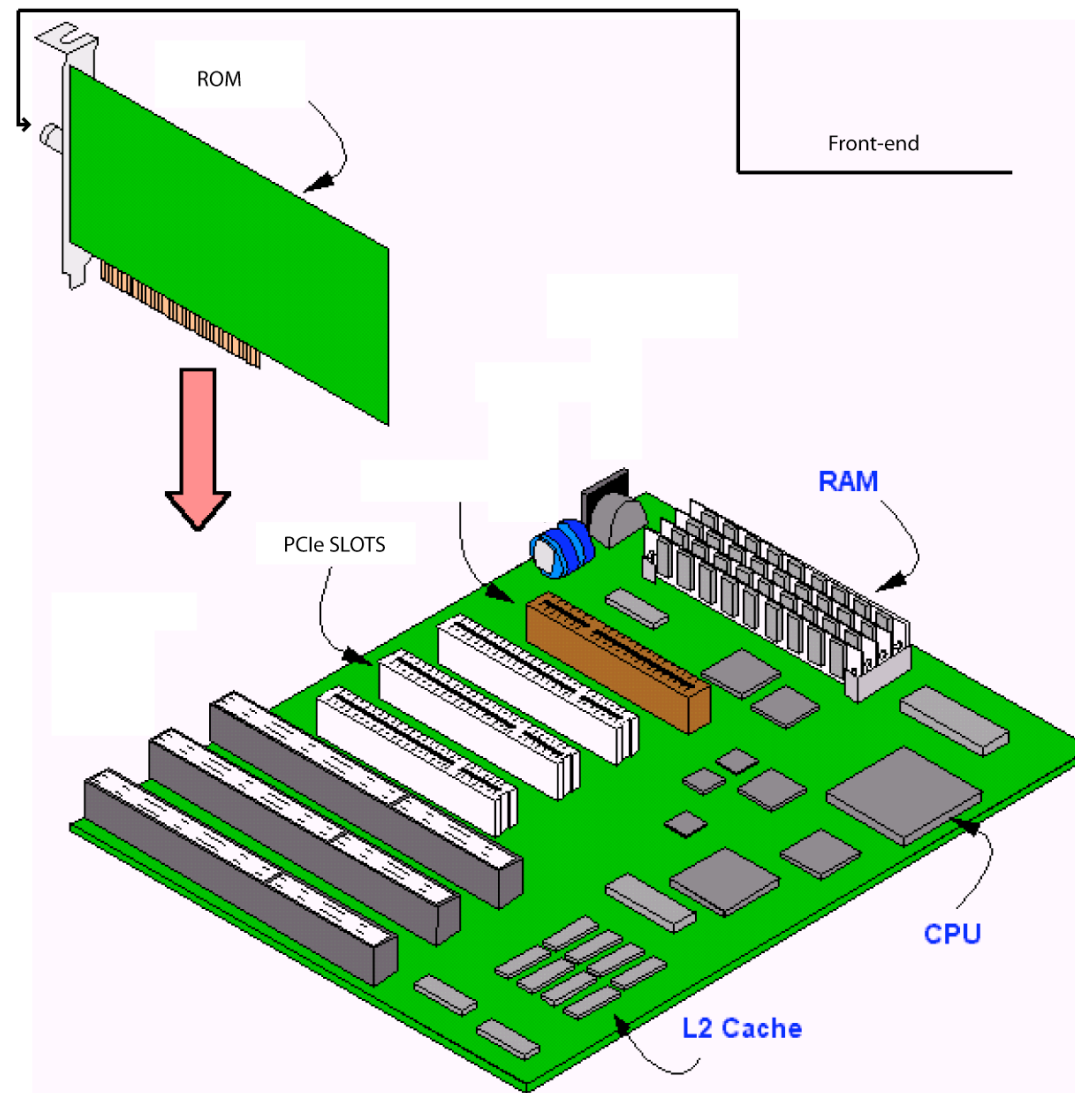


- Misure degli effetti di SEU. Effettuata a Maggio ai Laboratori del Sud .
- Le misure indicano la possibilità di impiegare questi dispositivi in SuperB.
- Vedi a proposito:
SEU radiation hardness tests,
A. Aloisio, R. Giordano
<http://agenda.infn.it/conferenceOtherViews.py?view=standard&confId=2262>,

Readout Module ROM

- Realizzazione delle ROM mediante mother-board e CPU commerciali, con interfaccia ottico-PCIe dedicata, per la connessione al FE.
- Nel 2010, il programma prevede lo studio delle prestazioni di PCIe2.0, per mezzo di una scheda di valutazione M605 Xilinx, con FPGA Virtex 6.
- Nel 2011, il programma prevede la realizzazione di una scheda d'interfaccia prototipale.
 - Nessuna scheda di controllo ausiliaria esterna necessaria.
 - Controllo e configurazione via Ethernet.
 - Richiesta la definizione del trasduttore ottico/elettrico.

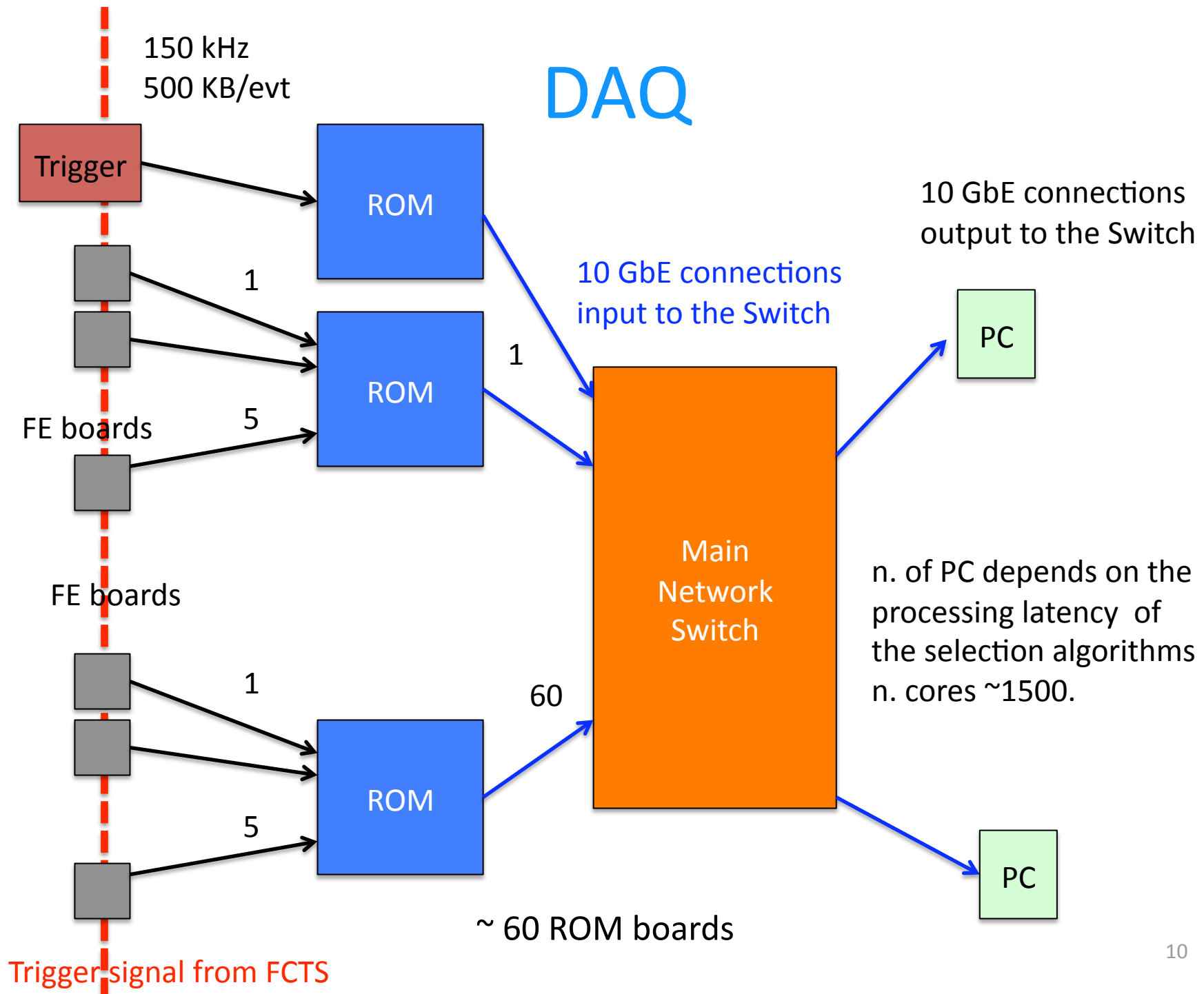
ROM



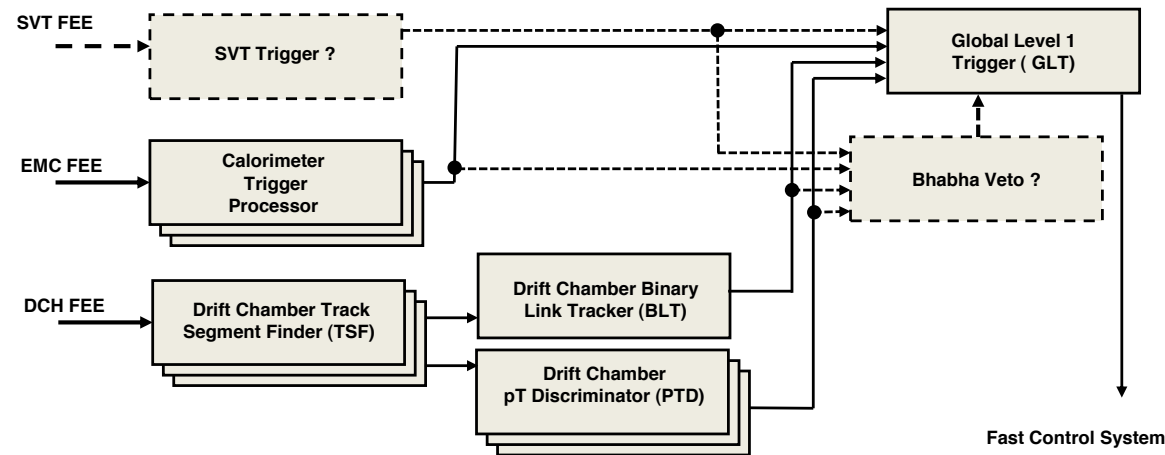
ROM: numerologia.

- Flusso dati dal FE: $150 \text{ kHz} \times 500 \text{ kB} = 75 \text{ GB/s} = 7.5 \times 10^{10} \text{ B/s}$
- Stabilito un limite di **10 Gb/s** (1.25 GB/s) per ROM, si ottiene:
 $7.5 \times 10^{10} \text{ (B/s)} / 1.25 \times 10^9 \text{ (B/s)} = \textbf{60 ROM board}$
- Dimensione evento unitario: $500 \text{ kB} / 60 \text{ ROM} < 10 \text{ kB/ROM}$.
- Si richiede $\sim 1 \text{ Hz}$ di CPU clock per trasmettere 1 bit.
Sono necessarie **3 CPU cores** (da 3 GHz clock) per saturare una scheda **10 Gb/s** (Ethernet o InfiniBand) usando protocolli standard.
- $(\text{N. of links}) \times 2 \times 10^9 \times (3/2 \times 10^5)^{-1} > 8 \times 5 \times 10^5 \rightarrow \text{N. of links} > 300$

- M. Bencivenni et al. **Performance of 10 Gigabit Ethernet Using Commodity Hardware**. IEEE TRANSACTIONS ON NUCLEAR SCIENCE (ISSN: 0018-9499). vol. 57, NO. 2, APRIL 2010.
- D. Bortolotti et al. **High Rate Packet Transmission via IP over InfiniBand Using Commodity Hardware**, IEEE-NPSS, 17th Real-Time Conference 24-28 May 2010, Lisboa, Portugal.



Level-1 Trigger



- Interesse del gruppo di Roma3.
- Riprodurre il trigger di BaBar e valutare possibili evoluzioni, mediante simulazioni al calcolatore.
- Implementazione su FPGA.

Richieste ROM (BO-PD).

- **Programma 2010:**
 - Studio di prestazioni del bus **PCle 2.0**.
 - Implementazione funzionalità PCIe su **Xilinks Virtex 6 Evaluation Board**.
- **Richieste finanziarie 2010:**
 - 2 PC con Motherboard alte prestazioni: 6 k€:
 - Con ≥ 2 slot 8x PCIe v. 2.0.
- **Programma 2011:**
 - Proseguire studio delle prestazioni del bus PCIe 2.0;
 - Sviluppo della scheda d'interfaccia ottico-PCIe.
- **Richieste finanziarie 2011 BO:**
 - 10 k€: masterista per layout;
 - 4 k€: PCB, componenti, montaggio 2 prototipi;
 - 40 k€: PCIe analyzer;
 - 5 k€: consumo.
- **Richieste finanziarie 2011 PD:**
 - Oscilloscopio BW > 10GHz (50 k€, di cui 20-25 k€ Gr. 3 Pd);
 - PC con Motherboard alte prestazioni: 3 k€:
 - Con ≥ 3 slot 4x PCIe v. 2.0.

2010 – I semestre (links ottici)

- Costi realizzazione del test beam (analisi dei SEUs)

- PCB..... 2.6 k€
- Componenti 2.2 k€
- Connettori, passivi 0.8 k€
- Cavi coax SMA (8 GHz)1.5 k€
- convertitori USB->Ethernet,
RS232->Ethernet 2.4 k€ → Tot. 9.5 k€

(consumo, 8.5 k€ da Dot1)

- Missione ai LNS + nolo furgone..... → 1.5 k€ (interno, da Dot1)

- Dopo il primo irraggiamento ai LNS si sono attivati:

- scheda controllo FPGA 2.0 k€
- cavi SMA 1.5 k€ → Tot. 3.5 k€ (consumo)

2010 – II semestre (Links ottici)

- Test di TID tolerance alla facility Calliope (ENEA-Casaccia)
 - fee uso sorgente Co⁶⁰ (Calliope) 2.0 k€ (Cons)
 - missione, nolo auto/furgone1.5 k€ (MI)
 - modulo di alimentazione AGILENT N6762A
+opt2UA (*)..... 3.6 k€ (Inv)

(*) Nei test di TID, l'aumento delle correnti assorbite dal Device-Under-Test costituisce l'aspetto piu' evidente del danno. Il modulo permette di registrare con continuita' la corrente assorbita dal carico e di programmare soglie di intervento per proteggere il dispositivo in caso di assorbimento anomalo durante l'irraggiamento. La programmazione remota via web server riduce in modo significativo la complessita' del set-up.

2010 – Sommario richieste

CONSUMO : 16.0 k€

- Costo Test Beam: 9.5 k€
(1.0 k€ iniziali , 8.5 k€ prestito da Dot1, da restituire)
- Materiale irradiato da sostituire: 3.5 k€
- Test alla Casaccia : 2.0 k€
- Metabolismo II semestre: 2.0 k€

INVENTARIO : 3.6 k€

AGILENT N6762A : 3.6 k€

MISSIONI INTERNE : 8.0 k€ (1.5 k€ iniziali : 1 Elba + contatti CT)

- Restituzione a Dot1 (test CT) : 1.5 k€
- Missione alla Casaccia (con nolo auto): 1.5 k€
- Meeting LNF (4 fisici x 5 gg): 3.0 k€
- Contatti computing: 2.0 k€

MISSIONI ESTERE : 7.5 k€ (4.0 k€ iniziali : Annecy)

- Meeting Caltech (3 fisici x 6 gg) : 7.5 k€

2011 – Quadro delle Richieste

- Links ottici
 - Consumi: 10 k€
 - Missioni interne: 5.0 k€ (LNS, Casaccia)

Richieste Roma3

- Schede di valutazione con FPGA per implementazione algoritmi.
- Consumo: 5 kEuro.