







Goals della riunione

Goals per oggi:

-  Accesso alla tecnologia 28 nm TSMC HPC+
-  Tool di progettazione
-  Logo del progetto
-  Report dai WG
-  Milestone 1
 -  Definizione delle specifiche

TSMC 28 nm HPC+

- Scelta obbligata per TSMC.
- Esperienza pregressa di alcuni dei progettisti in FALAPHEL
- Occorre mettere a comune le esperienze per alcuni BB
- È possibile sottomettere i chip passando dal CERN.
- Facciamo una programmazione interna

28nm CMOS RF HPC (+)	
ULVT, LVT, SVT, HVT, Extreme HVT	L
NW, OD, High-R resistor	T
MOM capacitor	F
M10	M
Triple well, Deep N-Well in option	L
Ultra thick metal	T
0.9V core	O
1.8V I/O, 2.5V I/O	I

<https://europactice-ic.com/mpw-prototyping/asics/tsmc/>

Tool di progettazione

● Contratto Cadence con INFN. Ci permette di

- 1) usare la licenza a scopo non commerciale ai fini a) formativi b) ricerca fondamentale c) partecipazione a programmi di ricerca finanziati da governi nazionali e EU, d) partecipazione in programmi di ricerca all'interno finanziati da enti pubblici.
- 2) fabbricare da terzi disegni che creiamo
- 3) scambiare i disegni solo con alcuni laboratori internazionali. Eventuali collaboratori aggiuntivi devono essere autorizzati da Cadence a loro unica discrezione.

● A differenza del contratto precedente possiamo scambiare i disegni tra sedi INFN.

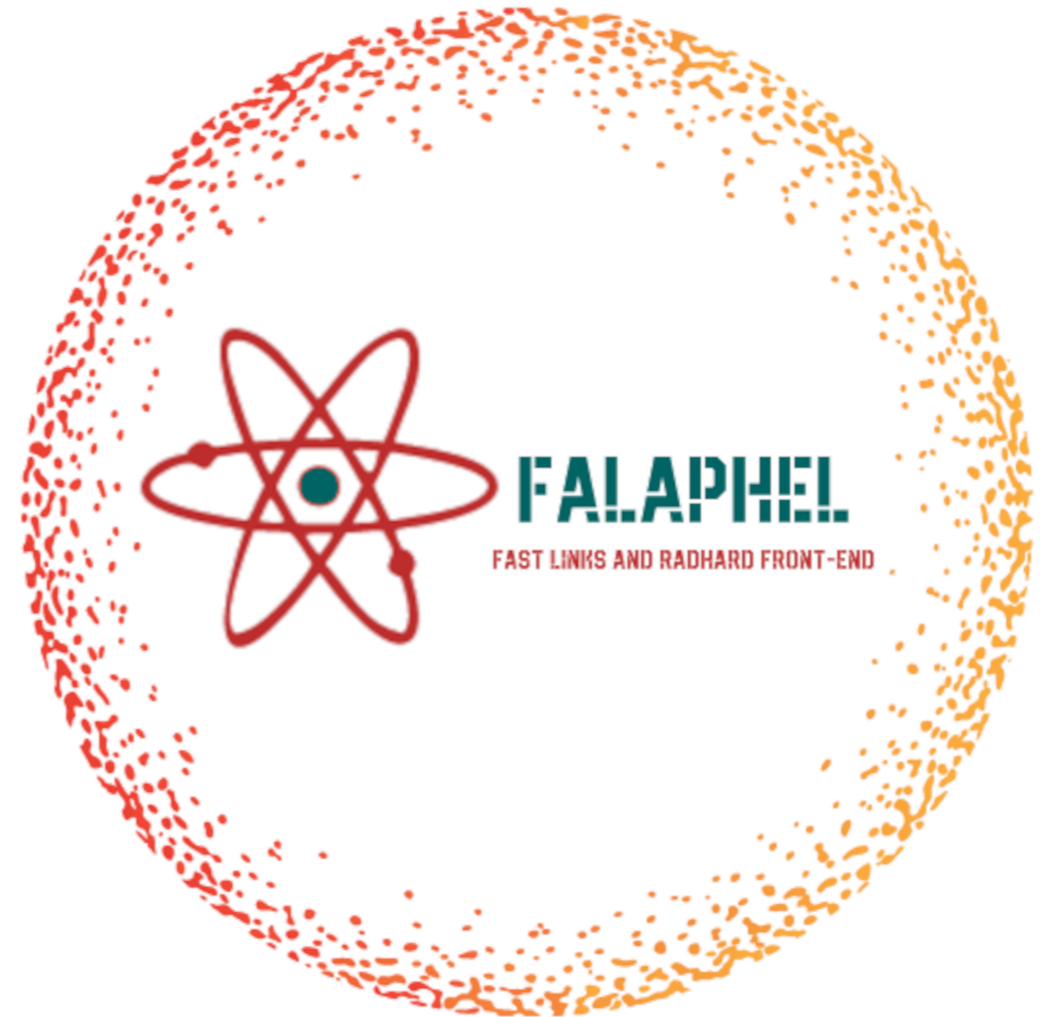
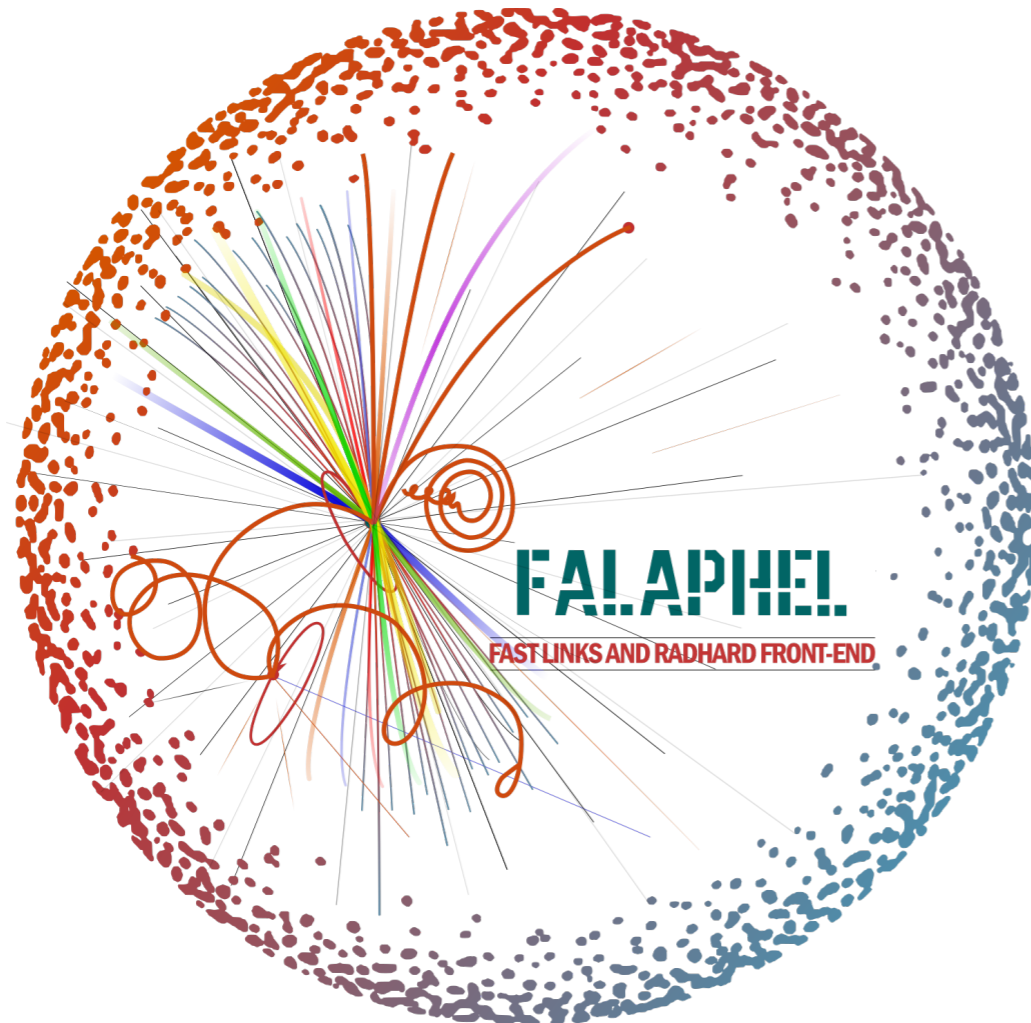
● Tuttavia non è permesso scambiare disegni con le Università, che tra l'altro hanno un contratto "educational"

● Stante così le cose una soluzione "semplice" potrebbe essere quella di far progettare tutti (dipendenti e associati) su macchine INFN e poi integrare i disegni

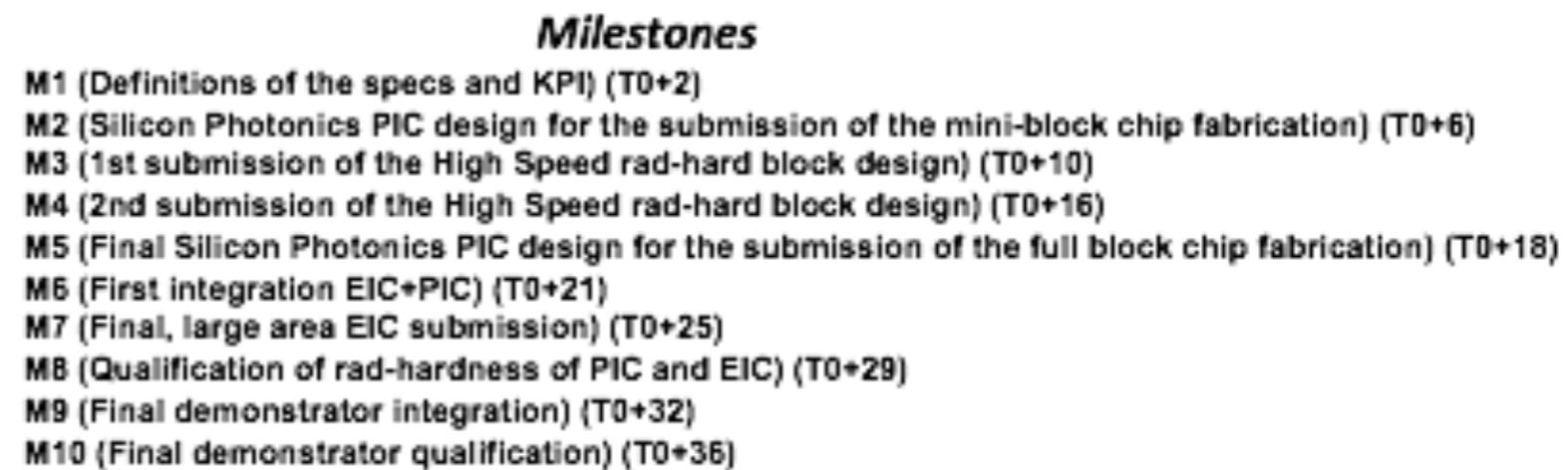
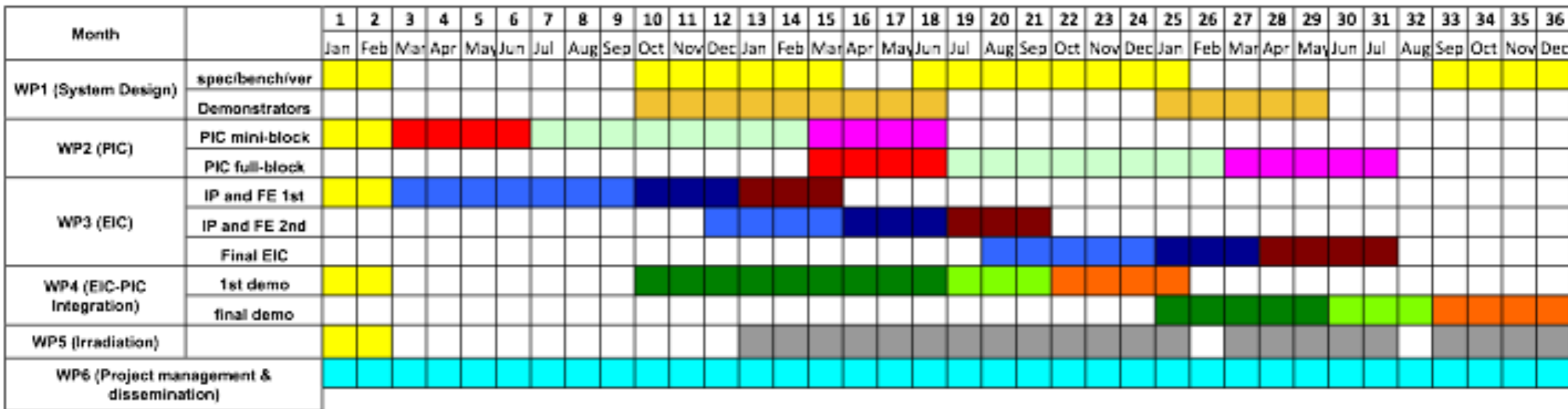
● Punto delicato (in fase di discussione) è l'eventuale rivalsa dell'INFN nei confronti di progettisti che infrangessero la licenza a scopi commerciali.

Logo

Due 'logo' sono stati proposti da Philippe



Gantt chart



Assegni

A d R #	T y p e	Un it	Mon ths	Research Topic	Bandito/ Partenza	Vincitore
1	J	PI	30	PIC design and test. PIC-EIC integration and test	2021	
2	S	PI	24	Driver design. PIC-EIC integration and test	2020/2021	G. Ciarpi
3	J	PI	12	PLL/CDR design and test	2022	
4	J	PV	30	DAC design and test	2020/2021	
5	S	PV	12	FE design, test and integration in the demonstrator	2022	
6	J	P D	12	Irradiation tests and analysis	2022	

WP Structure

Table 3. Work Packages.

WP	Topic	Leader	Unit	Areas of work
1	System Design	Luigi Gaioni	INFN Pavia	Demonstrator design, system specifications and key performance indicators
2	Silicon Photonics	Stefano Faralli	Scuola Superiore S. Anna of Pisa	PIC blocks, Ring-Resonator Modulator, MachZehnder Modulator, WDM and SDM
3	Electronics	Gianluca Traversi (focus FE) and Guido Magazzu (focus IP cores)	INFN Pavia INFN Pisa	Serdes, Driver, PLL/CDR, DAC, Bandgap, Front-End
4	EIC-PIC Integration	Sergio Saponara	University of Pisa	Packaging and integration, thermal studies, prototyping and fabrication
5	Radiation hardness	Serena Mattiazzo	INFN Padova	Tests with X-rays, Heavy Ions, protons, neutrons
6	Project management and dissemination	Fabrizio Palla	INFN Pisa	Resource management, planning and coordination. Dissemination and exploitation of the results