

AM ASIC stato, prossimi passi e criticità

Alberto Annovi, Valentino Liberali

Breve riepilogo dei chip AM

In passato sono stati disegnati AM04/AM05/AM06 a in tecnologia CMOS 65 nm per FTK.

AM04 è stato il primo chip di prova a 65 nm. In seguito è stato progettato AM05 e poi è stato fatto lo scale up ad AM06, che è stato il primo dispositivo a 65 nm con grande area (168 mm²) nella comunità HEP.

Con AM07 siamo passati alla tecnologia CMOS 28 nm, per avere maggiore densità di integrazione e maggiore velocità.

Ora stiamo progettando AM08, che è una versione in piccolo del chip definitivo: AM09.

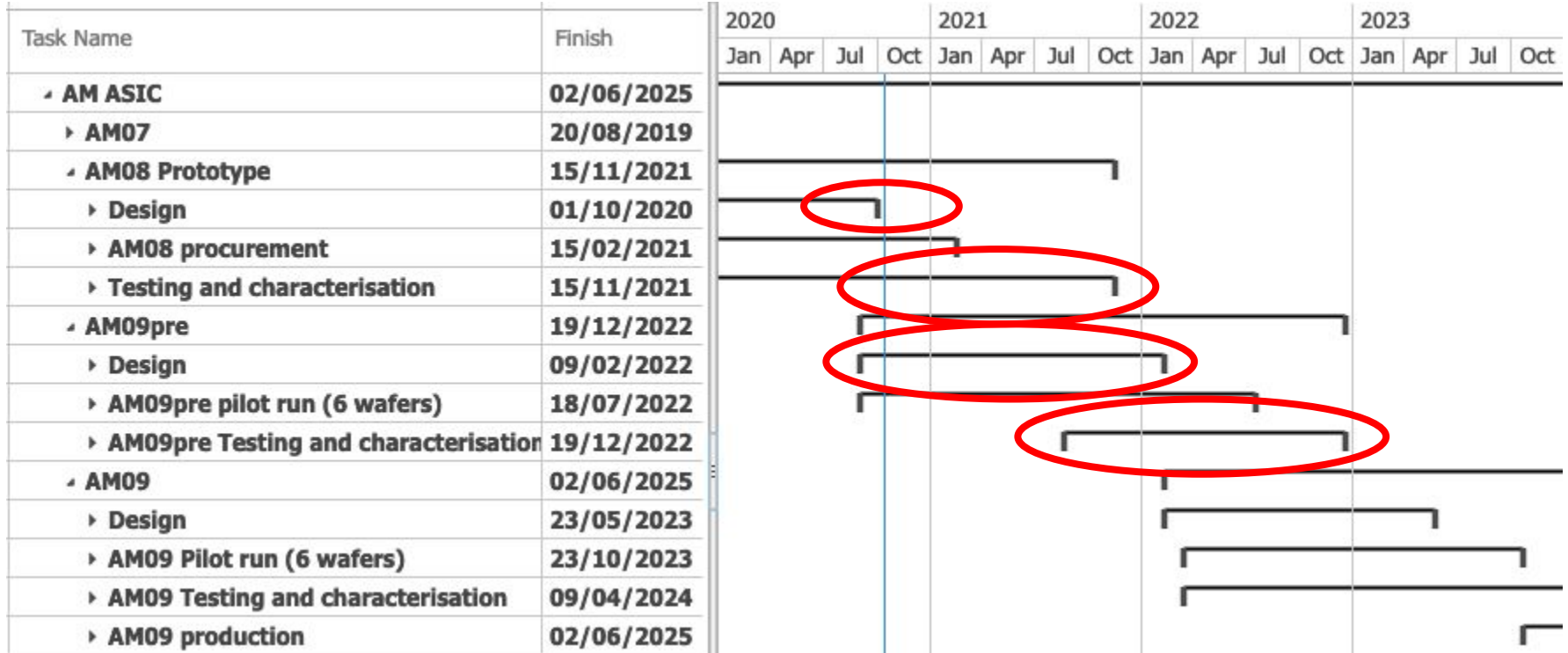
Piano e obiettivi (AM08)

- AM08 is a small area fully functional AM ASIC
 - 28 nm ~8.67 mm² with 12k patterns
 - All functionality (standard cell and full custom) included and final (pending AM08 test results)
 - Prepare scale up to AM09: ~160 mm² with 384k patterns
 - O(100 k\$) for the die and O(60 k\$) for the package
- Next steps
 - Submission of AM08 die and package
 - Prepare the AM08 characterization (Paris + Milano)
- Key AM08 goals
 - Confirm full custom cell functionality → allow integration of this cell in AM09
 - Confirm general VHDL code → critical to be able to test the device overall
 - Confirm power distribution is under control → gives credibility yo scale up to AM09
 - Allow AM integration on the PRM board. AM08 has the same interface as AM09

Piano e obiettivi (AM09)

- Scale up the design to a large area AM09 ASIC (28nm)
 - 8.67 mm² with 12k patterns (AM08) → ~160 mm² 384k with patterns (AM09)
 - Use (standard cell and full custom) from AM08, with additions to describe a larger scaled up design
 - ~1 MCHF core for MLM 28 nm submission + package + test system
- Key design aspects
 - Mostly: Integration and validation.
 - Challenges due to large are (also computing intensive → long iteration time)
 - Attentions to power distribution and control
- Two AM09 submissions planned
 - AM09pre first submission. In principle final design. Follow ATLAS FDR review → provides pre-production
 - AM09 fix if needed. Launch production.

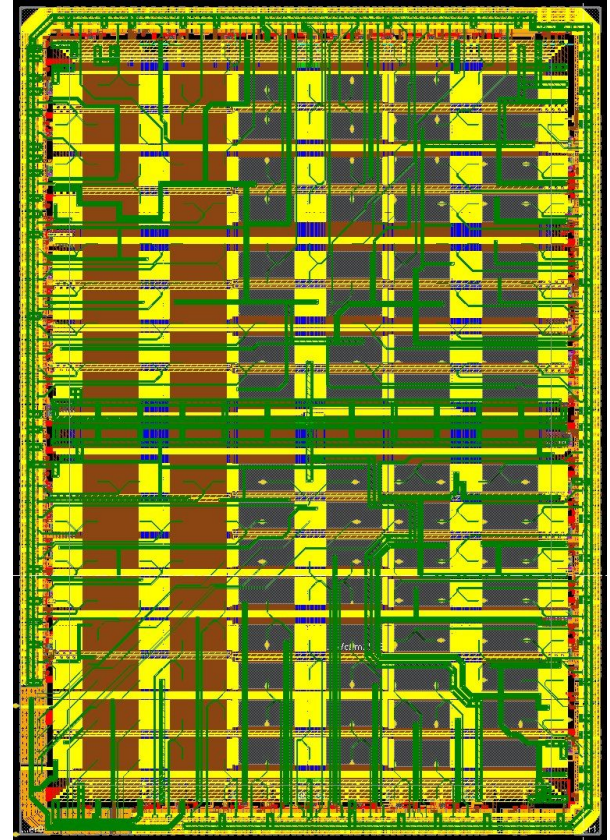
Timeline (aggiornata Sett. 2020)



Stato di AM08

Completato il disegno, con:

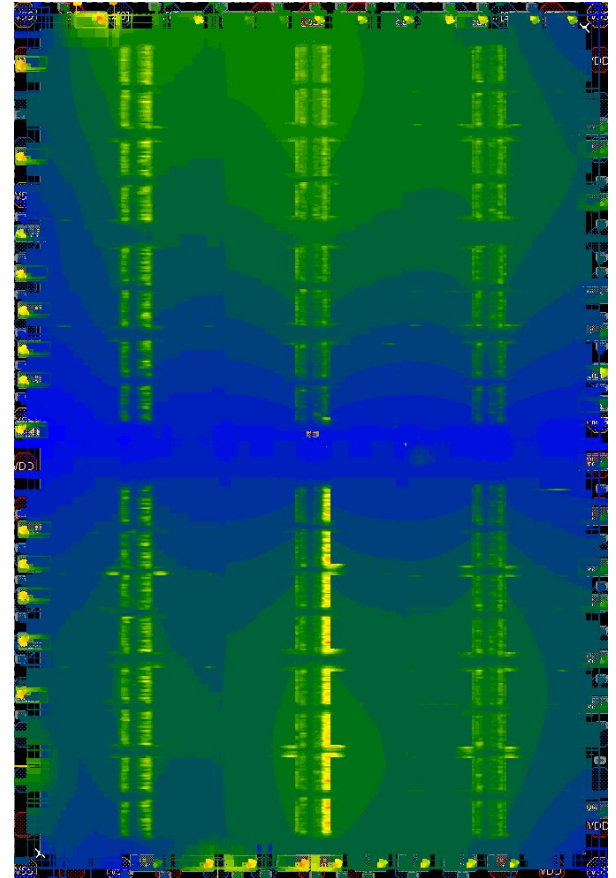
- Cella di memoria full-custom
- Logica a standard cells
- Interfacce seriali LVDS per ingressi e uscite
- Interfaccia JTAG per configurazione e test
- Circuito di sfasamento del clock (250 MHz) per ottenere 8 versioni del clock, ritardate di $\frac{1}{8}$ di periodo (un clock per ogni pattern)



Da fare per sottomettere AM08

Completare le verifiche:

- Simulazioni di IR drop (figura)
 - Da migliorare sulla base delle ultime informazioni
- Simulazioni di timing (per la distribuzione del clock sfasato)
 - Da migliorare sulla base delle ultime informazioni
- Ripetere la validazione logica sull'ultimo candidato
- DRC (check degli errori di layout)
- LVS (verifica layout verso schemi)
- ERC (verifiche elettriche)



Packaging di AM08

AM08 verrà assemblato con tecnica “flip-chip” su un substrato per montaggio con BGA.

Il substrato contiene anche alcune capacità per il filtraggio delle alimentazioni.

Siamo in contatto con due ditte che stanno progettando il substrato (indipendentemente).

Test di AM08

Test da effettuare in laboratorio con sistema di test dedicato (basato su FPGA).

La procedura di test deve essere scritta appositamente e richiede la conoscenza dettagliata del funzionamento dell'interfaccia JTAG (Parigi).

Bisogna predisporre una seconda sede per il test. (Milano ?) con altre persone.

Attività di disegno per AM09

Da fare nel 2021:

- Floorplan e integrazione di AM09
- Verifica e sottomissione
- Disegno del package
- Tendering al CERN con Market Survey

Criticità per AM09

- Disponibilità delle licenze software (NON Europractice)
- Personale
 - Ad oggi necessità di almeno una persona al CERN per fare li il disegno
- Tempo
 - (ci aspettiamo di dover tenere conto dei risultati del test di AM08 per alcune scelte nella progettazione di AM09)
 - Disegno e integrazione di AM09 assumendo test positivo di AM08
 - Allocato tempo in fase di finalizzazione per incorporare input da AM08
 - Non è previsto tempo per cambiamenti radicali (che non ci aspettiamo)
 - Tempo di calcolo per ogni iterazione di place&route e per ogni step di verifica

Personale

Personale disponibile per attività di progettazione:

- Milano: Alberto Stabile, Valentino Liberali, Luca Fontini, Matteo Monti
- Pisa: Alberto Annovi (priorità su PRM)
- Parigi: Francesco Crescioli (anche se a bassa priorità)
- Londra (UCL): da definire
 - 3 persone hanno collaborato a parti specifiche dell'attività. In passato codice VHDL per interfacce I/O e attualmente su validation
- Possibilità di trovare aiuto in altri gruppi in HTT da investigare

Coordinamento (interim): Alex Cerri (Sussex)

Ulteriore fabbisogno per test AM08 e disegno AM09: non banale da trovare...

Commenti dei referee relativi a AM09

PDR follow up Oct 2020 https://edms.cern.ch/ui/file/2426009/1/TDAQ-AM08-PDR-Follow-up_docx_cpdf.pdf

The unanimous concern of the panel is that the complexity of the AM09 design is such that the current design team will not be able to carry it through successfully.

PDR July 2020 (available late Sep) https://edms.cern.ch/ui/file/2390562/1/TDAQ-AM08-PDR_docx_cpdf.pdf

.. sufficient time will have to be allocated for AM09 verification. The team should consider the formal verification for AM09 development as used by industry, despite some constraints and learning curve.

... It is recommended to hold a AM09 chip level architecture review once the preliminary AM08 test results become available. It is also recommended to strengthen the development team for the AM09 design. The team may seek support from the CERN CHIPS service(Xavi Llopart)on the digital physical implementation, power extraction and functional verification.

IDR follow up March 2020 https://edms.cern.ch/ui/file/2360567/1/AM08-IDR-Followup_docx_cpdf.pdf

The CAM cell used for AM08 and AM09 will be KOXORAM+ based on the KOXORAM design integrated in AM07 with little modification.

... AM09 is not a simple linear extension of the AM08 but a whole new series of complex new phenomena will likely be encountered by the design team. For instance, the complexity of routing a much larger chip will become more important, timing closure will also be more complex

IDR Dec 2019 https://edms.cern.ch/ui/file/2281891/1/AM08-IDR_docx_cpdf.pdf

Azioni da prendere

Siamo coscienti da tempo della necessità di rafforzare il gruppo che disegna gli AM ASIC. Ciò è stato argomento di discussione più volte.

Molti eventi sono andati nella direzione opposta...

- Milano (gruppo principale su AM ASIC a livello internazionale) necessita di un fisico che segua la parte gestionale del progetto e l'integrazione (anche dal punto di vista della comunicazione) dell'attività dell'ASIC in HTT
- Serve (almeno) un'unità di personale con esperienza per il test di AM08 e il progetto di AM09