

# Super-B

## Electronics, Trigger and DAQ

Umberto Marconi, INFN Bologna

Roma 20/07/2009

# Super-B

- Bunch crossing rate:  
208 MHz (PH-1), 416 MHz (PH-2).
  - Periodo di rivoluzione dei bunches:  $6\mu\text{s}$ .
  - Numero dei bunches: 1250 (PH-1), 2500 (PH-2).
- Rate di interazione atteso: 150 kHz
- Strategia di acquisizione:
  - Acquisire eventi in presenza di interazione, rivelate dal sistema di trigger.
  - Sistema completamente sincrono, operante alla frequenza di clock di  $416/8=52$  MHz.

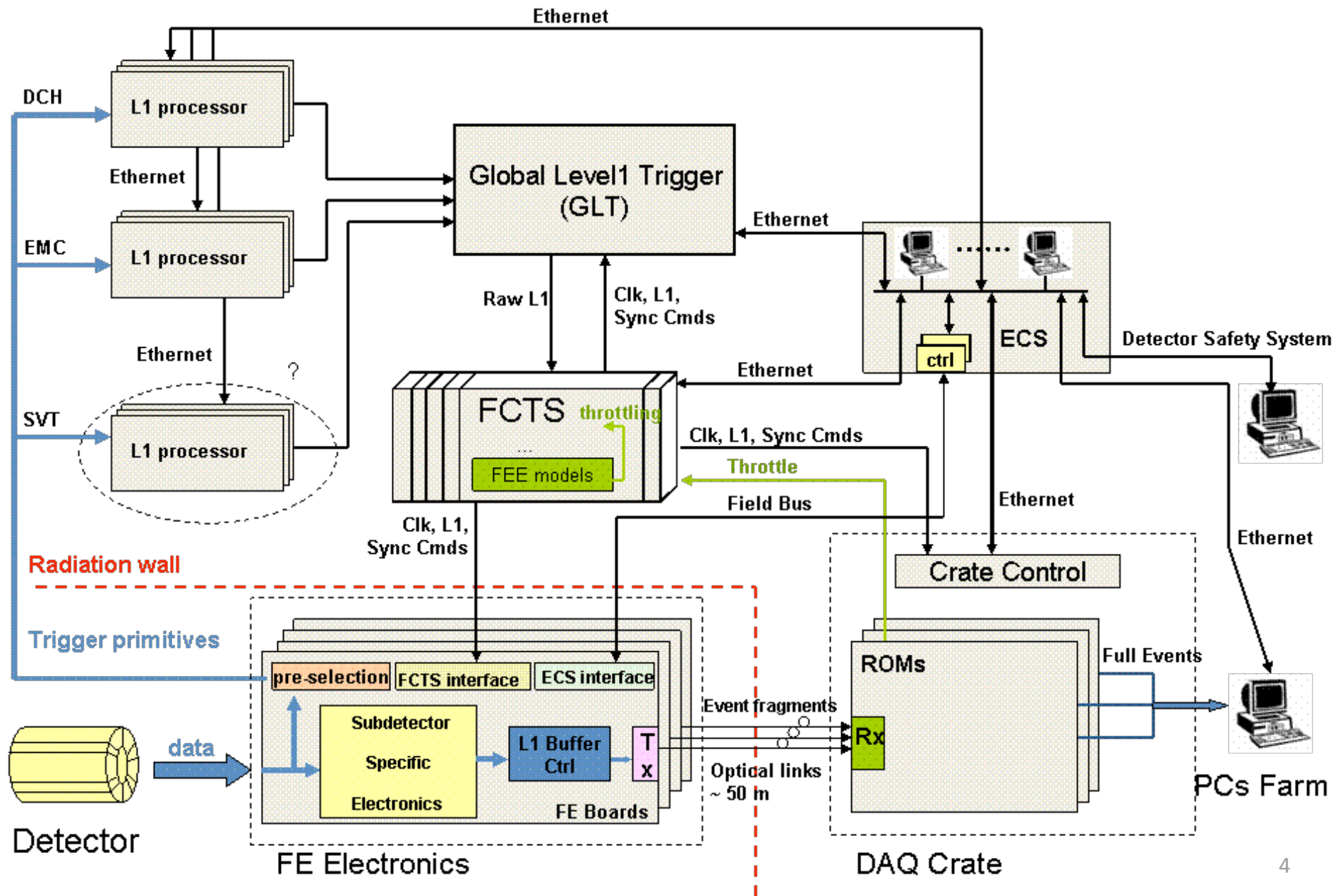
# Architettura ETD

- Con il contributo di:  
A. Aloisio , C. Beigbeder, M. Bellato, D. Breton, D. Charlet, D. Galli,  
J. Maalmi, U. Marconi, e inoltre: B. Jost e R. Jacobsson.

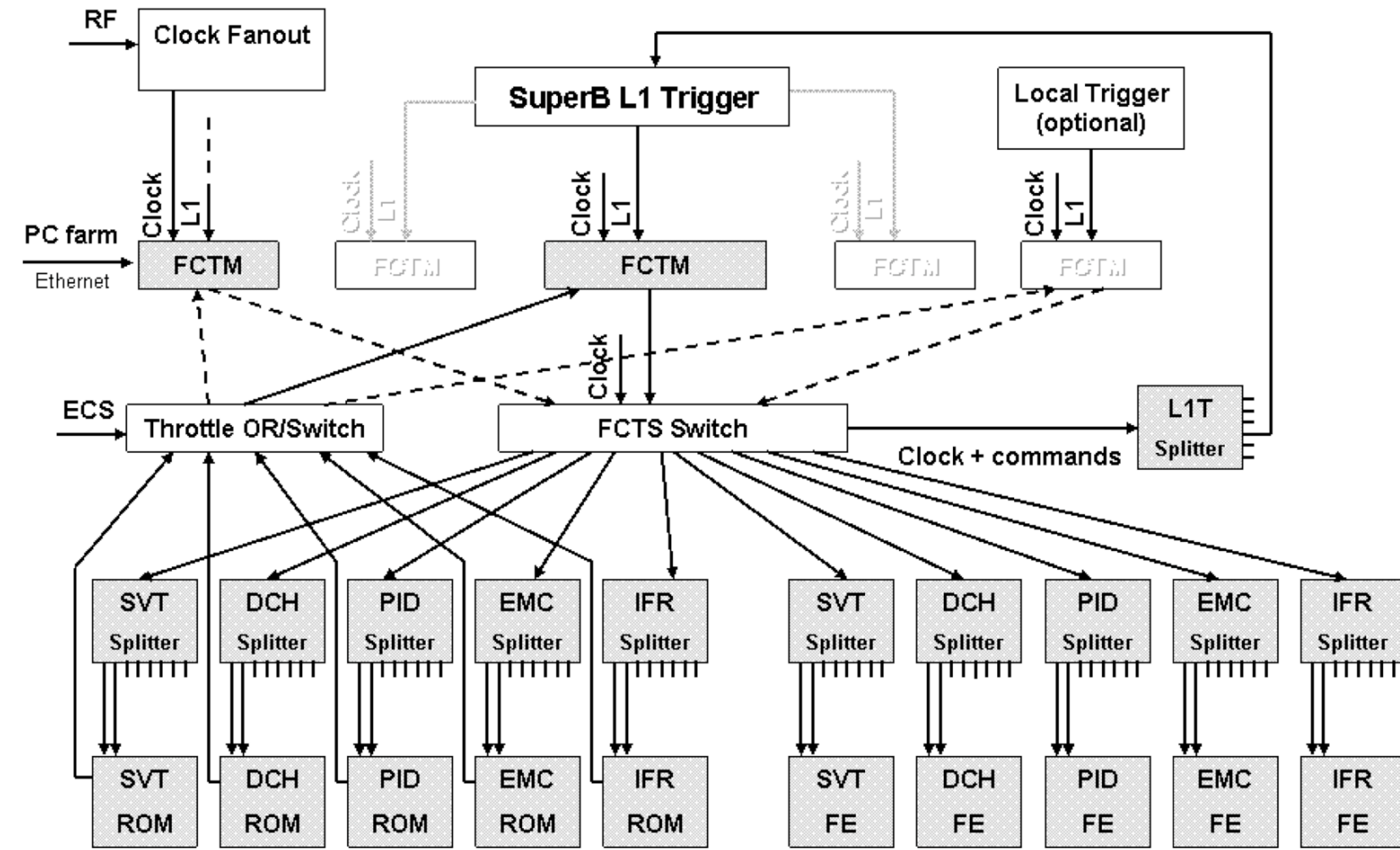
## Elementi principali.

- Link ottici per la trasmissione di dati e comandi.
- Sistema di distribuzione del clock e dei comandi: “FCTS”.
- Sistema di controllo e configurazione: “ECS”.
- Elettronica per il trasferimento dati dal FE: “L1 Buffer Control”.
- Schede di readout: “ROM”.
- Trigger di primo livello: “L1”

# Architettura ETD (II)

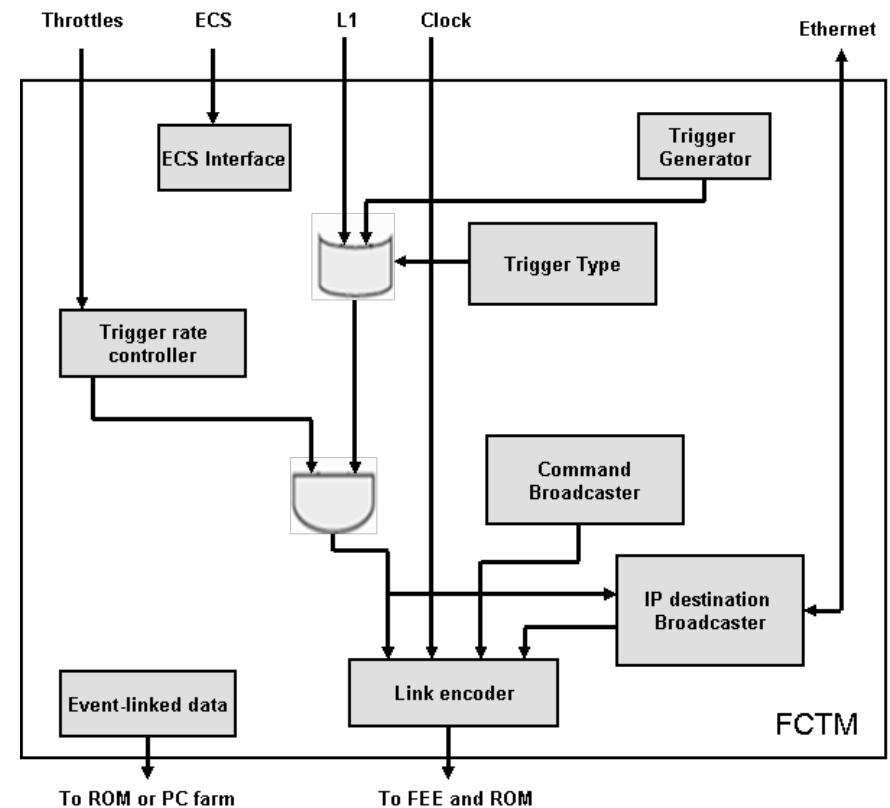


# FCTS

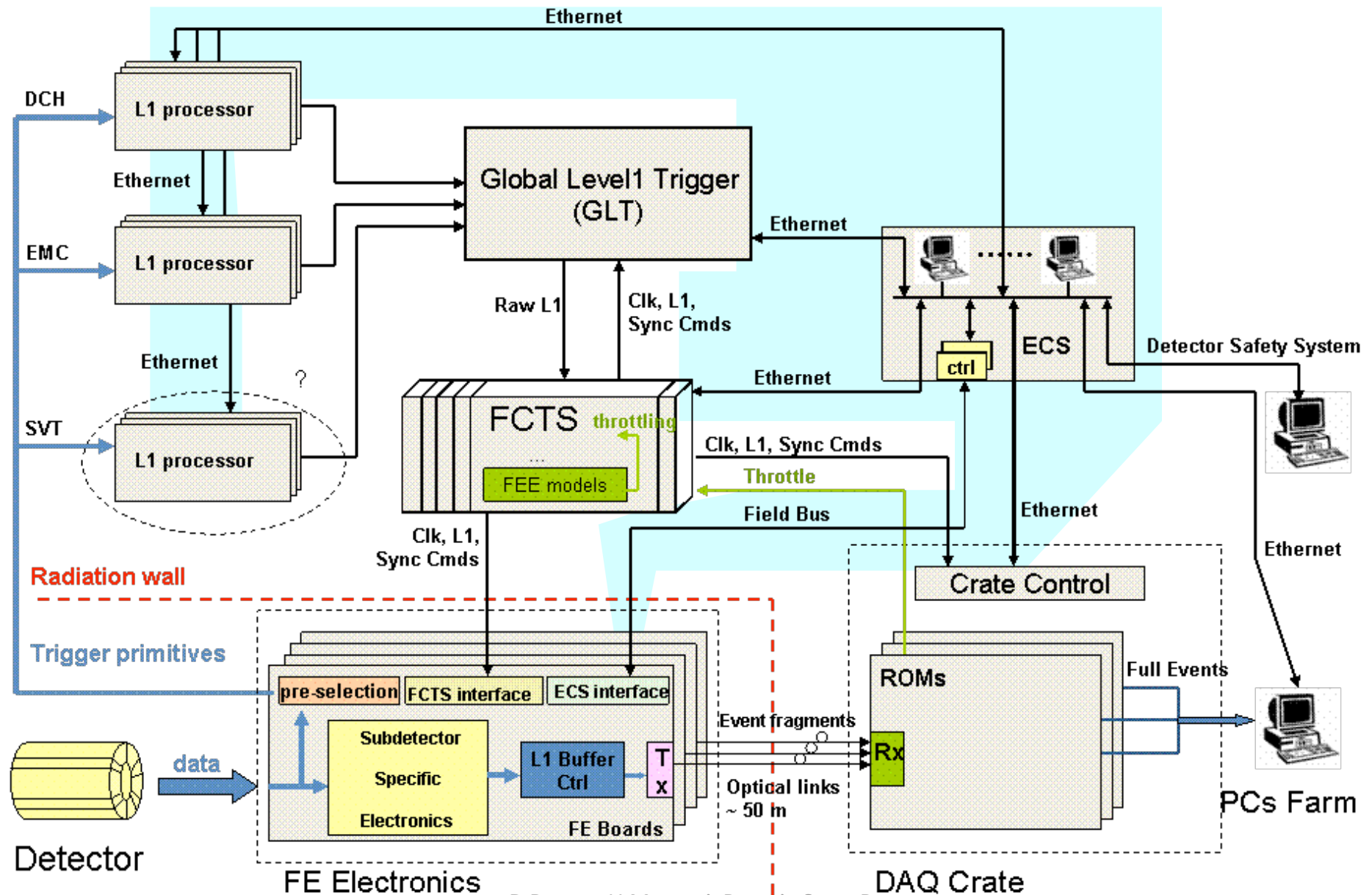


# FCTM board

- FCTM is in charge of managing the following functions:
  - Synchronizing the experiment with the machine;
  - Delivering and buffering the clock to the experiment;
  - Dealing with the raw L1 trigger decisions;
  - Throttling the latter if necessary;
  - Generating widely programmable local triggers for calibration and commissioning;
  - Generating calibration pulses;
  - Generating all the synchronous reset commands;
  - Producing the BxID and event ID;
  - Managing the stack of IP addresses of the farm PCs and broadcasting them;
  - Keeping a trace of all event-linked data to be put in the event readout.



# ECS

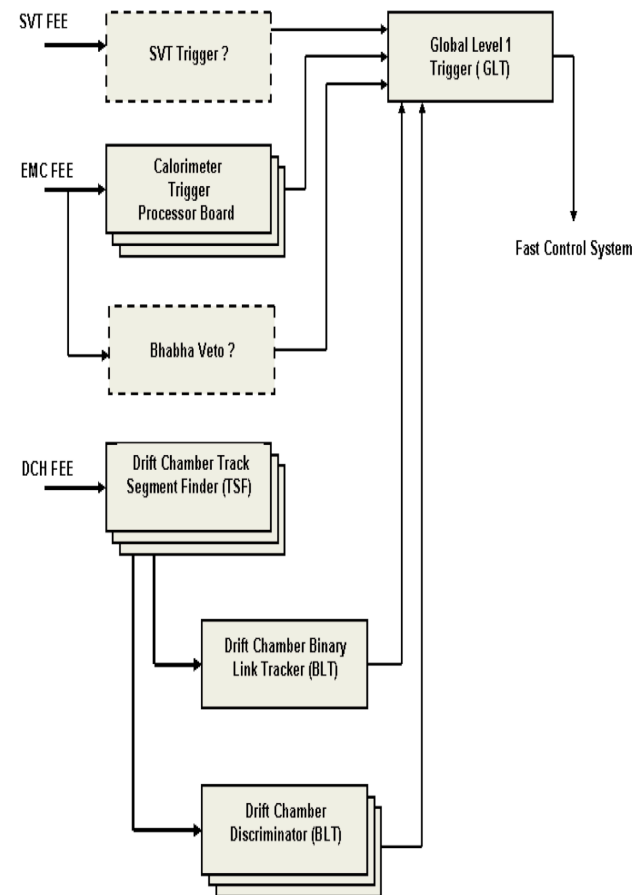


# ECS

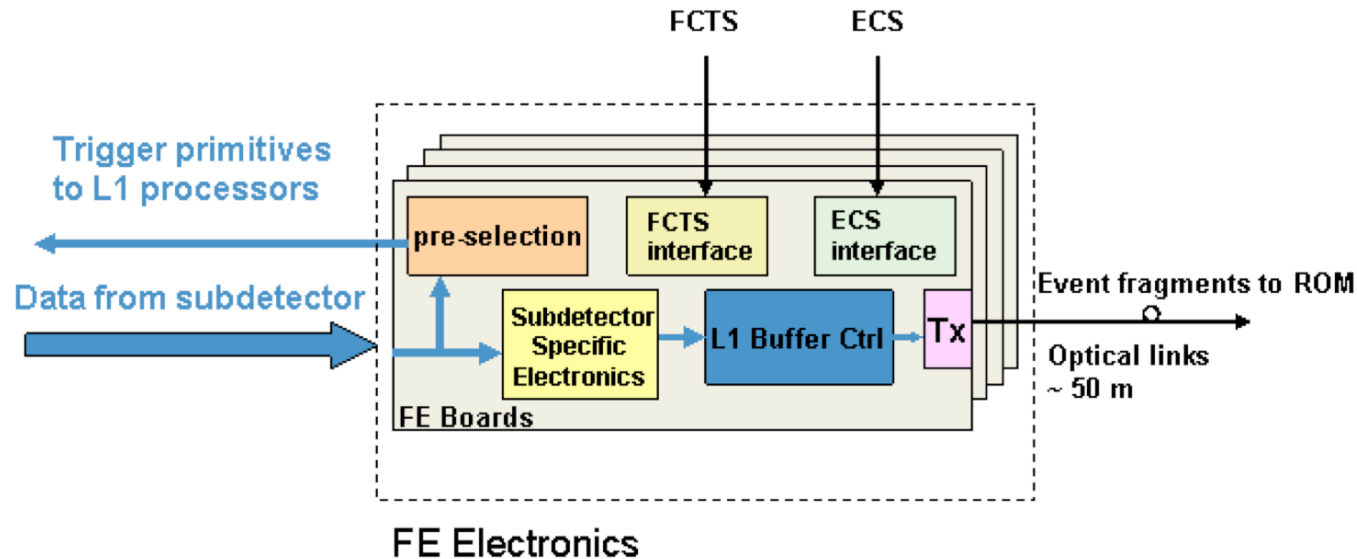
- Basato su PC - Ethernet LAN per il controllo e la configurazione di elettronica e crate in aree non esposte a radiazione.
- Pensiamo sia possibile utilizzare il sistema SPECS, sviluppato per LHCb, nella regione prossima al rivelatore.
  - D. Charlet,  
The SPECS field bus: a possible solution for on-detector ECS.  
<http://agenda.infn.it/conferenceDisplay.py?confId=1161>
- SPECS permette di configurare e controllare schede elettroniche e crate prossimi al detector, anche se il livello di radiazione raggiungesse 50 kRad.
- Consente connessioni a lunga distanza , fino a 150 m.
- Offre interfacce standard multiple (JTAG, I2C, parallel bus, ecc.)
- Funziona anche in assenza del clock del rivelatore.

# Trigger L1 (e HLT)

- Funzione del trigger L1 è di avviare l'acquisizione delle informazioni prodotte dal rivelatore entro la finestra temporale corrispondente ad un evento.
- Al momento, un'architettura di L1 simile a quella di BaBar, con l'impiego di segnali dal calorimetro elettromagnetico e dalla camera a deriva, pare idonea.
- La frequenza di rivelazione degli eventi è di 150 kHz, dei quali 1/3 corrispondente a fondo Bhabba.
- Per eliminare tale fondo prefiguriamo due alternative:
  - La possibilità di realizzare un sistema di veto nell'L1.
  - Usare il cluster di computer del trigger HLT, per realizzare il filtro di reiezione successivamente.
- Cluster di selezione per il trigger superiore HLT.
  - La larghezza di banda necessaria per l'HLT di Super-B corrisponderebbe al 30% di quella disponibile già oggi per LHCb.
  - Condizioni di lavoro del cluster per l'HLT di LHCb: 1 MHz di input rate con eventi RAW da 50 kB (2 kHz di output rate su disco).



# Elettronica di FE



- Moduli (mezzanine boards) di interfaccia standard per FCTS e ECS.
- Architettura o mezzanine per L1 Buffer CTRL
- Mezzanine per il Tx ottico FE → ROM

# Link seriali ottici

- Richiede un programma di R&D, per il TDR, dedicato.
- Vi è necessità che fra Trasmettitore (Tx) e Ricevitore (Rx) si stabilisca una connessione con latenza costante.
- Il dispositivo collocato sul lato del rivelatore dev'essere resistente alla radiazione.
- Entro livelli di radiazione opportuni (50 kRad), è possibile il ricorso a dispositivi di Serializzazione /Deserializzazione commerciali.
- Per connessioni fra elementi del sistema, esterni alla regione prossima al rivelatore, si pensa di ricorrere all'impiego di FPGA.

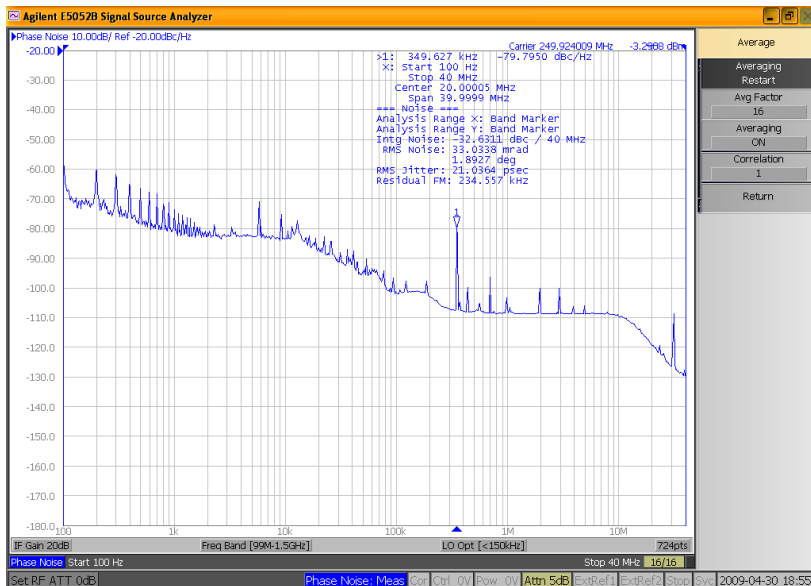
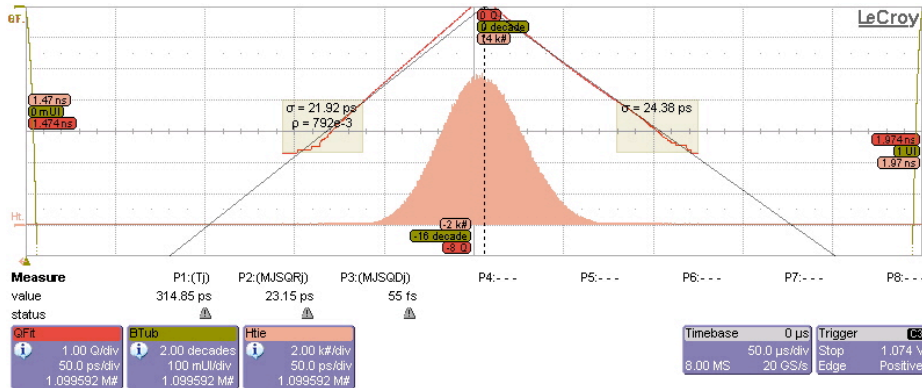
# Link seriali ottici R&D

- Individuazione di dispositivi di serializzazione e deserializzazione commerciali.
  - TLK2711A e TLK2711SP
  - Vi sono altre possibilità' SerDes National.
- Definizione di un'architettura, e di una procedura, che consentano di realizzare canali di trasmissione con latenza costante.
- Collaudo del canale di trasmissione sotto irraggiamento.
- Nelle tre fasi: qualifica delle caratteristiche del canale di trasmissione mediante misure del jitter del clock, e BER.

# Richieste Sezione di Napoli

Capitolo	Descrizione	Parziali	
		Richiesta	SJ
INTERNO	1. Metabolismo (1,4 k€ x 1,2 FTE) Secondo workshop in Itaia (0,8 k€ x 4 persone)	5.00	
	2. Contatti per sviluppo link ottici (4 viaggi x 2 fisici x 2 giorni) Contatti LNF per DAQ della DCH (4 viaggi x 2 fisici)	4.00	
	3. Contatti per studi di fisica	1.00	
ESTERO	1. Metabolismo (1 m.u. (5,4 k€) x 1,2 FTE) Secondo workshop in USA (2,5 k€ x 3 fisici)	14.00	
	2. Contatti con Orsay/Cern (2 viaggi x 2 fisici) Contatti per studi di fisica	5.50	
	3. Misure di radiation damage su componenti per link ottici (Lovanio/GSI)	7.50	
	4. Eventuali misure aggiuntive	0.00	7.50
CONSUMO	1. Sviluppo PCBs test irraggiamento	5.00	
	2. Componenti per irraggiamento (5 k€) componenti attivi/passivi test-bench (7 k€)	12.00	
	Schede di valutazione per SerDes commerciali	6.50	
	4. Schede di valutazione jitter cleaners Schede di valutazione Viortex5-FXT con serdes embedded GTX	5.50	
	5. Sviluppo logica rad-hard ASIC: packaging plot (2 k€) libreria standard cell rad-hard (10 k€)	0.00	12.00
TRASPORTI	1. Spedizioni di strumentazione per test di irraggiamento (Lovanio/GSI)	4.00	
	2. Spedizioni per eventuali misure aggiuntive	0.00	4.00
LICENZE-SW			
MANUTENZIONE			
INVENTARIO	1. Contributo ad acquisto Source Analyzer Agilent E5052B (27 k€ su 45 k€ totali)	27.00	
	2. CPU board, aTCA-6900 ADLINK	6.50	

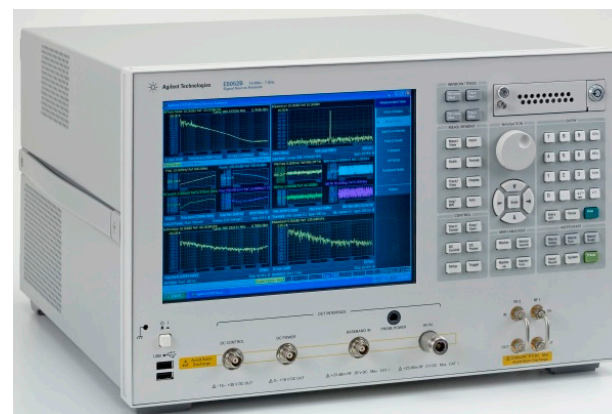
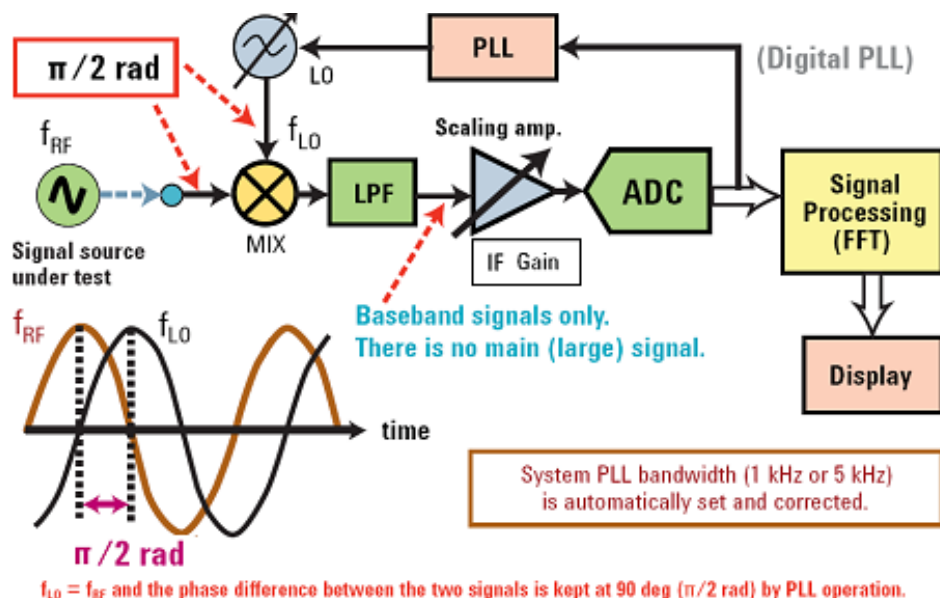
# Time vs. Frequency domain



- Minus:
  - Need a reference clock (non always available)
  - Need a model to separate  $R_j$  from  $D_j$
  - Very high bandwidth required, memory, specific SW tools
  - ps resolution, at best
  - Long acquisition times (hours)
- Plus:
  - Works on random signals (data streams)
  - Separates  $D_j$  sources

- Minus:
  - Only works on periodic signals (clocks)
  - Expensive ...
  - No  $D_j$  separation (DCD, ...)
- Plus:
  - fs resolution
  - Accurate signal integrity analysis
  - natural  $R_j$  from  $D_j$  separation
  - Very fast measurements
  - Also allows PLL, VCO, XTAL characterizations

# Source Analyzer block diagram



- Different from spectrum analyzers, specific for phase noise (timing jitter) analysis up to 100 MHz bandwidth

# Interessi e attività connesse.

- Sistema di temporizzazione e distribuzione dei comandi: LAL.
- Sistema di controllo e configurazione: LAL.
- Schede di readout:
  - Progetto gruppo 5, “REDI-GO”.
  - Sezioni di Bologna, Legnaro, Padova.
-