
FinFET16

(Low-power rad-hard design in finFeT16 technology)

Serena Mattiazzo

CdS 10/7/2018

Organizzazione

- **Sigla:** FinFET16
- **Gruppo:** 5 (elettronica)
- **Durata:** 2 anni (inizio **01/01/2018**)
- **Sezioni coinvolte:**
 - INFN Milano-Bicocca (Responsabile Nazionale: Andrea Baschirotto)
 - INFN Pavia (Responsabile Locale: Piero Malcovati)
 - INFN Padova (Responsabile Locale: Serena Mattiazzo)
 - INFN Torino (Responsabile Locale: Gianni Mazza)
 - Un'unità esterna (EPFL)

Overview del progetto

- Lo scopo del progetto è investigare le prestazioni della tecnologia FinFET in 16 nm in termini di qualità del segnale, consumo di potenza e resistenza al danno da radiazione.
- I risultati saranno usati per stabilire potenziali benefici e/o svantaggi che si possono avere usando questa tecnologia rispetto ai nodi tecnologici precedenti (250 nm, 130 nm, 65 nm e soprattutto 28 nm)



- HEP ha le richieste più stringenti in velocità e danno da radiazione e serve come “banco di prova” per altre applicazioni (FEL, applicazioni spaziali, etc)

Parameter or Feature		ATLAS	CMS
layout			
Barrel	layers	4 (option 5)	4
	length	91 cm - 140 cm	55 cm
	radii (mm)	38, 78, 155, 250	30, 68, 102, 160
Endcap	Disks	2 × 6	2 × 3 (option 2 × 5)
	radial range	150–315 mm	45–161 mm
	Z range	877–1675 mm	391–516 mm
Pseudorapidity coverage		2.7	2.5 (option higher)
Active area		8–12 m ²	3–4 m ²
ASIC size		≈ 4 cm ²	≈ 4 cm ²
Number of readout chips		15k–25k	8k–12k
Module size	inner barrel	1 × 2 chips	1 × 4 chips (1 × 2)
	other barrel	2 × 2 chips	2 × 4 chips (2 × 2)
	disks	2 × 2 chips (3 × 2)	2 × 4 chips (2 × 2)
Hit rates and radiation			
Interactions /25 ns		200 (140 w/leveling)	
Particle flux inner barrel		<500 MHz/cm ²	
Pixel hit rate inner barrel		≈ 1 GHz/cm ² (30 KHz/pixel 25 × 150 μm ²)	≈ 2 GHz/cm ² (50 KHz/pixel 25 × 100 μm ²) (100 KHz/pixel 150 × 100 μm ²)
10yr, 3 ab ⁻¹	TID	10 MGy	
	1 MeV n. eq.	2 × 10 ¹⁶	
SEU tolerance		Re-configure <1 module/lyr/hr <0.1% hit data loss	
Sensor			
Signal	Polarity	negative	negative (TBC)
	MIP charge	10 Ke ⁻	5–10 Ke ⁻
	Max. charge	TBD	linear up to 2 (4) MIP
Pixel max. capacitance		200 fF (<400 fF)	200 fF TBC
Pixel max. leakage current		20 nA (<100nA)	20 nA TBC
Readout Chip			
Hit loss at max rate		<1%	<1%
Threshold	minimum	≈ 1000 e ⁻	≈ 1000 e ⁻
	dispersion (tuned)	< 100 e ⁻	< 200 e ⁻ (100 e ⁻)
	variation w/time	< 100 e ⁻	< 200 e ⁻ (100 e ⁻)
Min. thr. noise occupancy		< 10 ⁻⁶	< 10 ⁻⁶
Hit time resolution		25 ns	25 ns
Charge measurement		TBD	4–8 bits Resolution to TBD by detector simulations

Serena Mattiazz

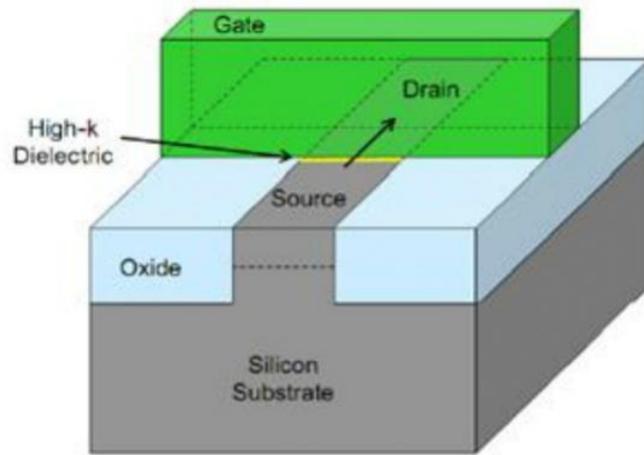
Table 1: Part 1/2 of Pixel detector requirements for Phase 2 from ATLAS and CMS. Where different options exist alternate values are given in parentheses, or in the case of trigger and readout with A, B, and C labels. TBC (TBD) stands for To Be Confirmed (Determined).

Suddivisione Workpackage

	Work Package	Leader	Unit
WP1	Project management (including chip integration)	Andrea BASCHIROTTO	Milan-Bicocca
WP2	Radiation Hardness	Serena MATTIAZZO	Padova
WP3	Digital/Mixed-Signal Electronics	Piero MALCOVATI	Pavia
WP4	Analog FE Electronics & Optical Transceiver	Marcello DE MATTEIS	Milan-Bicocca
WP5	Electronics for high speed data transmission and precise timing measurement	Gianni MAZZA	Torino
WP6	Radiation Damage Modeling	Christian ENZ	EPFL

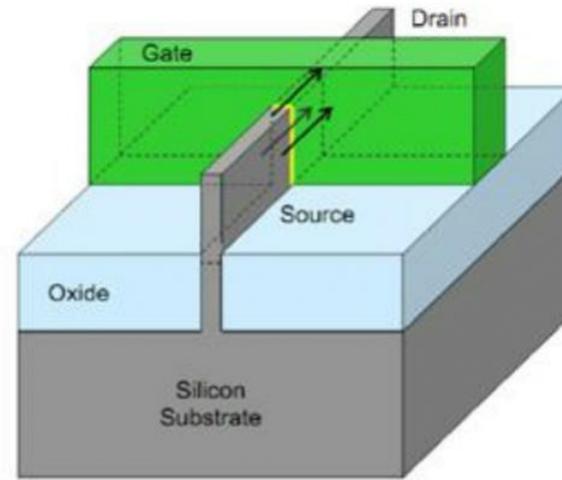
Tecnologia planare vs FinFET

Traditional Planar



Traditional 2-D planar transistor form a conducting channel in the silicon region under the gate electrode when in the "on" state

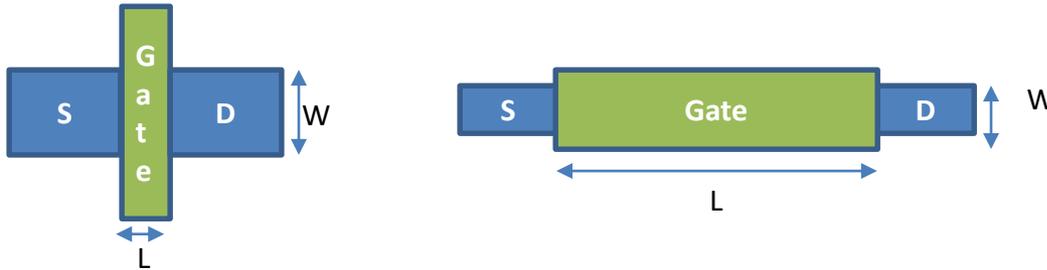
3D FinFET



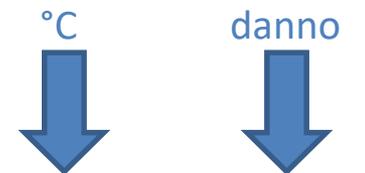
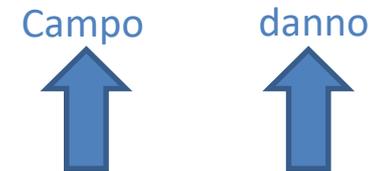
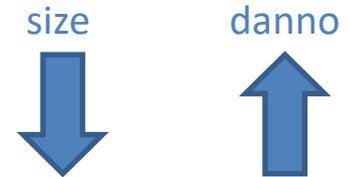
3-D Tri-Gate transistor form conducting channels on three sides of a vertical fin structure, providing "fully depleted" operation

Effetti di TID su 65 nm e 28 nm

- Forte dipendenza degli effetti dalla geometria dei transistor (più sono piccoli, maggiore è il danno)



- Condizioni di bias durante gli irraggiamenti (massimizzare il campo elettrico attraverso gli ossidi massimizza il danno)
- Temperatura (a temperature più basse il danno è minore)
- Dose rate (dose rate bassi aumentano il danno)



Attività prevista nei due anni

- **Definizione** e disegno di strutture singole (NMOS, PMOS, condensatori, etc..)
- **Caratterizzazione di tali dispositivi prima e dopo irraggiamento** (TID, target 1 Grad)
- **Definizione** e disegno di circuiti analogici (simili a quelli già realizzati in 28 nm per confronto)
 - Pixel front-end
 - Super-source-follower analog filter
 - Active-RC analog filter
 - Low-offset chopper amplifier
- **Caratterizzazione di tali dispositivi prima e dopo irraggiamento** (TID, target 1 Grad)
- Disegno di circuiti digitali per **test di SEE**

Attività nel 2018 (1)

- Generale

- Sigla aperta a gennaio
- Disegno inizialmente previsto esclusivamente a IMEC (Louven, Belgio)
- TSMC ha poi acconsentito al disegno anche in Italia ma sotto particolari condizioni (stanza separata ad accesso controllato per i PC dove è installato il PDK (Platform Development kit))
- Stanza e PDK installati a Milano a **metà giugno**
- Disegno delle strutture per la sottomissione (tempistiche: vedi slide #10)

To whom it concerns,

In consideration of the highly-qualified activity performed with the TSMC-28nm technology we are happy to propose to prof. Baschiroto the access to the 16nm-finFet technology produced by TSMC.

This will be possible as soon as the necessary burocratical procedure (NDA signature, etc..) will be completed, i.e. hopefully in Q3/Q4-2017.

The cost of the prototyping in such 16nm-finFet from TSMC is expected to be approximately 30k\$/mm² for a minimum area of 4mm²

We are happy to keep on supporting prof. Baschiroto research activity

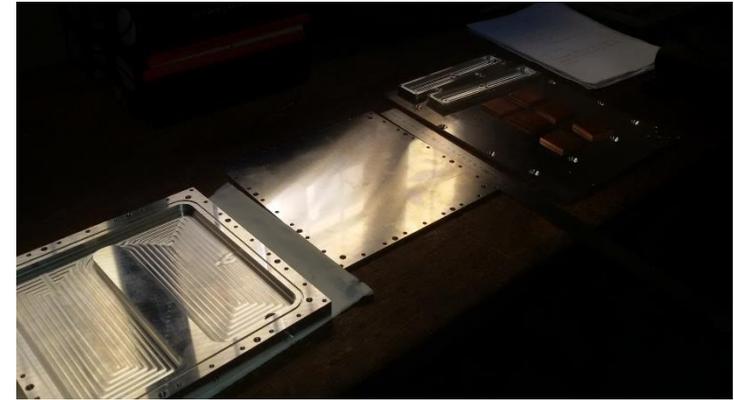
Best regards



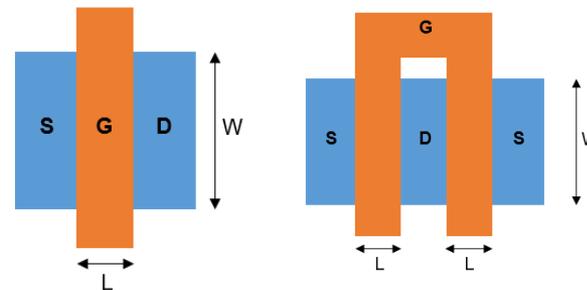
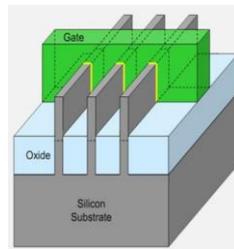
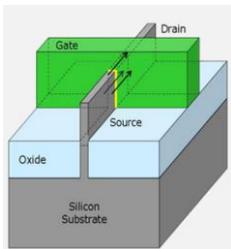
Attività nel 2018 (2)

- A Padova

- Upgrade della macchina a raggi X con la costruzione di un sistema di raffreddamento basato su Peltier (per irraggiamenti a bassa temperatura)



- Definizione delle strutture di test da implementare (numero di fin, numero di finger,..)



Attività nel 2019

- In fase di Proposal era stato previsto il finanziamento di due sottomissioni (una nel 2018, una nel 2019)
- Costo di una sottomissione: >120k€ (4mm² min; 30k€/mm²)
- Run finanziato nel 2018 → ok
- Run per 2019: discussione con Referee. **Il secondo run non è stato finanziato**
- Discussione interna: come minimizzare i rischi massimizzando il numero di strutture implementate (confermare il run di Novembre 2018 o slittare a inizio 2019? Più probabile la seconda opzione)
- **@ Padova:** test sulle strutture sviluppate (sicuramente TID con raggi X @ Grad, SEE con ioni pesanti da valutare se c'è spazio nel silicio, ma probabilmente non compatibile con il calendario del Tandem nel 2019); se la sottomissione sarà per inizio 2019, le strutture arriveranno a metà 2019

Anagrafica

Cognome	Nome	Ruolo	% in FinFET	Tot FTE
Bonaldo	Stefano	Dottorando	40	
Candelori	Andrea	Ricercatore	30	
Gerardin	Simone	Prof. Associato	25	
Mattiazzo	Serena	Ricercatore	10	
Paccagnella	Alessandro	Prof. Ordinario	20	
Wyss	Jeff	Prof. Associato	20	
				1.45

Richieste Finanziarie e Servizi

		2019
Consumo	Schede di test (produzione di probe card e componenti)	3k€ (250€ pcb, 1.5k€ aghi, 250€ connettori, 1k€ cavi)
	Sostituzione tubo	4k€
Inventariabile	//	
Viaggi	Meeting interni	1k€
Totale		8k€

Officina Elettronica: 1 m.u. (Layout e montaggio circuiti stampati, manutenzione e upgrade macchina Raggi X)

Officina Meccanica: 2 s.u. Meccanica per macchina Raggi X