

CSN5: esperimenti 2019

- FEEL (G. Salina)
- REDSOX2 (M. Feroci)
- SPE (A. Salamon)
- TURBONET (R. Ammendola)
- MC-INFN.DTZ (M.C. Morone)

Nuove proposte

- LAG.DTZ (M. Visco)
- SCAPHO (M. Salvato)
- SL_COMB2FEL (A. Cianchi)
- SR3T (G. Paradossi)

FEEL: Future Energy-Efficient Electronics

R. Ammendola, D. Badoni, M. Cirillo. M. Lucci, V. Merlo, A Salamon and **G. Salina**

INFN Roma Tor Vergata

A. Messina, B. Militello and **A. Napoli**

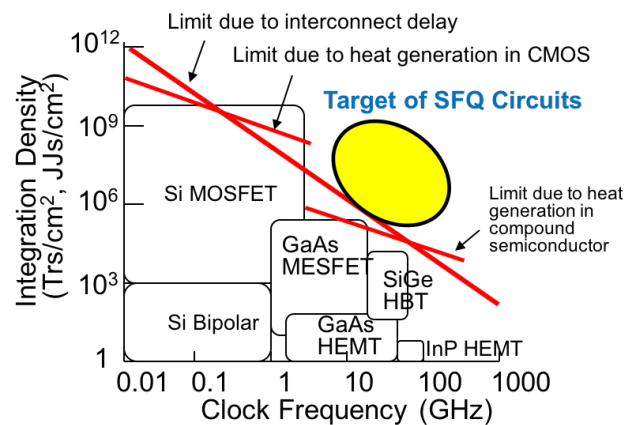
INFN Catania

R. Cristiano, M. Ejrnaes, M. Lisitskiy, L. Parlato and G. Pepe

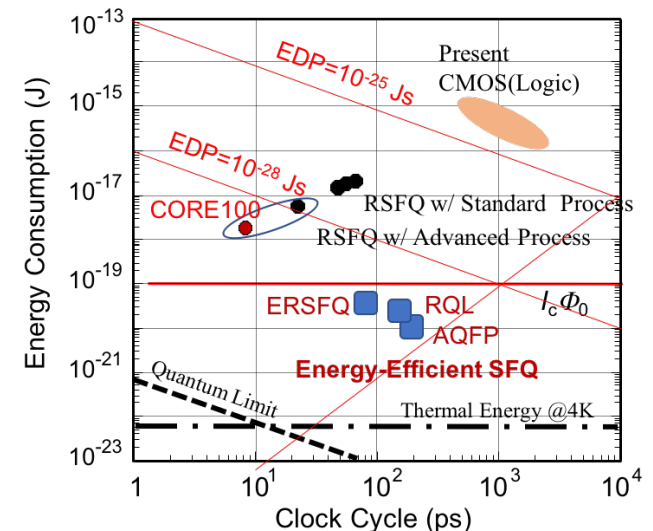
INFN Napoli

C. Attanasio, F. Bobba, G. Carapella, N. Martucciello, A. Nigro and **S. Pagano**

INFN GC Salerno



Lo scopo del progetto FEEL è andare oltre la tecnologia digitale corrente per esplorare i limiti fisici raggiungibili in termini di dissipazione di energia utilizzando dispositivi superconduttivi



Le attività del progetto sono suddivise in tasks:

- T1 Modeling of operation of nanowire hybrid superconductive-magnetic memory cells.
- T2 Modeling of energy efficient superconductive readout circuitry for nanowire memory cells.
- T3 Realization of test structured of superconducting nanowires and optimization of properties.
- T4 Realization and testing of nanosize magnetic particles for integration with nanowires.
- T5 Integration and testing of nanowire hybrid superconductive-magnetic memory elements.
- T6 Designs of 4 bit Arithmetic Logic Unit at the thermodynamic limit.
- T7 Design, realization and testing of 1st generation integrated memory chip with readout.
- T8 Optimized design of readout circuitry and nanowire memory elements.
- T9 Realization and testing of 2nd generation integrated memory chip with advanced performances.

	2018				2019				2020				
	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	Q10	Q11	Q12	
T1	Modeling of nanowire memory												
T2	Modeling of readout												
T3	Realization and test of nanowires												
T4	Realization and test of nanomagnets												
T5			Realization and test of memory element										
T6	Designs of 4 bit Arithmetic Logic Unit												
T7			Design realization and test of 1st gen chip										
T8					Optimized design of readout and memory cells								
T9								Realization and test of 2nd gen chip					

	2018				2019				2020				2021
	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	Q10	Q11	Q12	Q13
T1		Modeling of nanowire memory											
T2		Modeling of readout											
T3		Realization and test of nanowires											
T4		Realization and test of nanomagnets											
T5			Realization and test of memory element										
T6		Designs of 4 bit Arithmetic Logic Unit											
T7					Design realization and test of 1st gen chip								
T8							Optimized design of readout and memory cells						
T9										Realization and test of 2nd gen chip			



Abbiamo un ritardo di 3 mesi a causa dell'approvazione del progetto in marzo 2018

activity done so far (end of June 2018)

T1 Modeling of operation of nanowire hybrid superconductive-magnetic memory cells.

- **Development of thermo-electrical model of nanowire coupled with magnetic particle (GS Salerno)**

T2 Modeling of energy efficient superconductive readout circuitry for nanowire memory cells.

T3 Realization of test structured of superconducting nanowires and optimization of properties.

- **Development of sub-micrometric process for nanowire realization. Definition of test mask (Napoli)**

T4 Realization and testing of nanosize magnetic particles for integration with nanowires.

- **Collaboration with KIT – Karlsruhe for magnetic samples realization. (Napoli and GC Salerno)**
- **Identification of optimal deposition technology, before purchase of deposition chamber (GC Salerno)**

T5 Integration and testing of nanowire hybrid superconductive-magnetic memory elements.

T6 Designs of 4 bit Arithmetic Logic Unit at the thermodynamic limit.

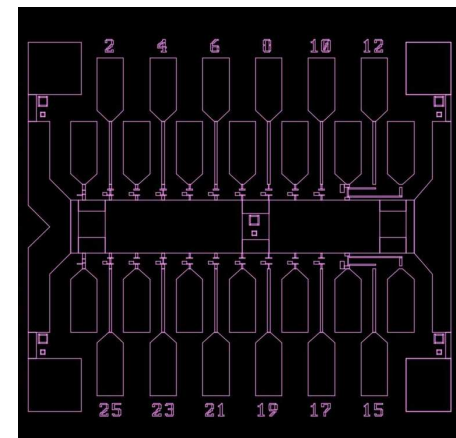
- **Simulation of junction dynamics (RomaTV Palermo)**

T7 Design, realization and testing of 1st generation integrated memory chip with readout.

- **Testing of 0th generation digital chips (RomaTV)**

T8 Optimized design of readout circuitry and nanowire memory elements.

T9 Realization and testing of 2nd generation integrated memory chip with advanced performances.



Impegno di Personale

INFN ROMA TOR VERGATA	FTE	ROLE
Gaetano Salina (R Naz., P.RIC, INFN ROMA TV)	0.3	superconductive readout design, coordination
Matteo Cirillo (PO, UNIROMA2)	0.5	physics of superconducting arrays
Massimiliano Lucci (RTDB, UNIROMA2)	0.3	chip design and characteriation
Davide Badoni (TEC, INFN ROMA TV)	0.3	full custom digital chip design
Andrea Salamon (RIC, INFN ROMA TV)	0.0	digital design and readout electronics
Roberto Ammendola (TECN, INFN ROMA TV)	0.0	digital design and readout electronics
Vittorio Merlo (Ric, UNIROMA2)	0.3	data analysis, energy efficient digital modeling
INFN GC SALERNO	FTE	ROLE
Sergio Pagano (Resp. Locale, PA, UNISA)	0.3	Superconducting nano-memories design and characterization
Carmine Attanasio (PA, UNISA)	0.2	magnetic superconductive hybrid modeling
Fabrizio Bobba (PA, UNISA)	0.3	magnetic superconductive hybrid modeling
Giovanni Carapella (RIC, UNISA)	0.2	magnetic material characterization
Angela Nigro (PA, UNISA)	0.2	magnetic and superconductive material characterization
Nadia Martucciello (RIC, CNR SPIN SA)	0.3	nano-fabrication
INFN NAPOLI	FTE	ROLE
Giampiero Pepe (PA, UNINA)	0.2	nanowire modeling
Loredana Parlato (RIC, UNINA)	0.2	memory element modeling
Roberto Cristiano (D.RIC, CNR SPIN NA)	0.3	nanowire design
Mikkel Ejrnaes (RIC, CNR SPIN NA)	0.3	nano-patterning
Mikkel Ejrnaes (RIC, CNR SPIN NA)	0.3	nanowire fabrication
INFN CATANIA	FTE	ROLE
Anna Napoli (Resp. Locale, PA, UNIPA)	0.5	energy efficient digital modeling
Antonino Messina (PO, UNIPA)	0.2	energy efficient designs
Marina Guccione (RIC, UNIPA)	0.3	data analysis, low energy design
Benedetto Militello (RIC, UNIPA)	0.3	data analysis, low energy design

Tre Sedi, 21 teste e 4.5 FTE

Richiesta iniziale Settembre 2017

Year	Travels	Consumables	Instrumentation	Software	Total
2018	17.0	36.0	27.0	5.5	85.5
2019	15.0	40.0	0.0	0.0	55.0
2020	15.0	40.0	0.0	0.0	55.0
Total	47.0	116.0	27.0	5.5	195.5

Table III. 2018-2020 financial requests.

Finanziati Marzo 2018

Sez	Travels	Consumables	Instrumentation	Software	Total
CT	1.0		0.0	3.5	4.5
RM2	5.5*	2.5 +12.0SJ	4.5	0.0	12.0+12.0SJ
NA+SA	0.0	15.0 +3.0SJ	10.0	0.0	25.0+3.0SJ
Total	6.5	32.5	14.5	3.5	57.0

* anche NAeGCSA

Richieste 2019

Tipo	Descrizione	NA	RM2	CT
Travels	Riunioni di collaborazione e attività comuni	5	4	4.5
Consumables	Materiali per deposizione, foto e nanolitografia, substrati, gas liquidi e di processo	35	12.5	0
Instrumentation		0	0	0
Software	Licenza Mathematica	0	2.5	0
Totale		40	19	4.5
		63.5		

REDSOX-2

Responsabile Locale: Marco Feroci
Luglio 2018

REDSOX-2

- ❑ Sigla XDXL (*X-ray Detectors eXtra-Large*) attiva dal 2009 al 2012
- ❑ Sigla REDSOX (*REsearch Drift for SOft X-rays*) attiva dal 2013 al 2015
- ❑ Sigla REDSOX-2: attiva dal 2016

Ricerca: sviluppo di camere a deriva di silicio di grande superficie ed elettronica a basso rumore per spettroscopia ed imaging di raggi X. Applicazioni nei campi di astrofisica X e γ , diagnostica medica (Camera Compton), Advanced Light Sources (Sincrotrone e FEL), Beni Culturali (XRF).

Responsabile Nazionale: Andrea Vacchi (Trieste)

Sezioni partecipanti: Trieste, Roma2, TIFPA, Padova, Milano, Pavia, Bologna

Collaborazioni: FBK (Fondazione Bruno Kessler, Trento), Sincrotrone Trieste, EuroFEL, Karlsruhe Institute of Technology

Attività e risultati nel 2018

- Prototipo PixDD 4x4:
 - Mappatura risposta
 - Articolo sottomesso a JINST (Evangelista et al.)

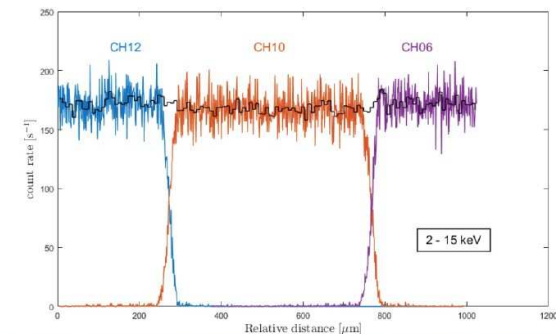
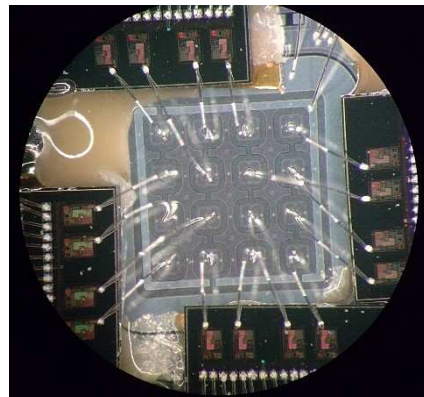
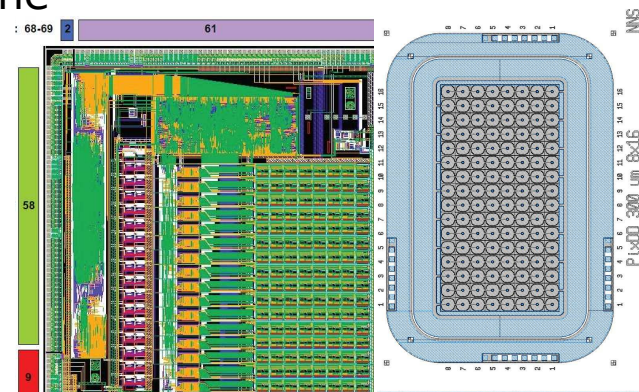


Figure 10. Count rate for each channel as a function of the relative distance traveled. Blue line refers to single events of CH12, dark orange line to single events of CH10, and purple line to single events of CH06. Events were filtered in the 2-15 keV band. Solid black line represents the average value of total events rebinned in time bins of 8 s.

- Prototipo PixDD 16x8:
 - Detector disegnato e sottomesso per la produzione
 - ASIC progettato e sottomesso per la produzione
 - Test tecnologia flip-chip (con Karlsruhe)
 - Sviluppo FEE board
 - Sviluppo Test Equipment



- Applicazioni astrofisiche:
 - Riunioni e scambi tecnici con i Principal Investigators delle missioni eXTP ed Einstein Probe (Cina) e STROBE-X (USA)

Obiettivi per il 2019

- Completamento prototipo PixDD in matrice 16x8
 - Produzione e test dell'ASIC (con Mi, Pv)
 - Produzione e test del detector (con Ts, Tn)
 - Completamento test tecnologici stud-bump bonding (con Karlsruhe e Trieste)
 - Realizzazione e test front-end board (con Bo, Mi)
 - Integrazione e test detector-FEE (con Ts, Bo, Mi, Pv, KIT)
- Caratterizzazione performance prototipo PixDD in matrice 16x8:
 - Mappatura risposta con fascio collimato (30 μm , alla X-ray facility)
 - Caratterizzazione risposta spettrale alle basse energie (0.5-3 keV)
- Mantenimento interfaccia con i gruppi cinesi ed americani per applicazioni astrofisiche (eXTP, Einstein Probe, STROBE-X)

Richieste per il 2019: 3.5 k€

Nel corso del 2018 sono state avviate le produzioni di rivelatori, ASIC e relativi sistemi di interfaccia e lettura. Il 2019 sarà impegnato nel completamento di questo sistema e nei test dimostrativi. Questo completerà le attività REDSOX2 che si concluderà quindi nel 2019 (al suo quarto anno). I risultati del 2019 ci permetteranno poi di identificare le successive linee di sviluppo. Le richieste per il 2019 si limitano quindi al minimo metabolismo di laboratorio e mobilità all'interno della collaborazione. In particolare:

- Materiale di laboratorio: 1,500 €
 - Acquisto gas (azoto ed elio) per misure in facility
 - Materiale di consumo

- Viaggi: 1,900 €
 - 2 riunioni di avanzamento della collaborazione e/o sessioni di test presso l'unità di Trieste, Milano, Pavia o Bologna, una ogni 4 mesi (2 giorni per 3 persone): 160€ a persona per ogni giorno di trasferta, costo medio biglietti treno/aereo inclusi.

Riepilogo richieste per il 2019

Item	Unit cost	Total cost
Lab consumables (gas, ..)	1,500€	1.5 k€
Travels	1,900€	2.0 k€
	Total	3.5 k€

Anagrafica REDSOX-2 2019

Nome	Istituto	Qualifica	Percentual i/ anno
Marco Feroci	INAF/IAPS- Roma	DIR. RICERCA DI RUOLO	40
Luigi Pacciani	INAF/IAPS- Roma	RICERCATORE DI RUOLO	20
Ettore Del Monte	INAF/IAPS- Roma	TECNOLOGO DI RUOLO	40
Massimo Rapisarda	ENEA-Frascati	DIR. RICERCA DI RUOLO	40
Fabio Muleri	INAF/IAPS- Roma	RICERCATORE T.D.	40
Yuri Evangelista	INAF/IAPS- Roma	RICERCATORE T.D.	50
Sergio Fabiani	INAF/IAPS- Roma	RICERCATORE T.D.	40
			Totale FTE: 2.5

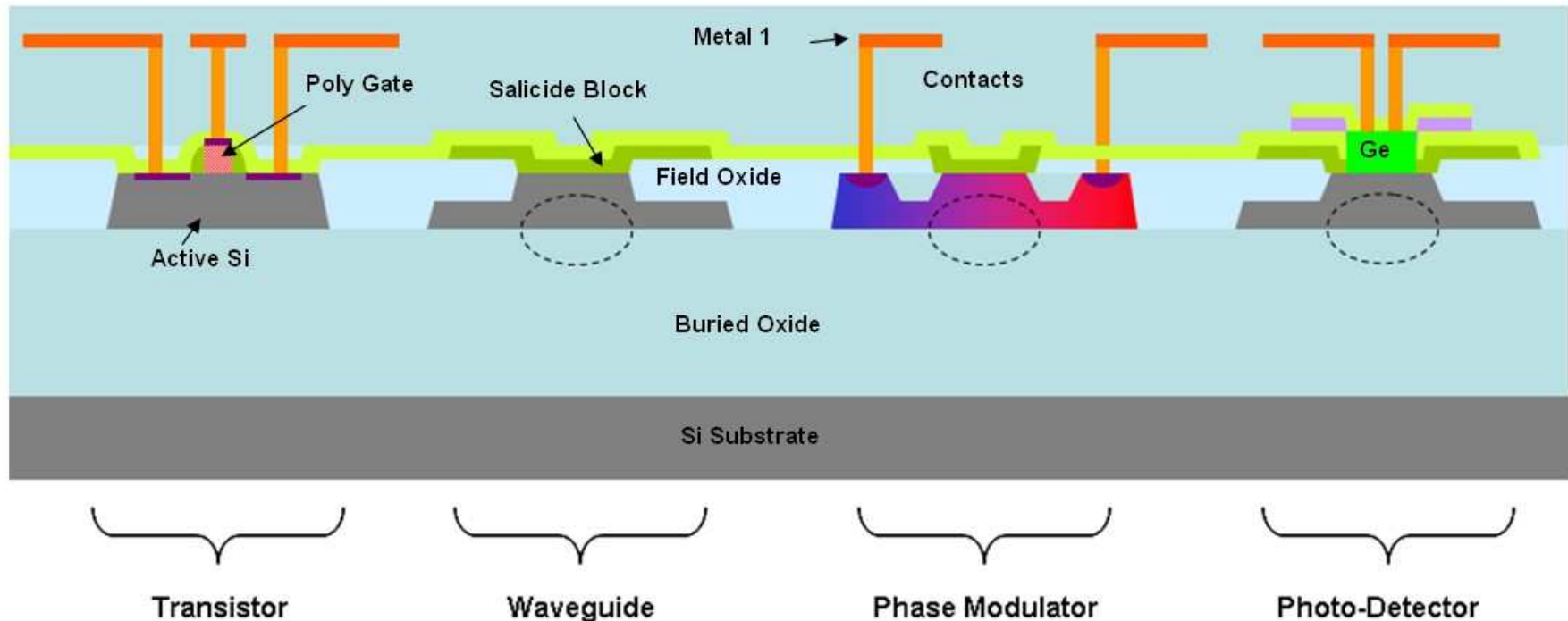
SPE

Silicon Photonics Experiment

R. Ammendola, D. Badoni, V. Bonaiuto, M. Casalboni, F. De Matteis,
P. Proposito, A. Salamon, G. Salina, F. Sargeni, P. Steglich

- Costruzione e test di un dimostratore di un sistema ottico di trasmissione multi-Gbps su silicio con serializzatore e modulatore integrati
- Durata del progetto: **3 anni**

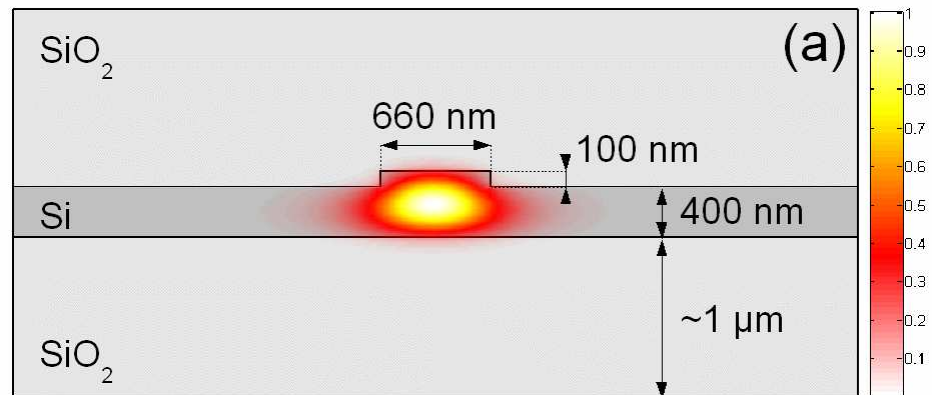
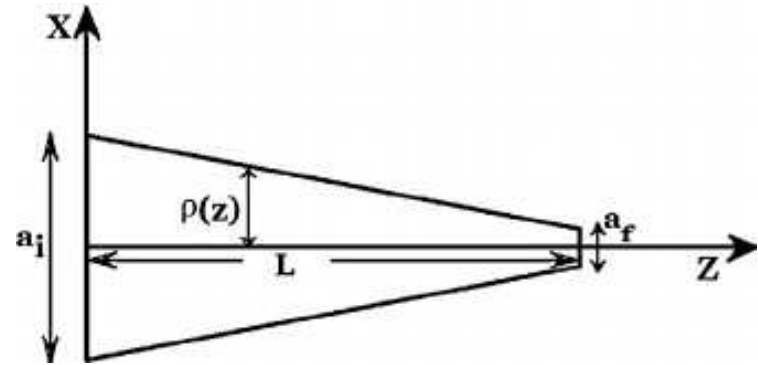
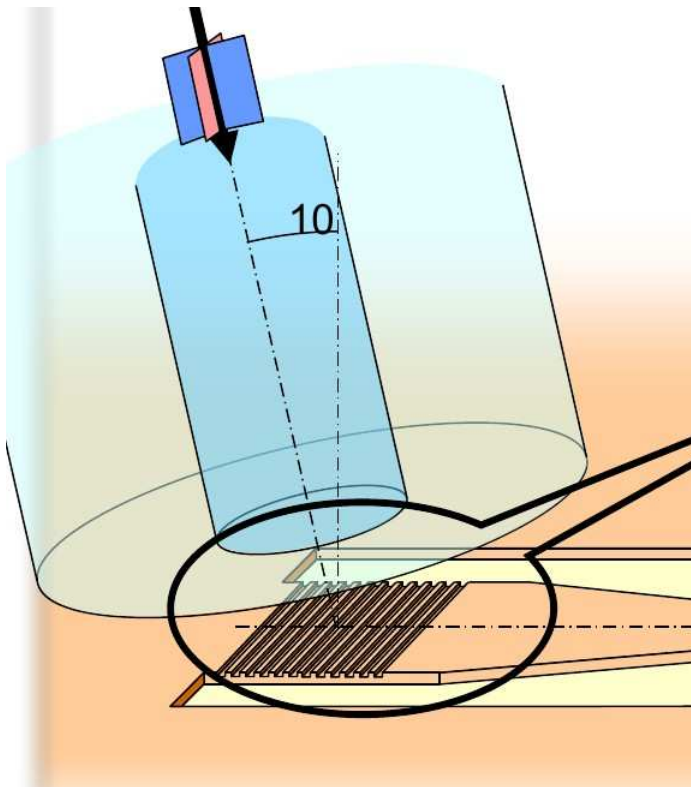
Fotonica su silicio



Perche' il silicio?

- Ottimo materiale, ad alto indice di rifrazione (3.5) e bassa dispersione
- Disponibile in grande quantita'
- Possibilita' di integrazione su singolo chip con processi CMOS-compatibili

Accoppiamento e trasporto della luce (reticolo di Bragg, guida di luce conica, guida di luce)



Modulazione dell'indice di rifrazione

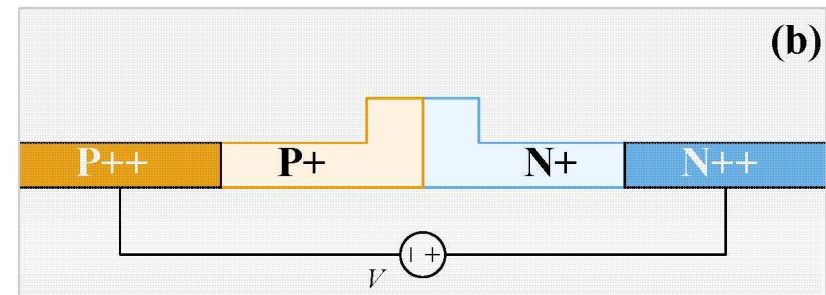
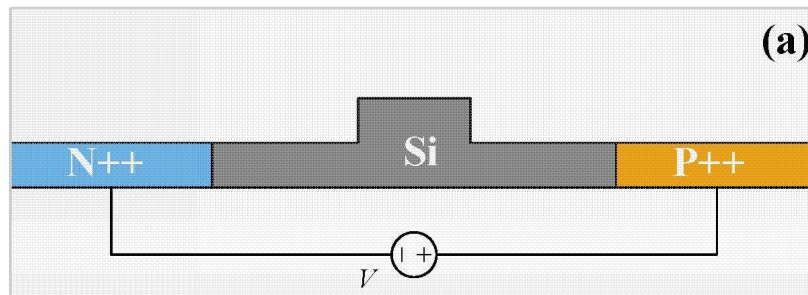
$$\Delta n = -8,8 \cdot 10^{-22} \Delta N - 8,5 \cdot 10^{-18} \Delta P^{0,8}$$

$$\Delta \alpha = 8,5 \cdot 10^{-18} \Delta N + 6,0 \cdot 10^{-18} \Delta P$$

$$\lambda = 1550 \text{ nm}$$

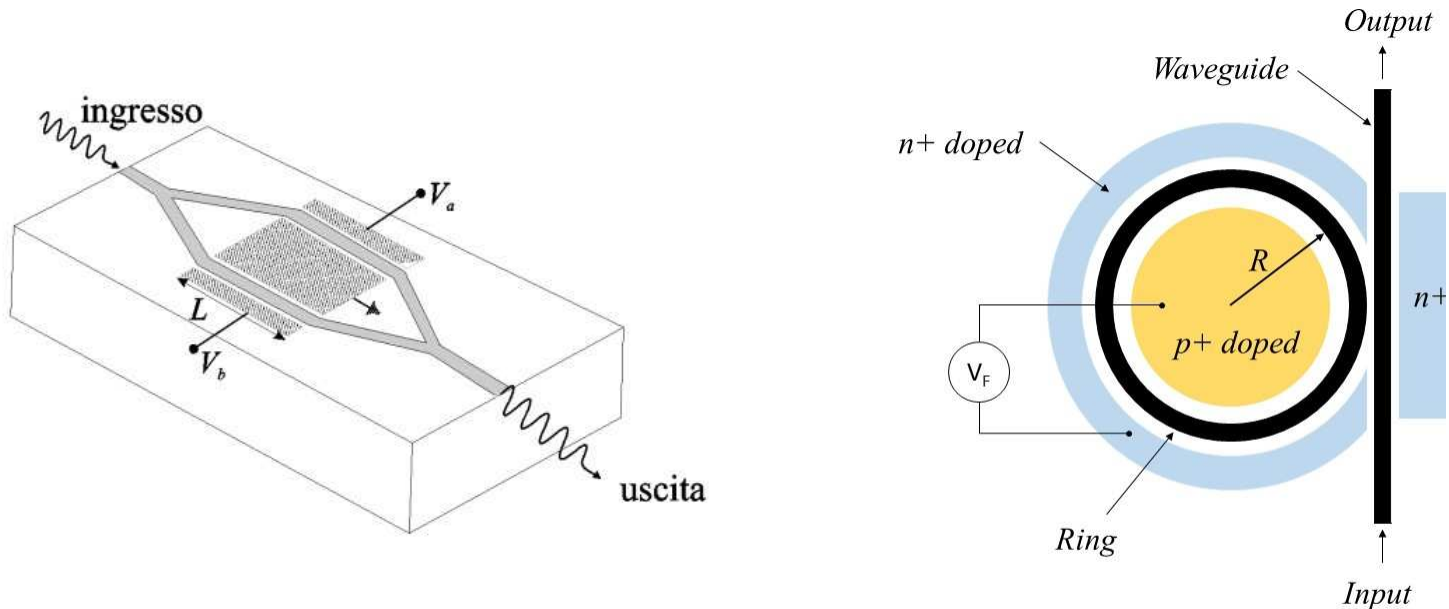
Soref R. & Bennet B., IEEE J. Sel. Top. Quant. Electron. 23,123-129 (1987)

Reed G.T. et al., Nature Photonics 4, 518-526 (2010)



- Iniezione di portatori nella zona centrale intrinseca che costituisce la guida d'onda
- Svuotamento di portatori attraverso la modifica della larghezza della zona di svuotamento di un diodo polarizzato inversamente

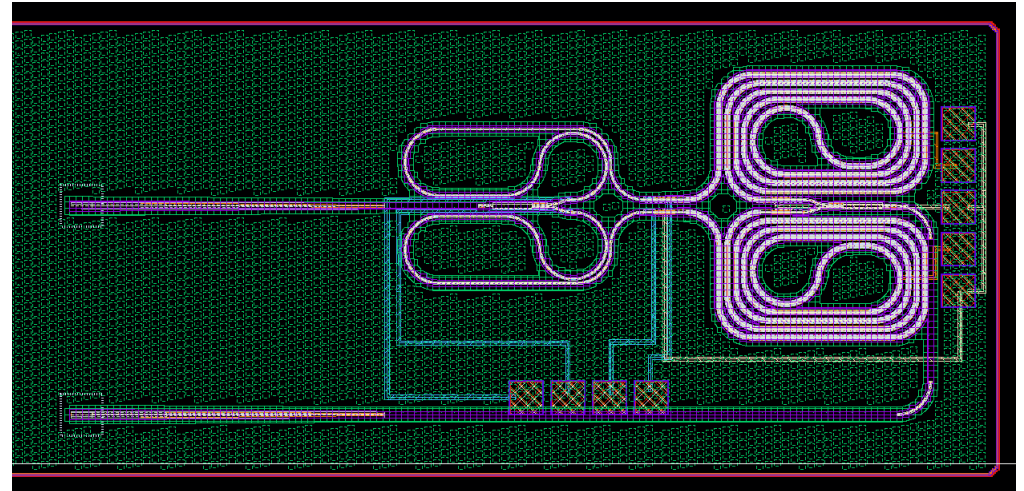
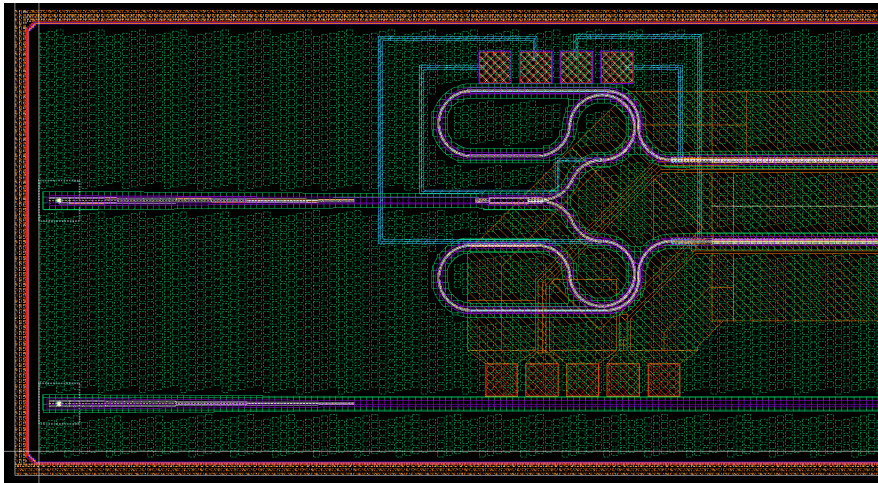
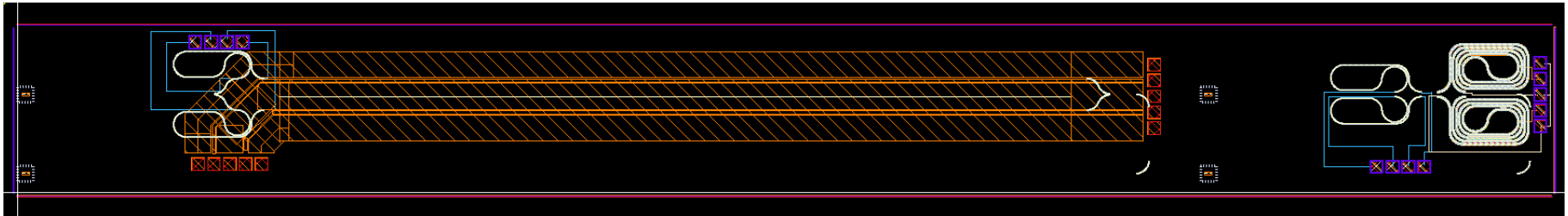
Modulatori



- Interferometro di Mach-Zehnder: interferenza tra due segnali la cui fase cambia a causa della modulazione elettroottica.
- Ring Resonator: il segnale che viaggia sulla guida d'onda si accoppia con la guida ad anello solo se questa è in condizione di risonanza (onda stazionaria), condizione controllata dalla modulazione elettroottica (attenzione: il **tuning** è critico).

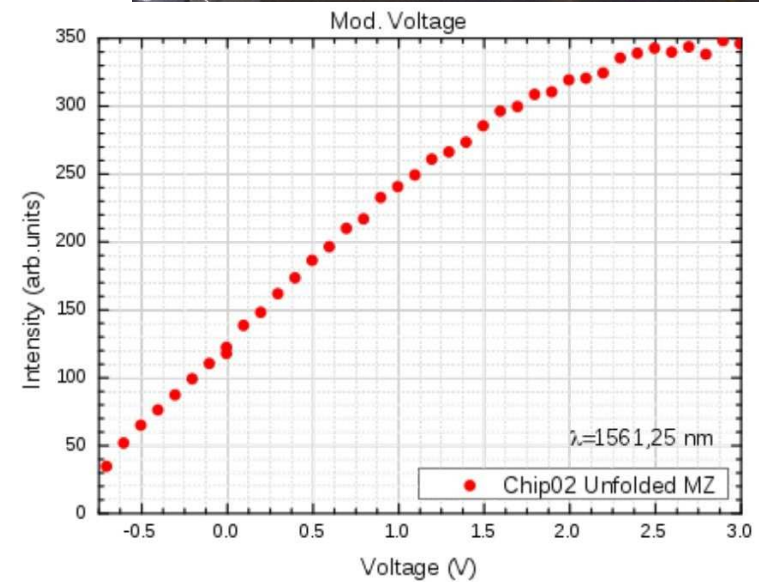
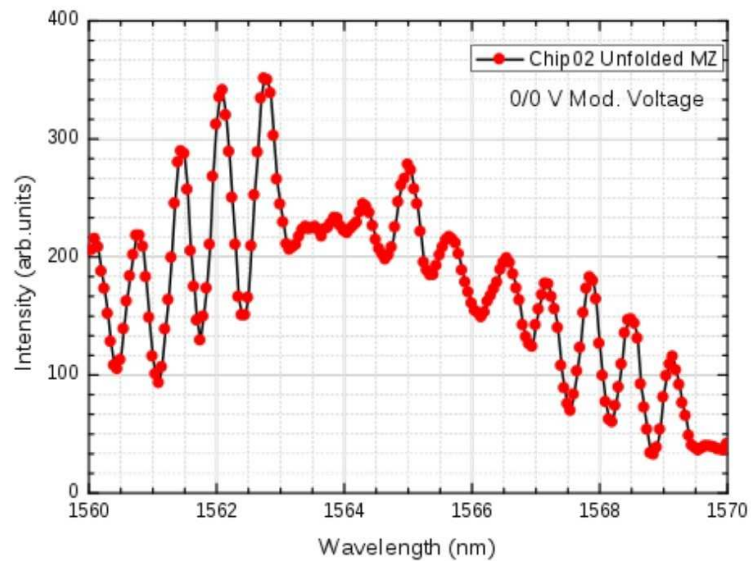
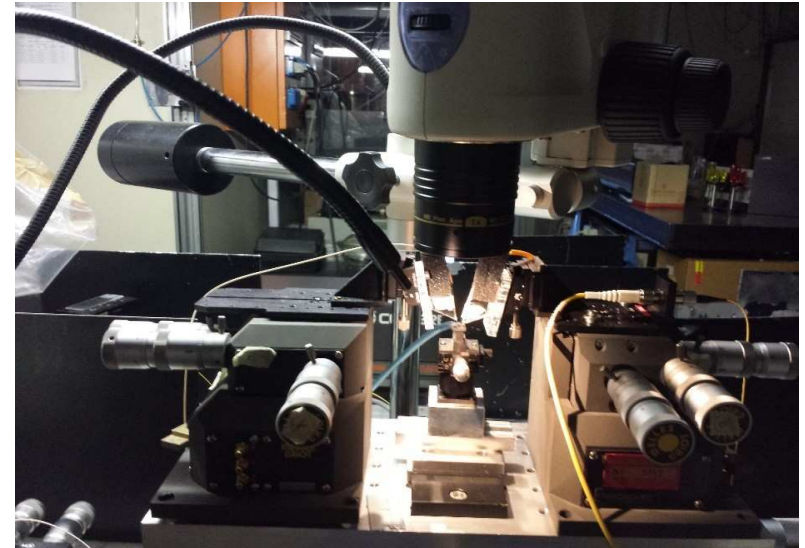
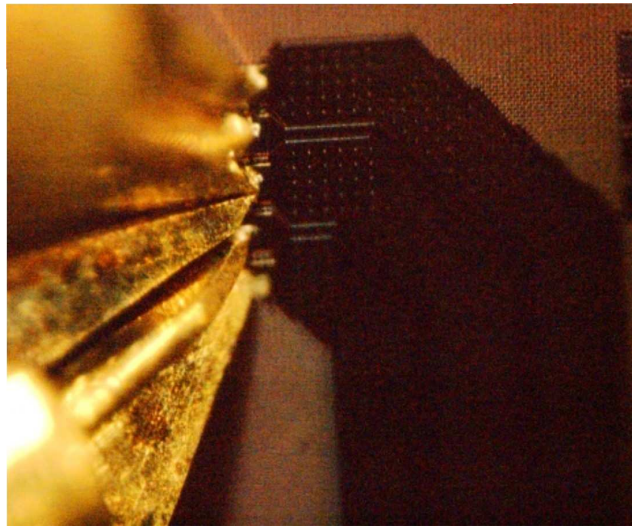
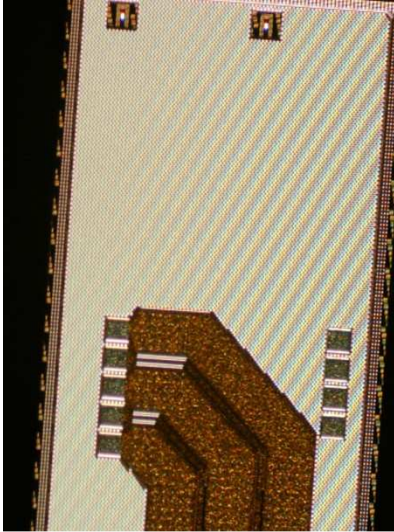
Attivita' nel 2017/2018

- Aprile 2017: disegnato e inviato alla fonderia un primo esemplare di chip fotonico.
- Febbraio 2018: chip consegnato.



Attivita' nel 2017/2018

- Nel 2018: misure e sottomissione di un secondo prototipo (ad ottobre).
- Due poster (FOTONICA 2018 e La Biodola), un PRIN



Attività nel 2019

- Misure e sottomissione del chip finale a fine 2019
- Il gruppo si è allargato: Napoli (Peltier), Camerino (modellizzazione dei RR), Milano (radiation hardness), Torino (interesse per progetti futuri)

Anagrafica

- A. Salamon: 40%
- M. Casalboni: 40%
- F. De Matteis: 60%
- P. Proposito: 60%
- D. Badoni: 20%

Richieste

- Missioni: 4 kE
- Consumo: 3.5 kE + 30.5 kE (Sub Judice)
- Inventario: 31.5 kE

Progetto TurboNET

Roberto Ammendola

Istituto Nazionale di Fisica Nucleare, Sezione Roma Tor Vergata

July 16, 2018

Progetto TurboNet 2019

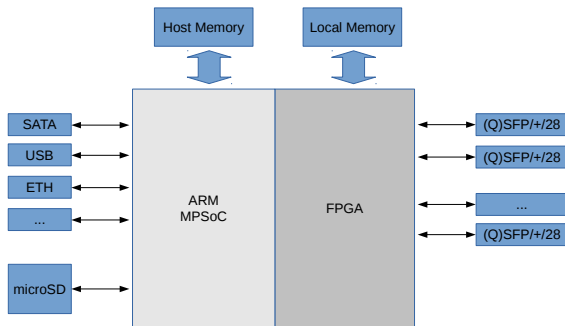
- Studio di fattibilità
- Iniziato nel 2018
- Durata 1 anno
- Richiesta estensione al 2019 per completare il lavoro
- Argomento: architetture integrate di rete e di calcolo per l'accelerazione di simulazioni numeriche basate su algoritmi di Fast Fourier Transform.
- Scopo: esplorazione tecnologica e implementativa su dispositivi programmabili FPGA di fascia high-end di questi algoritmi.

Motivazioni scientifiche

- Le simulazioni numeriche su larga scala che fanno uso di algoritmi con trasformate di Fourier hanno un ben noto problema di scalabilità.
- Le applicazioni interessate vanno dalla dinamica molecolare, cosmologia, fluidodinamica in regime turbolento.
- Si cerca di dividere i dati tra nodi di calcolo in maniera che siano il più possibile locali.
- Nel caso di FFT in tre dimensioni non si può evitare che i punti siano sparsi su più processi.
- Questo è il caso delle simulazioni di fluidi in regime turbolento con approccio pseudo-spettrale.
- La taglia tipica del problema fisicamente interessante è 1024^3 , 2048^3 , ...
- Si stima che il 90% del tempo di run è speso in FFT e IFFT, dovuto principalmente alla comunicazione tra processi.

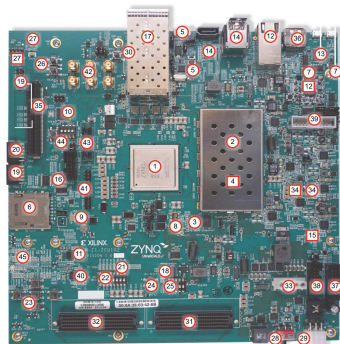
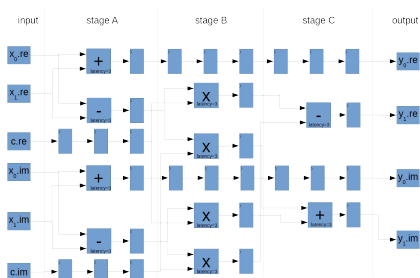
Contesto tecnologico

- O(TFLOPS) disponibili su FPGA su blocchi DSP con floating point hard
- MPSoC con processore ARM su piattaforme Xilinx/Intel-Altera
- Development kit "economici" già disponibili
- Tecnologia link seriali commerciale, multivendor e multiprotocollo
- L'acquisizione di Altera da parte di Intel pone prospettive molto interessanti per il futuro di tecnologie miste in ambito HPC



Stato attività 2018

- Scelta vendor FPGA (Xilinx).
- Acquisizione postazione di sviluppo, sintesi e simulazione.
- Sviluppo e implementazione del core FFT in doppia precisione su FPGA.
- Algoritmo radix-2 con decimazione in frequenza, implementato in maniera parallel-pipelined.
- In corso caratterizzazione delle prestazioni del core FFT in termini di risorse hardware usate, banda passante e latenza totale allo scalare della dimensione.
- In corso procurement dell'hardware.



- Completamento lavoro.
- da fine 2018 saranno disponibili dispositivi con memorie HBM2
- 8 GB RAM on chip con banda 460 GB/s
- soluzione ottimale per sfruttare pienamente il core FFT al massimo della sua parallelizzazione
- Richiesta per acquisizione board con memoria HBM2 (15-20 kEU)

Richieste economiche e Personale afferente

- Richiesta di acquisto di materiale inventariabile per 20k (SJ)
- FTE invariati rispetto al 2018.

Sede	Personale	Ruolo	FTE
Roma Tor Vergata	Roberto Ammendola	Tecnologo	0.4
	Luca Biferale	Professore ordinario	0.3
	Fabio Bonaccorso	Assegnista universitario	0.3
	Gaetano Salina	Primo Ricercatore	0.0
Roma La Sapienza	Alessandro Lonardo	Tecnologo	0.1
	Piero Vicini	Primo Ricercatore	0.0
Totale			1.1

MC-INFN.DTZ

Responsabili Nazionali: Paola Sala (MI) e Giuseppe Cirrone (INFN LNS)

Responsabile Locale: Maria Cristina Morone (Universita' di Tor Vergata)

L'esperimento MC-INFN e' dedicato allo sviluppo e manutenzione dei codici Monte Carlo Geant 4 e Fluka (durata prevista 15 anni).

La Sezione di Roma Tor Vergata lavora allo studio e ottimizzazione dei codici per Fisica Medica:

- benchmark di Fluka su dati di interesse per la fisica medica;
- validazione di modelli nucleari di frammentazione nel range di interesse adroterapico, 100-400MeV/n.

Anagrafica: M. C. Morone 30%

Tutte le richieste economiche sono presentate dalla Sezione di Milano per ottimizzare la gestione delle risorse.