

INFN TORINO

LABORATORIO DI ELETTRONICA

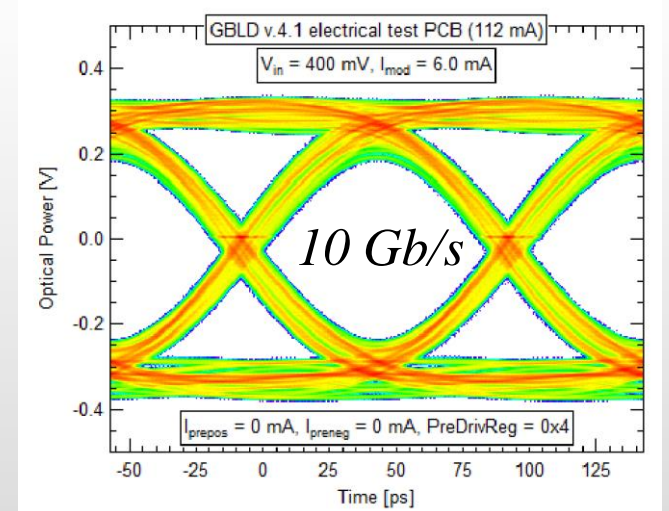
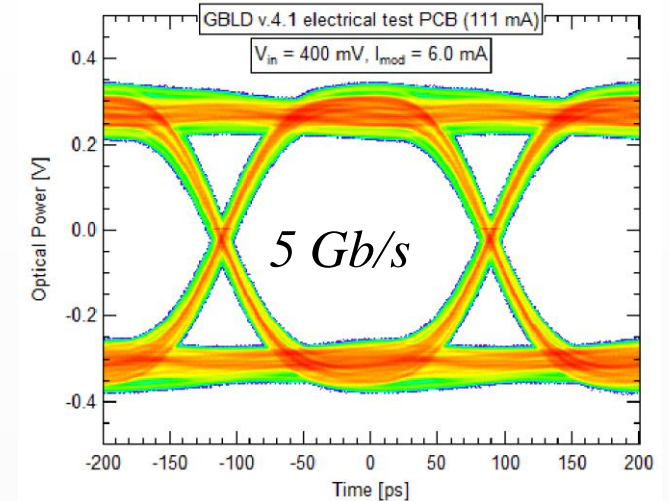
Genova 27-28 Settembre 2018
Giulio Dellacasa

Chi siamo

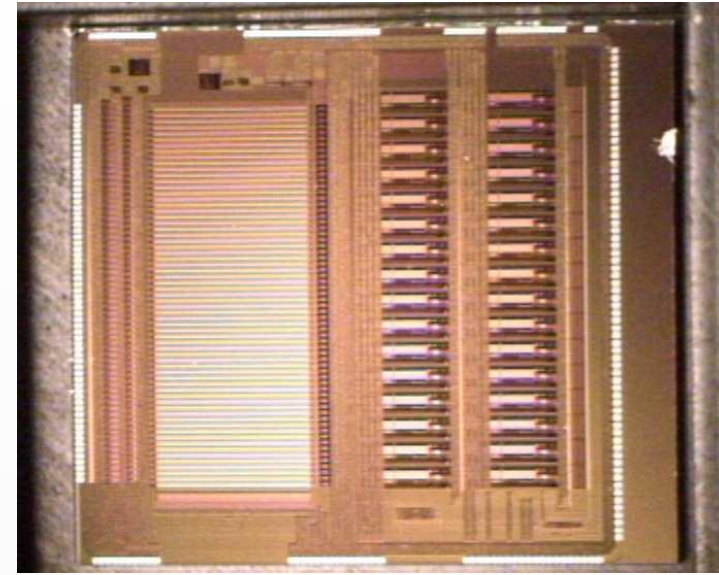
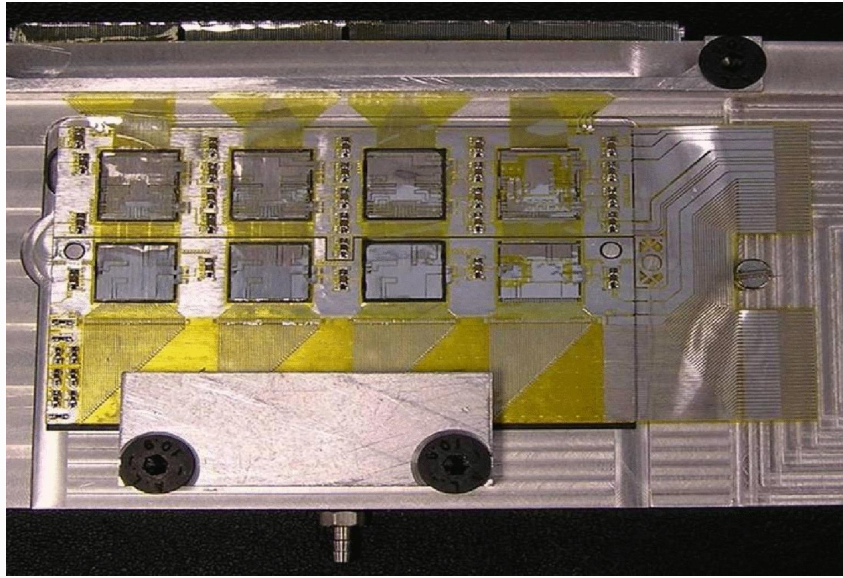
- La sezione INFN di Torino conta 87 dipendenti, e 275 membri associati (studenti, personale Università, personale Politecnico)
- Il Laboratorio di Elettronica della sezione INFN Torino è formato da 14 dipendenti (4 tecnologi)
 - 2 Post doc e oltre 10 studenti PhD impegnati in attività di IC design. Grande risorsa!
- Il Laboratorio di Elettronica risponde alle richieste provenienti dai diversi gruppi di ricerca presenti in sezione, fornendo progetti, apparati completi e sistemi di test
- Attività svolte
 - Progettazione microelettronica (ASIC)
 - Elettronica discreta
 - Elettronica con FPGA
- Le attività svolte spaziano da sistemi very front-end allo sviluppo di sistemi di readout e acquisizione dati

IC design - contributi

- ALICE ITS upgrade: ALPIDE Monolithic Pixel Sensor chip (TowerJazz 180 nm)
 - 1.2 Gb/s Data Transmission Unit (DTU) DDR mode con protezione SEU. Disegno del PLL, moltiplicatore x15 del clock (40 -> 600 MHz)
- GBLD: Laser Driver for the CERN's GBT project. 4.8 Gb/s, radiation tolerant in CMOS 130 nm (IBM). $R_j < 1$ ps rms
- HL-LHC CMS ECAL upgrade:
 - 12-bit ADC 160 Ms/s, sviluppato da compagnia privata
 - Integrazione chip (2 ADC per ASIC), compressione dati e sviluppo logica di readout (E-DTU) in CMOS TSMC 65 nm

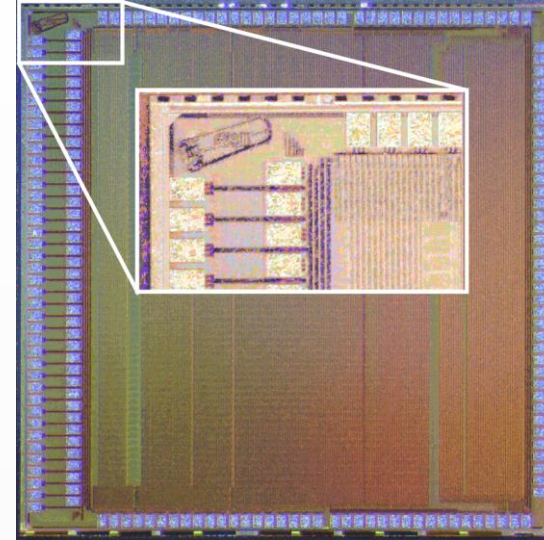
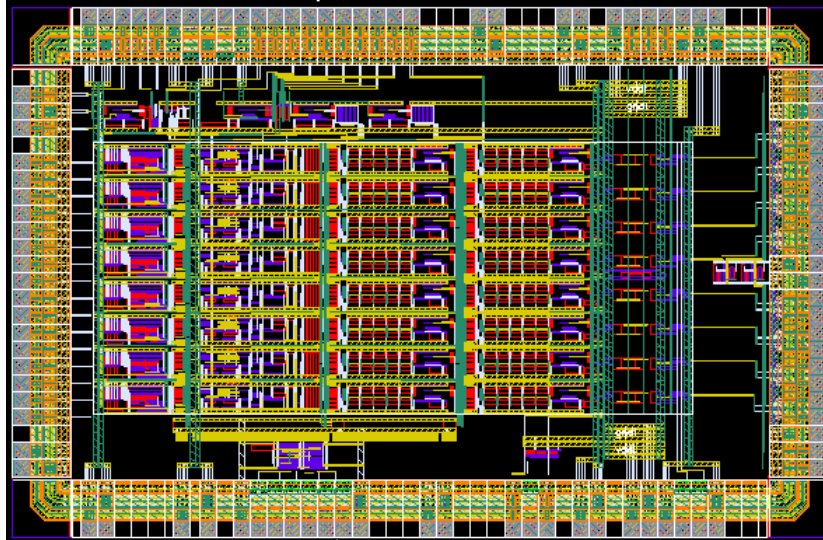


IC design – system level ALICE



- Negli anni di sviluppo di LHC Torino ha avuto un ruolo fondamentale nel progetto ALICE ITS (Silicon Drift Detector): progettazione, test production e costruzione dell'elettronica di readout per il detector SDD
 - PASCAL: frontend analogico a 64 canali. Preamplificatore, memoria analogica e 10-bit SAR ADC 40 Ms/s
 - AMBRA: buffer digitale 4 eventi con compressione dati da 10 a 8 bits
 - CMOS 0.25 μm

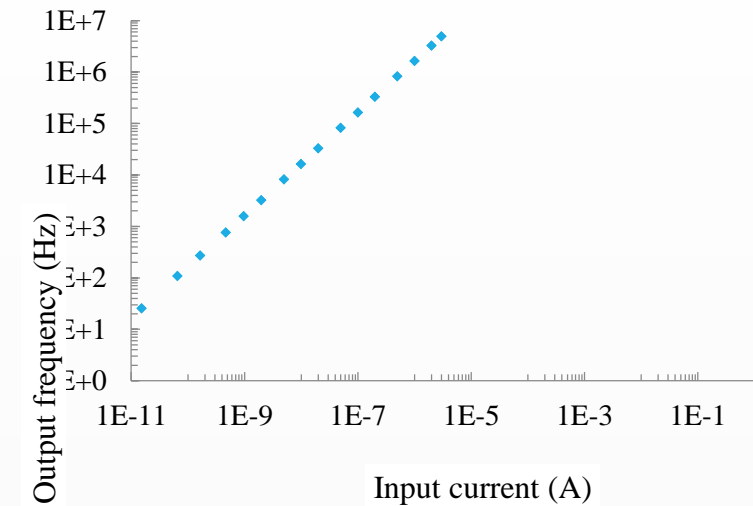
IC design - system level



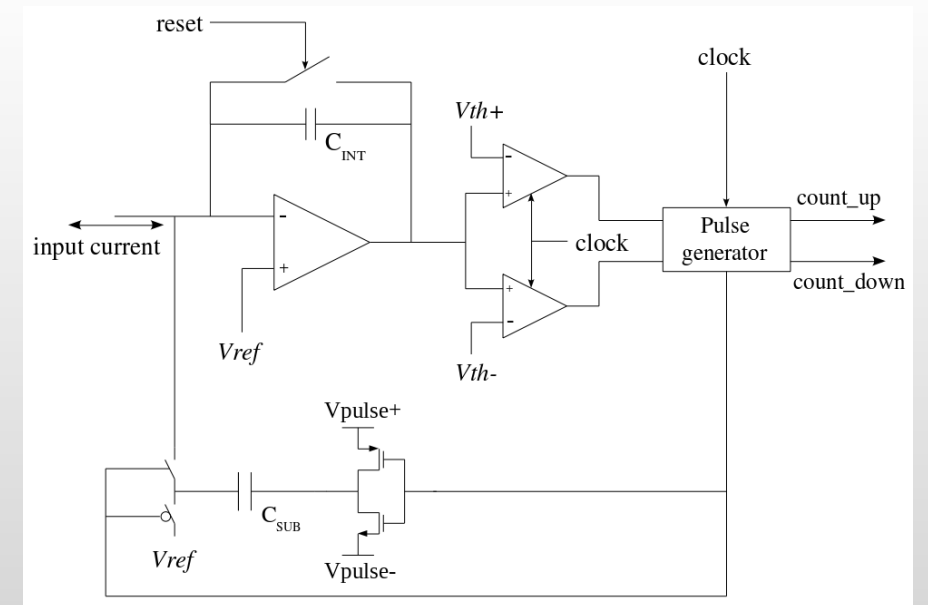
- COMPASS CMAD: readout dei fotomoltiplicatori del RICH detector
 - 8 canali con guadagno variabile
 - 10-bit DAC
 - Interfaccia seriale LVDS
 - CMOS 0.35 μm
- BESIII CGEM readout chip: TIGER
 - CMOS UMC 110 nm
 - 64 canali, VFE + TDC/ADC
 - Misure di carica e di tempo

IC design - system level – TERA/CNAO

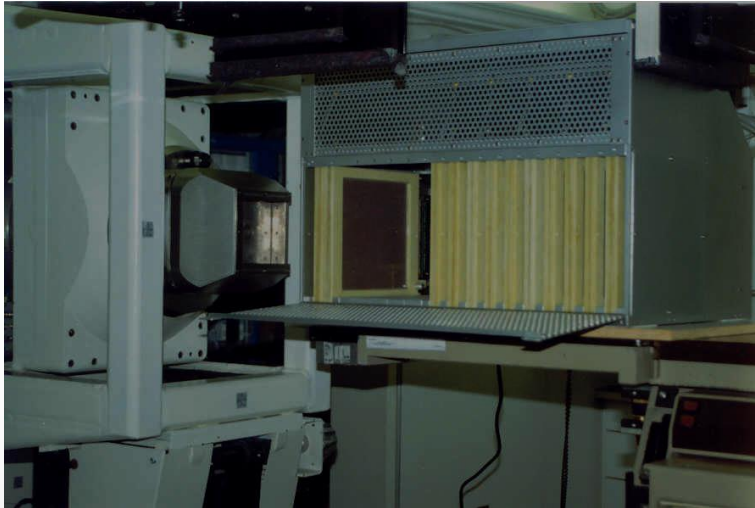
| Technology | input polarity | Csub | Clock frequency | Max conv. freq. | Counter # bits | Control logic |
|-------------------------|----------------|-----------|-----------------|-----------------|----------------|---------------|
| CMOS 1.2 μm | unipolar | 200 fF | N/A | 5 MHz | 20 | async |
| CMOS 0.8 μm | unipolar | 200 fF | N/A | 5 MHz | 20 | async |
| CMOS 0.8 μm | unipolar | 200 fF | 20 MHz | 5 MHz | 16 | synch |
| CMOS 0.35 μm | bipolar | 50÷350 fF | 100 MHz | 20 MHz | 32 | synch |
| CMOS 0.35 μm | bipolar | 200 fF | 280 MHz | 70 MHz | 32 | synch |



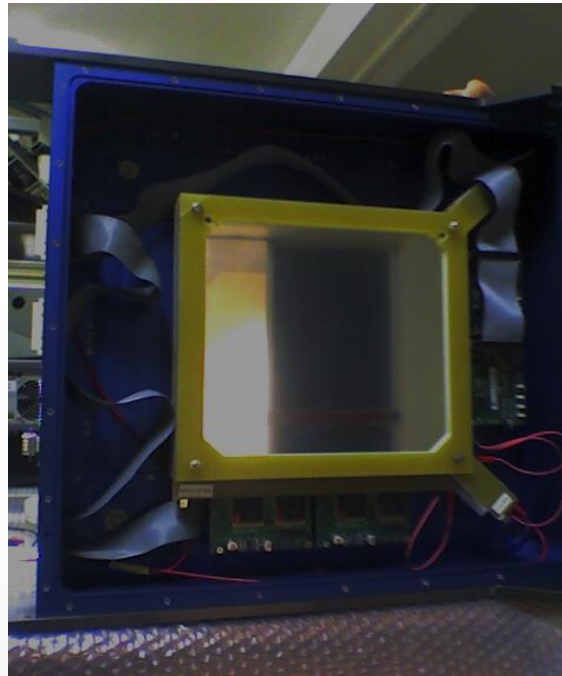
- TERA: disegno di una famiglia di ASIC, 64 canali con elevata linearità per la misura di carica in dosimetri e adroterapia
- Basato su un circuito di conversione corrente/frequenza seguito da un contatore
- Ottima linearità della frequenza di impulsi in funzione della corrente di ingresso
- Usato nel centro nazionale CNAO (Centro Nazionale di Adroterapia Oncologica) per il sistema di monitor del fascio e da alcune compagnie private



IC design - system level – TERA/CNAO



- Application 1: Magic Cube
 - 3D dosimeter
 - 12 planes strip gas detector
 - 64 channels/plane
 - 250 x 250 x 400 mm³ active volume



- Application 2: CNAO
 - 2D beam monitor at CNAO
 - 32 x 32pixel matrix
 - 160 x 160 mm² active area

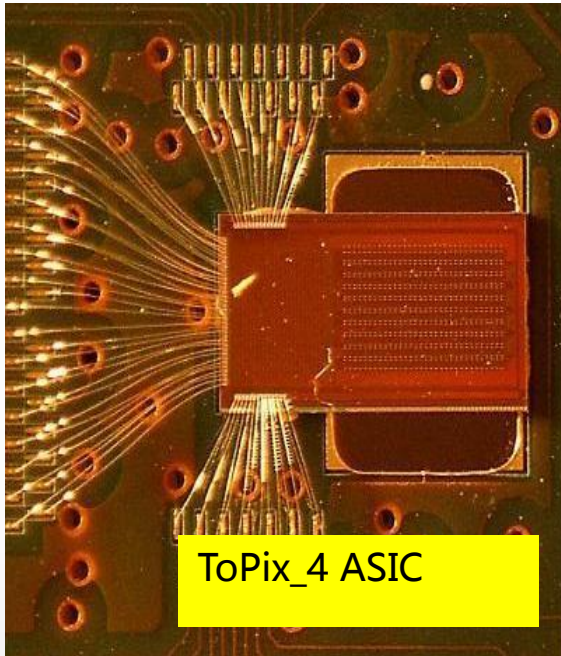


- Application 3: IBA dosimeters
 - MatriXX and StarTrack dosimeters

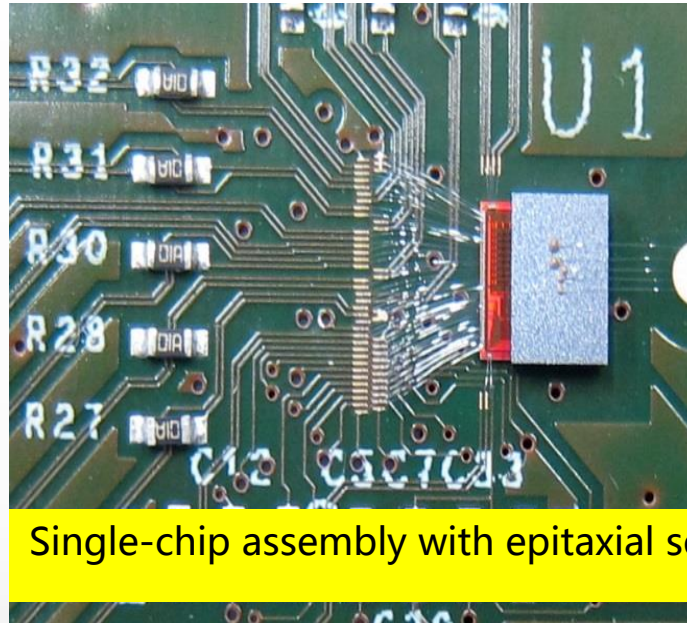
IC design – R&D

- Applicazioni misure di tempo:
 - TOFEE: chip amplificatore-discriminatore per misure di tempo in Ultra Fast Silicon Detector (risoluzione richiesta ~ 30 ps per detector layer in CMS-TOTEM PPS). 8 canali, CMOS 110 nm (UMC), ToT per correzione time walk
 - TOF-PET: front-end analogico CMOS per silicon photomultiplier (SiPM) per misure di tempo di volo in un sistema compatto di PET. CMOS 130 nm, 64 canali, 100 kHz per canale, 50ps TDC time binning, ToT per correzione time walk
 - NA62: sviluppo di un prototipo per il readout del Gigatracker dell'esperimento NA62. CMOS 130 nm, 4 TDC per canale (Wilkinson ADC), CFD per correzione del time walk, 100 ps time binning
- SEED: Sensor with Embedded Electronics Development. Studio di un innovativa tecnologia HVCMOS 130 nm per sensori monolitici
- Disegno prototipi in 16 nm FIN-FET (studio e valutazione della tecnologia per sviluppo di elettronica di frontend in ambienti radiativi)
- Trasferimento tecnologico: frontend e readout ASIC, con misure di tempo per canale inferiori a 100 ps rms su sensore a pixel ibridi 1024 canali (CMOS 110 nm)

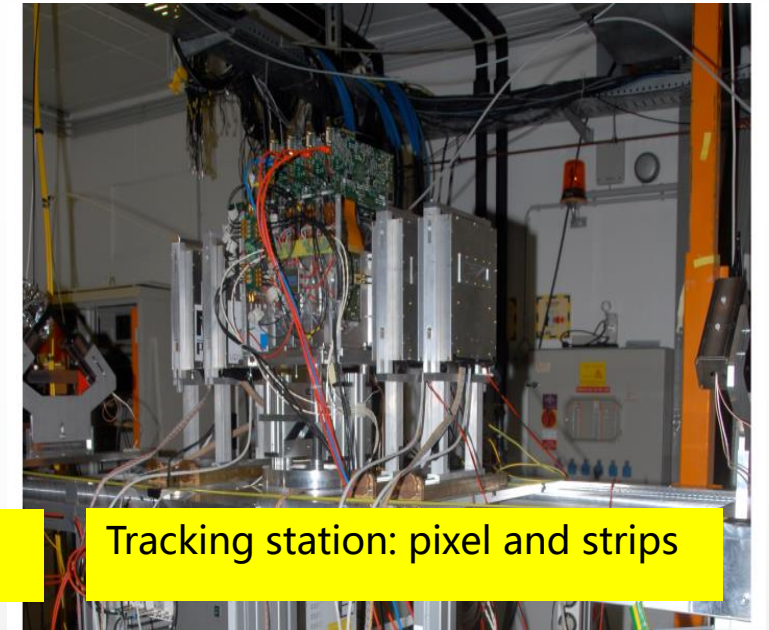
IC design – R&D - PANDA



ToPix_4 ASIC



Single-chip assembly with epitaxial sensor

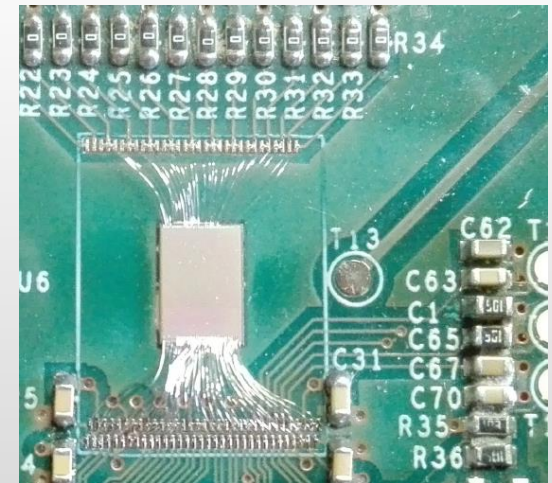
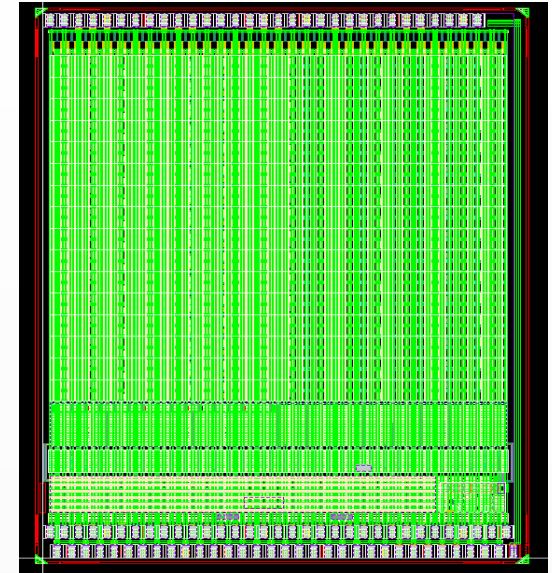


Tracking station: pixel and strips

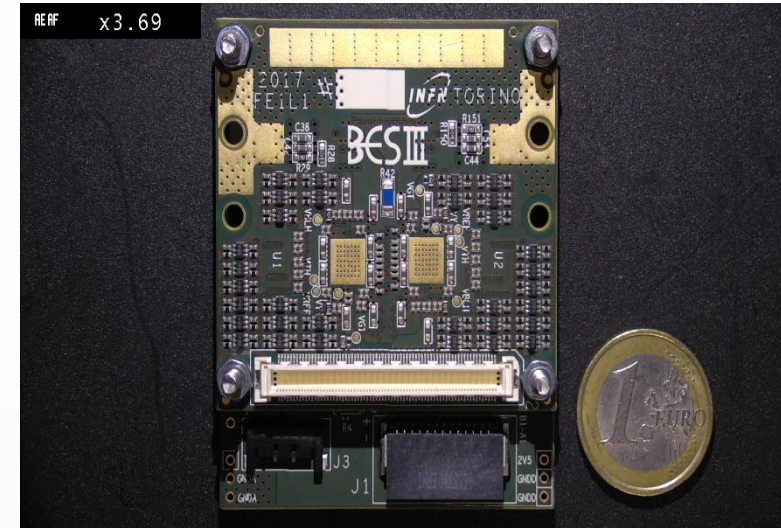
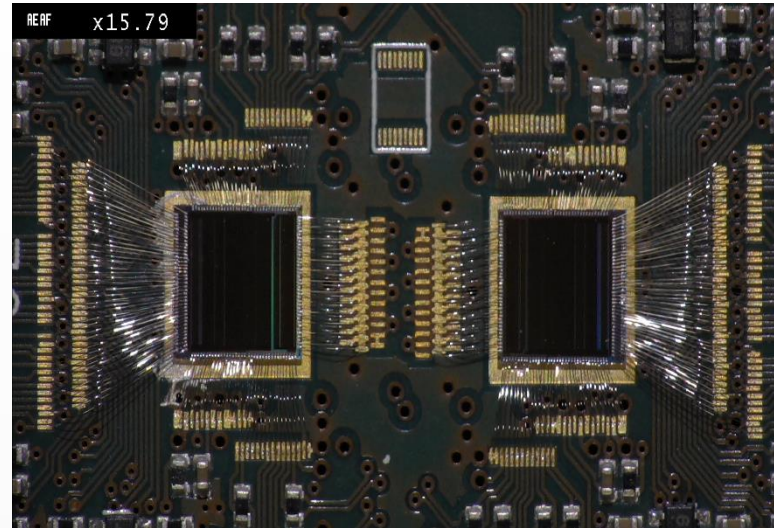
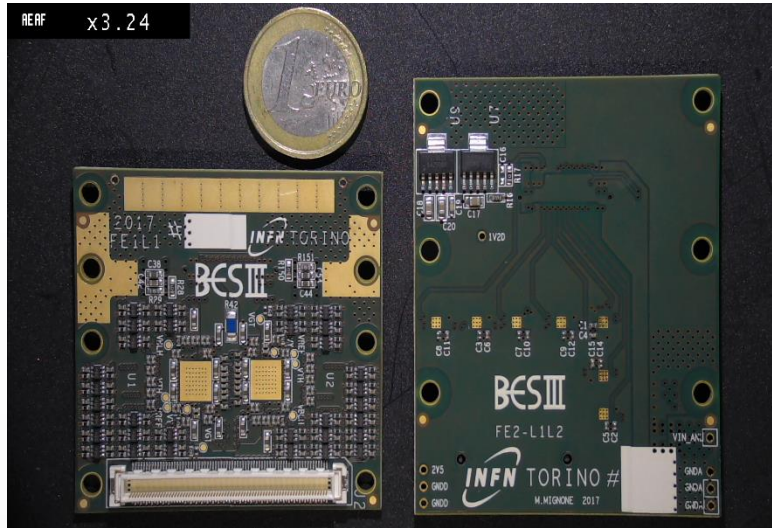
- Responsabilità del Micro Vertex Detector (MVD): ~11 milioni di pixel e 200k micro strip
- High speed trigger less readout per entrambi i sistemi ToPix (pixel) and PASTA (strip)
- ToPix: primo prototipo in tecnologia CMOS 130nm testato nell' INFN con studi intensivi sui danni da radiazione
- Sviluppo di sensori epitassiali da parte di FBK

IC design – R&D CHIPIX65

- CHIPIX65: Progetto italiano che ha coinvolto oltre sette sezioni INFN, lo sviluppo di un innovativo readout chip in CMOS 65 nm per sensori a pixel, che operano ad alto rates e in ambienti altamente radiativi (esperimenti HEP)
- Stretta collaborazione con CERN RD53 (attività R&D ATLAS-CMS per lo sviluppo di pixel readout chip per HL-LHC)
- CHIPIX65: matrice di 64x64 pixel
 - Pixel size 50 μm x 50 μm
 - Due architetture di frontend analogico (sincrono Torino / asincrono Pavia-Bergamo)
 - Architettura readout 4x4 macro regioni
 - 40 MHz clock
 - Hit rate fino a 3 GHz/cm²
 - Selezione Trigger nella regione di pixel (latenza trigger 12.8 μs)
 - Digitalizzazione: 5-bit contatore ToT con latch (oscillatore locale 100-900 MHz)
 - Chip completamente funzionante anche dopo 230 Mrad

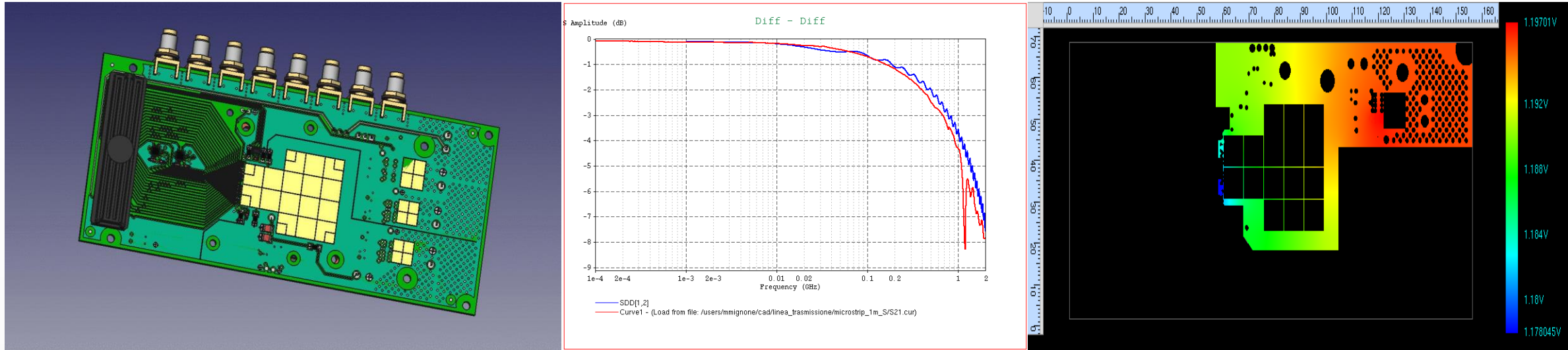


PCB design – BES III



- Torino coinvolto nella costruzione del Cylindrical GEM detector per il tracciatore centrale dell'esperimento BES III
- VFE CGEM readout sviluppato in Torino (TIGER ASIC)
- Elettronica di readout On detector : 10000 canali, 160 ASIC, 80 FE boards

PCB design – test boards

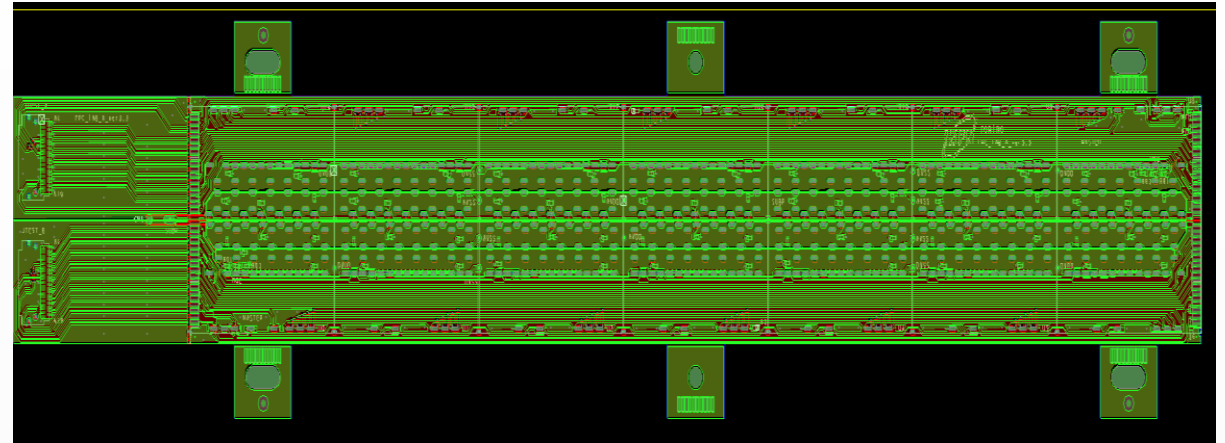
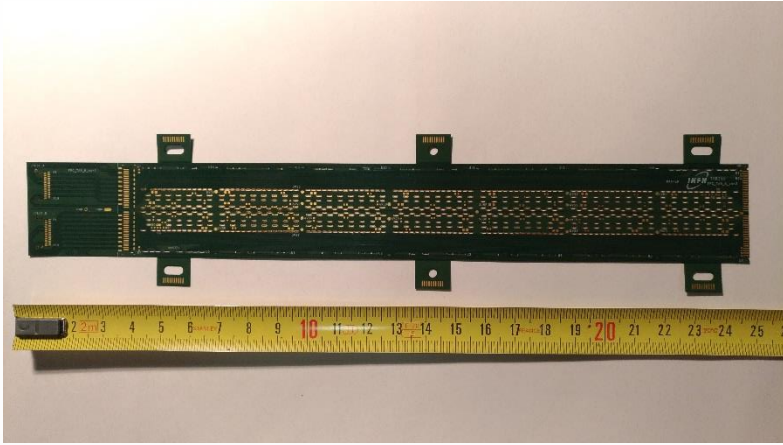


S parameters measurements vs simulation

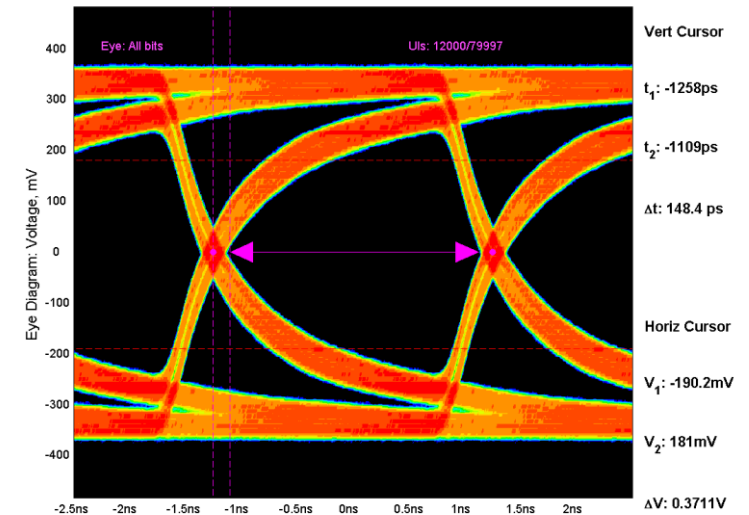
Voltage drop simulation

- Ogni ASIC disegnato in Torino richiede dedicate schede di test (PCB test board)
- Ogni scheda è disegnata internamente nella sezione
- Simulazioni di Signal and Power Integrity sono eseguite quando necessario

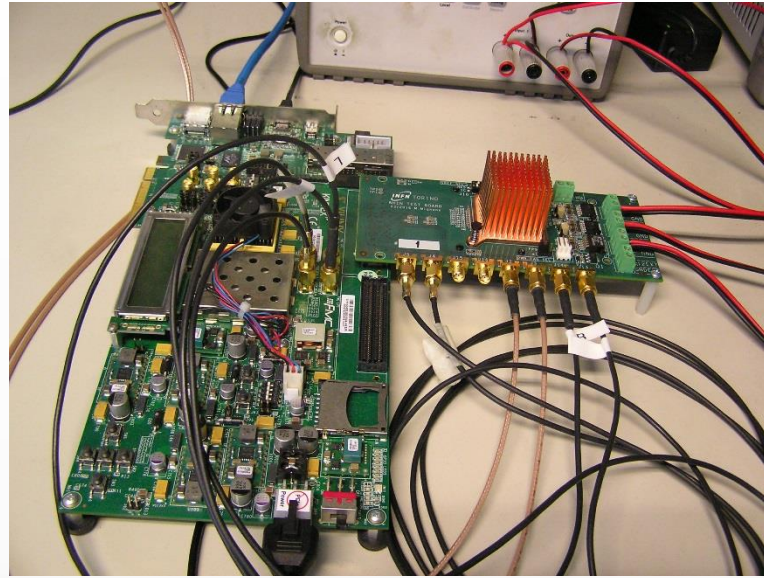
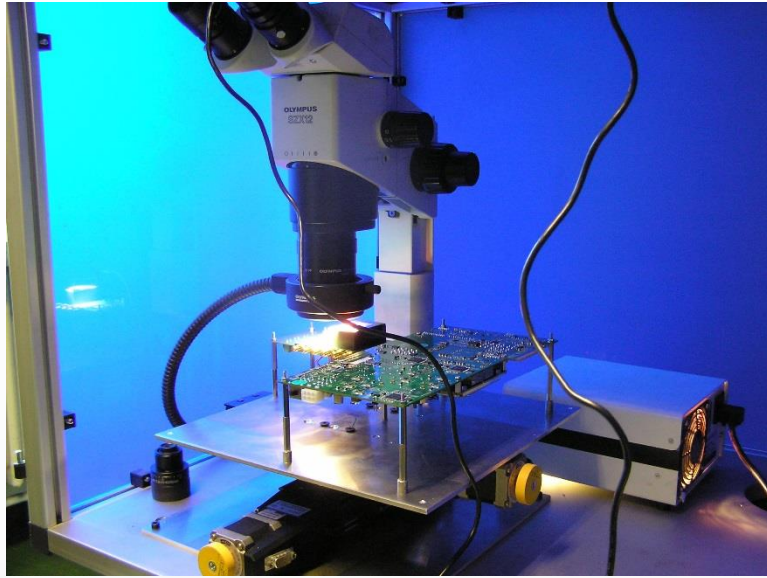
ALICE ITS upgrade



- Responsabilità in Torino (hardware):
 - Disegno del sistema trasmissione dati (cavo flessibile con data rate fino a 400 Mb/s per canale)
 - Produzione di 2500 circuiti
 - Disegno e sviluppo dei sistemi di montaggio per tutti i siti di produzione
 - Costruzione di 30 moduli *STAVE*

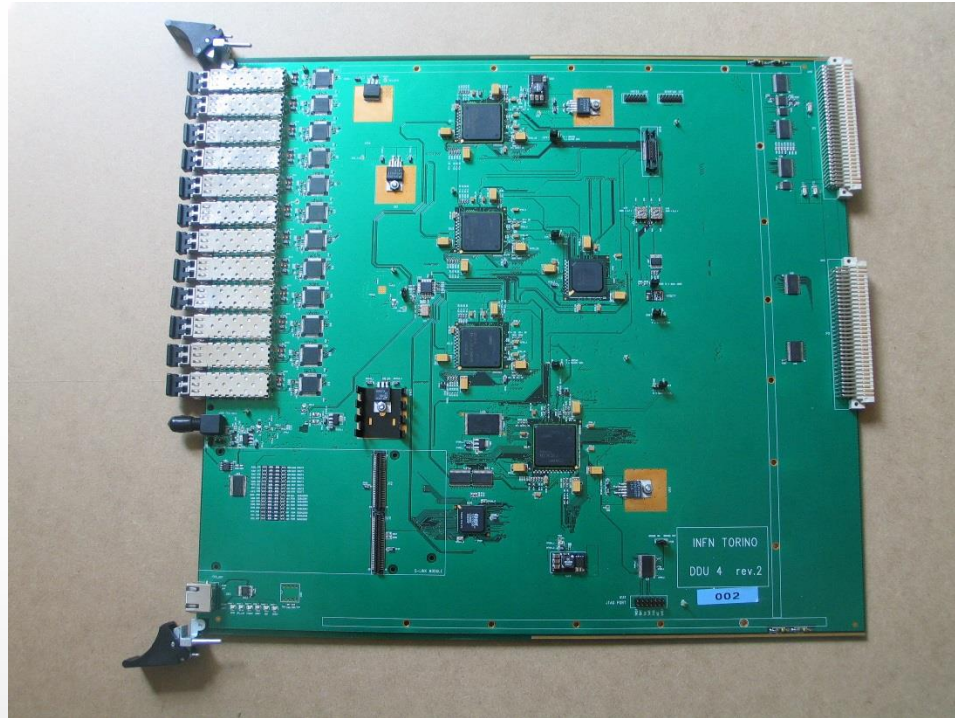


FPGA design – testing



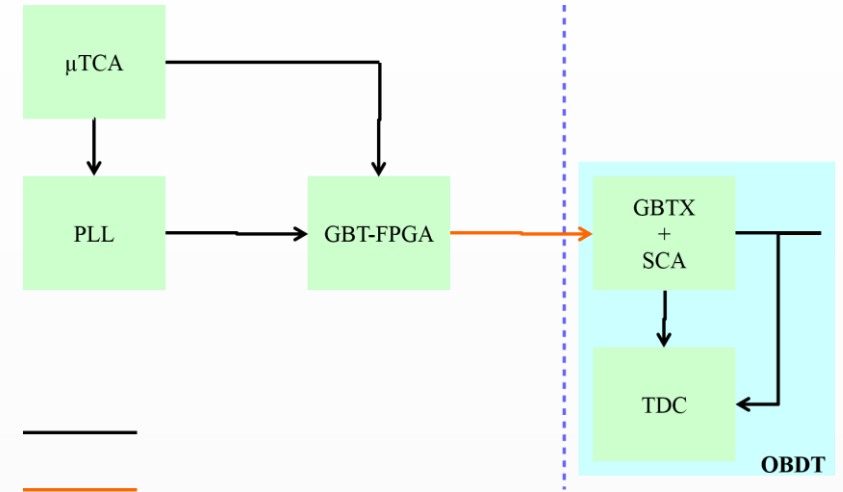
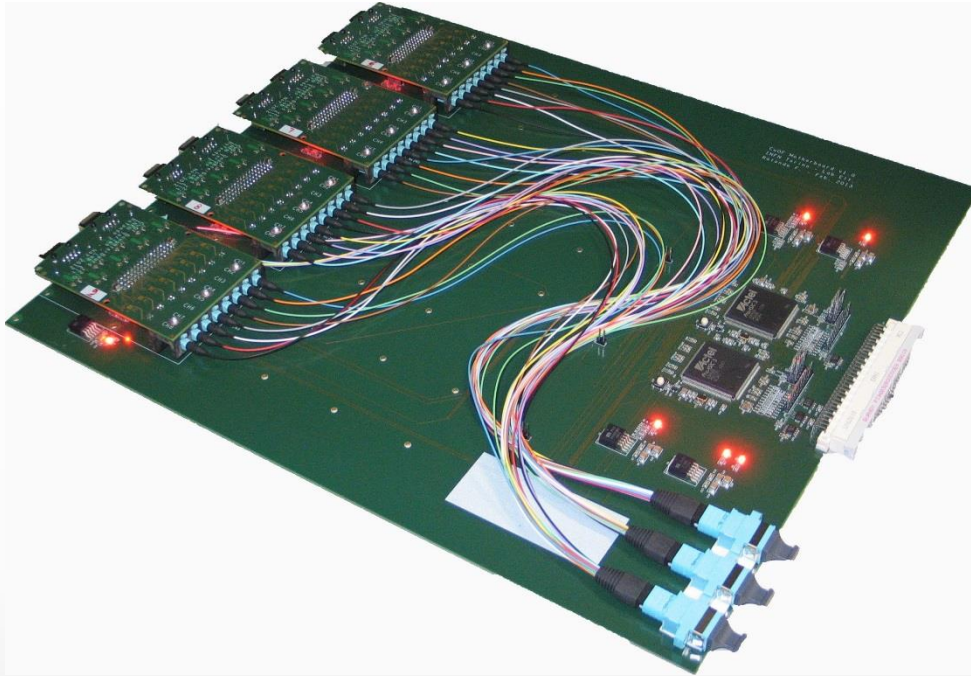
- Test e caratterizzazione degli ASIC sviluppati in Torino
- Kit di sviluppo FPGA Xilinx Kynx 7
- Comunicazione ASIC - FPGA per mezzo di high speed serial I/O
- Comunicazione FPGA- PC su link Ethernet
- LabVIEW software per analisi

FPGA design – CMS /ALICE



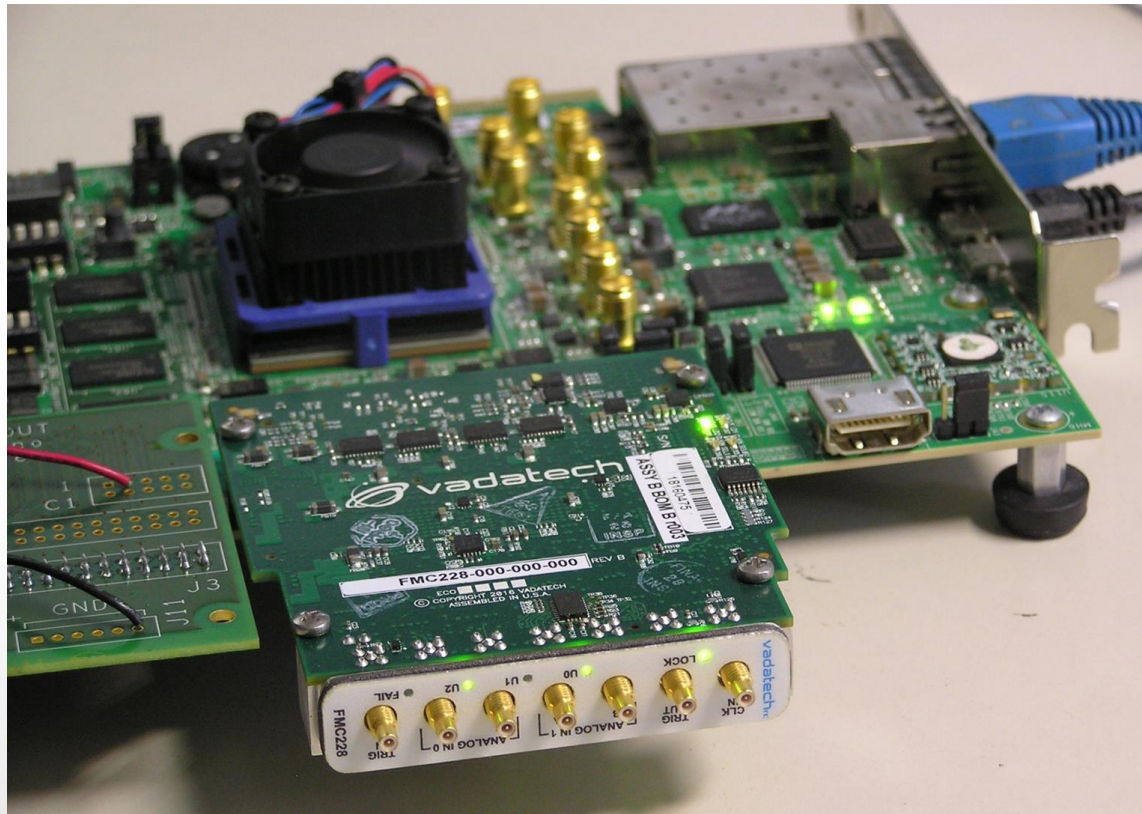
- CMS DT Front End Driver (DDU): HW and firmware design (Xilinx Virtex II pro)
- ALICE SSD readout superCARLOS rx: HW design (Xilinx Virtex 5)

FPGA design – CMS DT upgrade



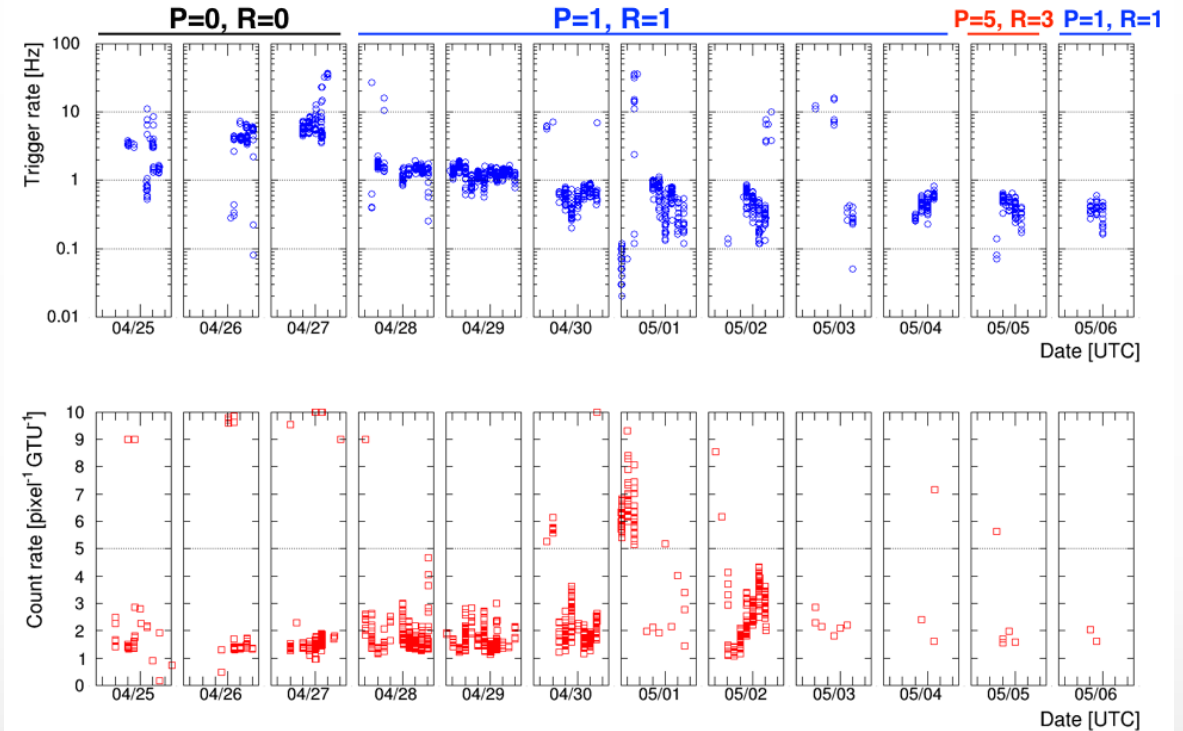
- CMS DT readout upgrade: HW design e installazione del CUOF system (Copper to Optical Fibre board). 3500 optical links a 480 Mb/s, per il trasferimento dati transfer (readout + trigger) tra detector area (UXC) e counting room (USC)
- Implementazione su FPGA Xilinx Virtex 7 del protocollo GBT del CERN a 5 Gb/s con trigger data e slow control per il prossimo upgrade del readout di CMS DT

FPGA design – ALICE ZDC upgrade



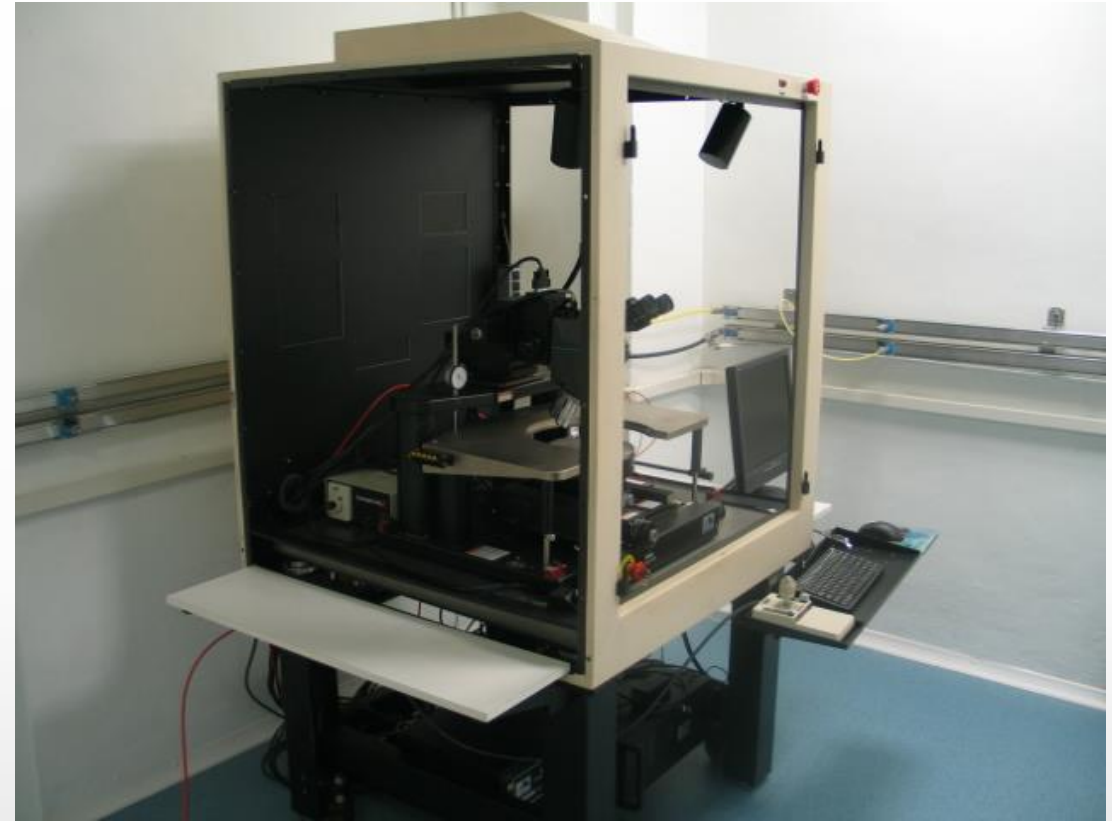
- Implementazione del firmware su Xilinx Kintex evaluation kit per il controllo e l'acquisizione dati di convertitori AD veloci, con un flusso di dati totale 80 Gb/s

FPGA design – JEM-EUSO trigger



- Osservazione raggi cosmici dal Super Pressure Balloon della NASA (JEM-EUSO) e dalla stazione spaziale ISS (MINI-EUSO, non ancora lanciato)
- Algoritmo di trigger L1 trigger implementato in Xilinx ZYNQ FPGA
- Algoritmi di trigger L1 e L2 sviluppati per MINI-EUSO e EUSO-TA

Testing

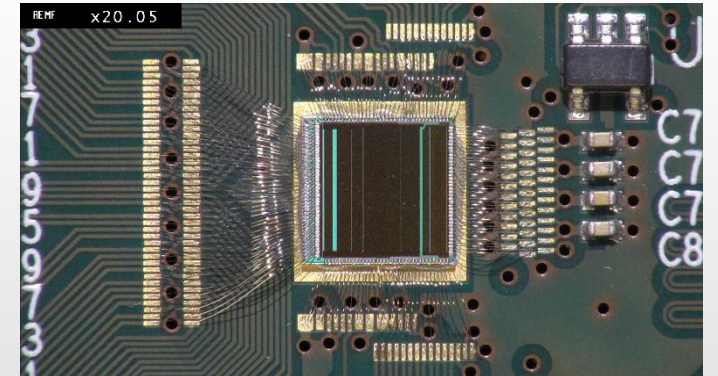
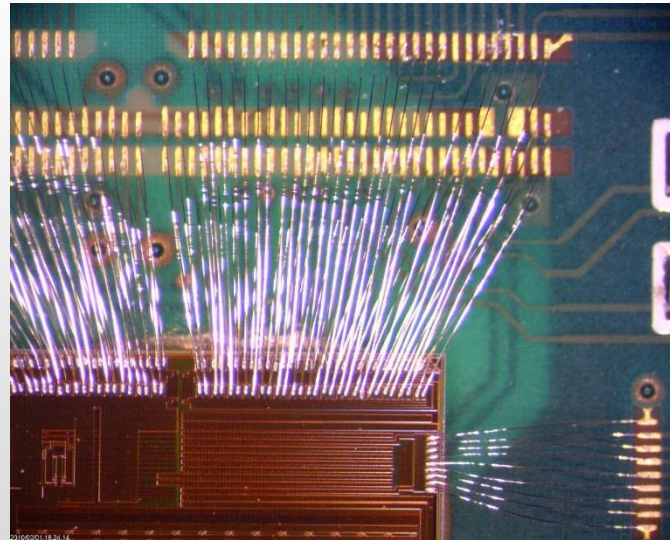


- 8" probe station (CASCADE – MICROTECH REL 6100)
- Camera pulita ISO 7 (~ 15 m²)

Wire Bonding



- Passo fino a $100\ \mu\text{m}$
- Filo AL fino a $17\ \mu\text{m}$



Conclusioni – attività recenti

- BELLE II
- BES III
- CMS DT
- CMS ECAL
- CMS TK
- CMS MTD
- COMPASS
- NA62
- AUGER
- JEM-EUSO
- ALICE ZDC
- ALICE ITS
- NUMEN
- CHIPIX65/RD53
- e-LIBANS
- INSIDE
- SEED
- UFSD
- WHIN
- PANDA
- DARKSIDE
- DIESIS
- MOVE-IT
- I3PET
- ANET
- TIMESPOT
- FOOT
- ASIDI
- FINFET16
- TRIMAGE

