

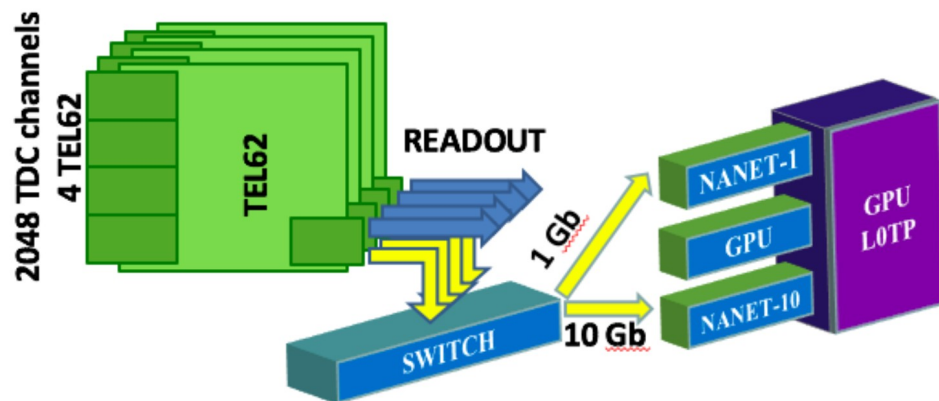
Progetto NaNet

Progettazione e implementazione di una famiglia di schede di rete basate su FPGA e con interfaccia PCIe ad alte prestazioni:

- Interfaccia fra l'elettronica di front-end e i nodi di calcolo
- Canali multipli e diversi protocolli di rete (standard Ethernet con UDP/IP e/o custom)
- Latenza di comunicazione bassa e controllata (per sistemi real-time)
- Alta banda passante
- Elaborazione in tempo reale sul flusso di dati (compressione/decompressione, riordinamento dei dati, unione di frammenti di eventi)
- Trasferimento dati ottimizzato verso le GPU (GPU Direct)
- Usata in NA62 (NaNet-1 e NaNet-10) e KM3NeT-Italia (NaNet³)
- Progetto triennale CSN5 (2015-2017) esteso al 2018

Attività 2018 che hanno riguardato la sezione:

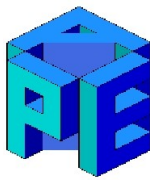
- Sviluppo core Ethernet UDP/IP 40 Gb/s



NaNet in the NA62 framework

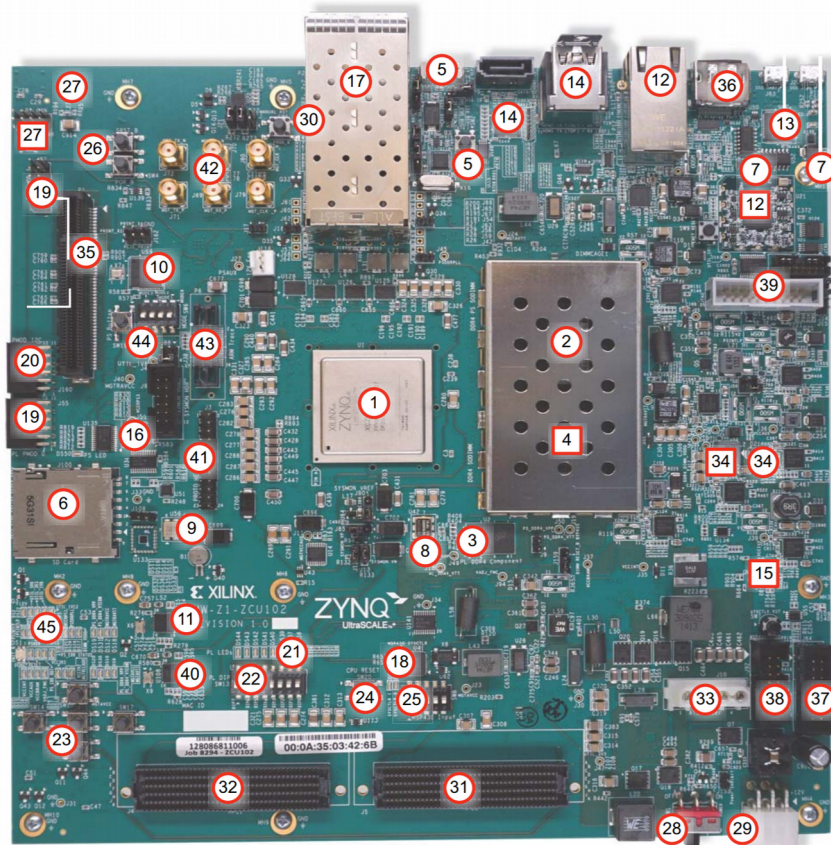


40Gb development board



Progetto TurboNet

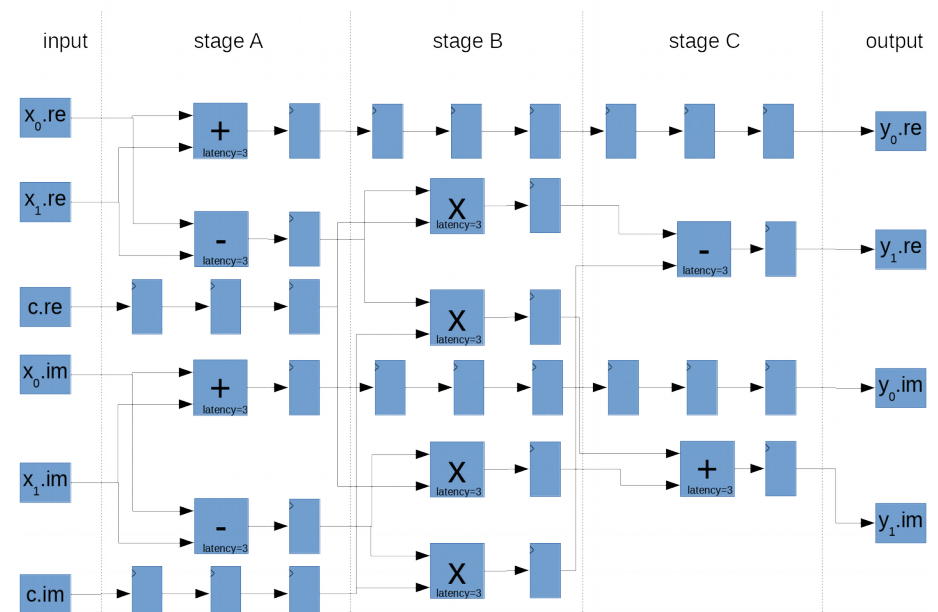
- Studio di fattibilità, durata annuale
- Ottimizzazione su dispositivi programmabili del core di calcolo delle FFT (in doppia precisione) per simulazioni numeriche su larga scala
- Use case: fluidodinamica in regime turbolento
- Attività: sviluppo core FFT di tipo radix-2 parallel-pipelined e studio di prestazioni e scalabilità



○ Round callout references a component
On the front side of the board

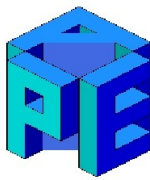
□ Square callout references a component
On the back side of the board

Target development board



Radix-2 butterfly pipelined implementation

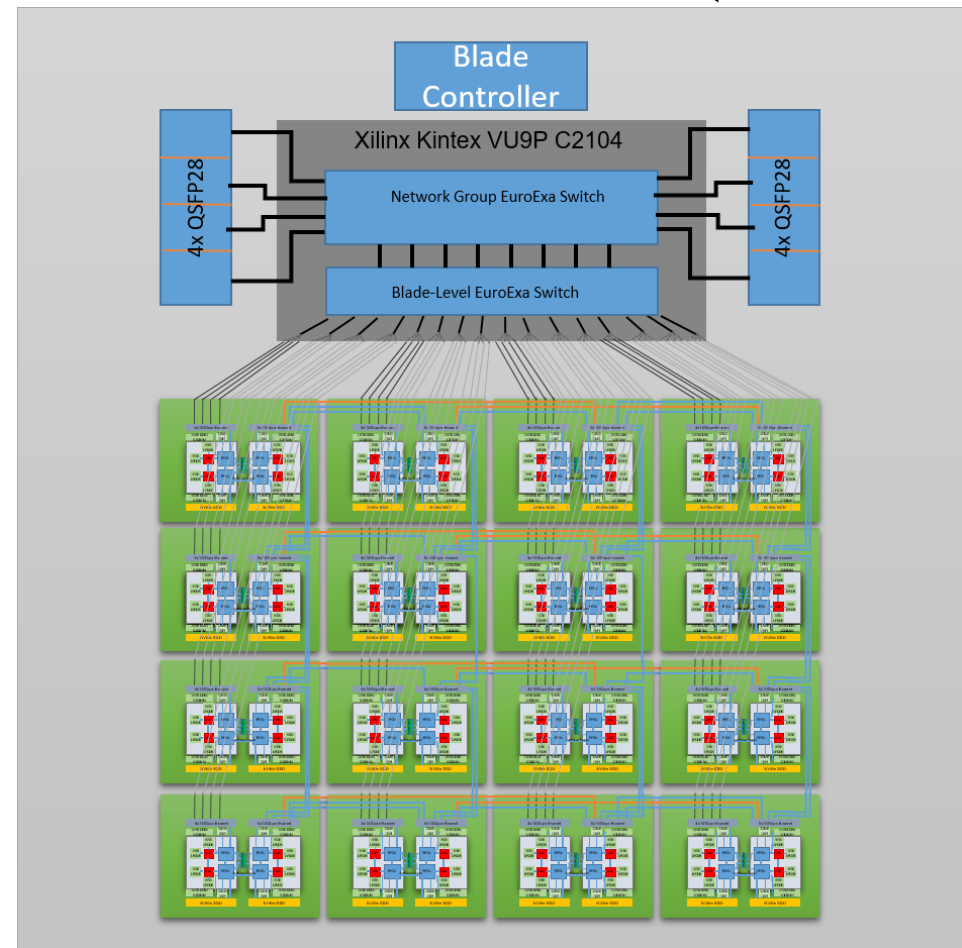
Progetti ExaNeST-EuroEXA



- Progetti europei di sviluppo e prototipizzazione di soluzioni per la produzione di supercalcolatori di classe 10^{18} Operazioni Floating Point
- Exanest: durata 2015-2018, budget 8 MEU, 12 partners
- EuroEXA: durata 2017-2020, budget 20 MEU, 16 partners
- Ruolo INFN (Sezioni di Roma e Roma Tor Vergata): studio e sviluppo della topologia e della connettività di rete; porting applicazione di simulazione neuronale (DPSNN, in collaborazione con progetto EU HBP)



ExaNeST 8-nodes prototype (as of 18/5/18) with INFN ExaNet interconnect

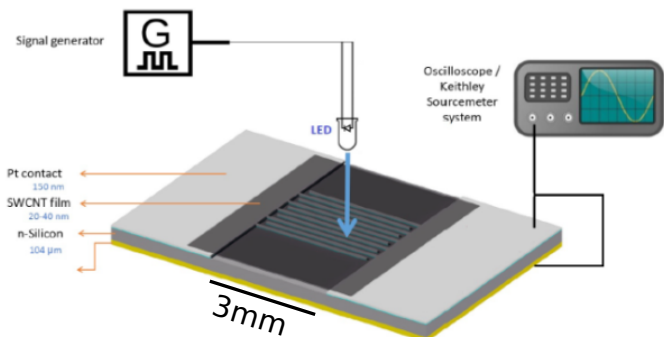


A sketch of EuroEXA multi-layer network connectivity using INFN ExaNet technology

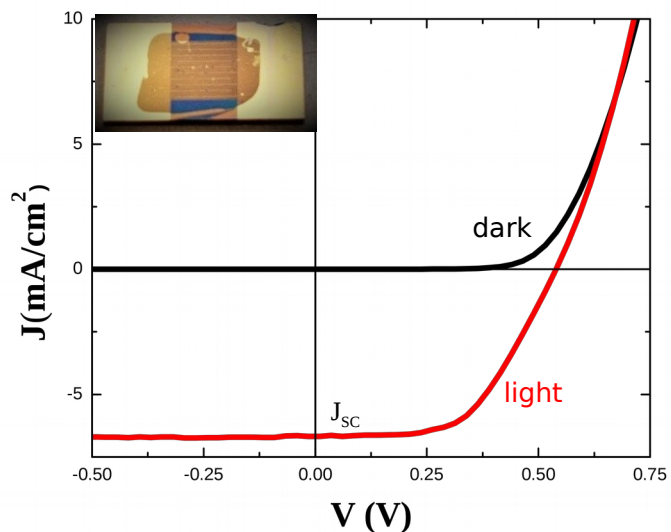
Project for an avalanche photodetector based on carbon Nanotube/Si and graphene/Si heterojunctions

State of the art in our group

FBK n-Si substrate provided with metallic contacts

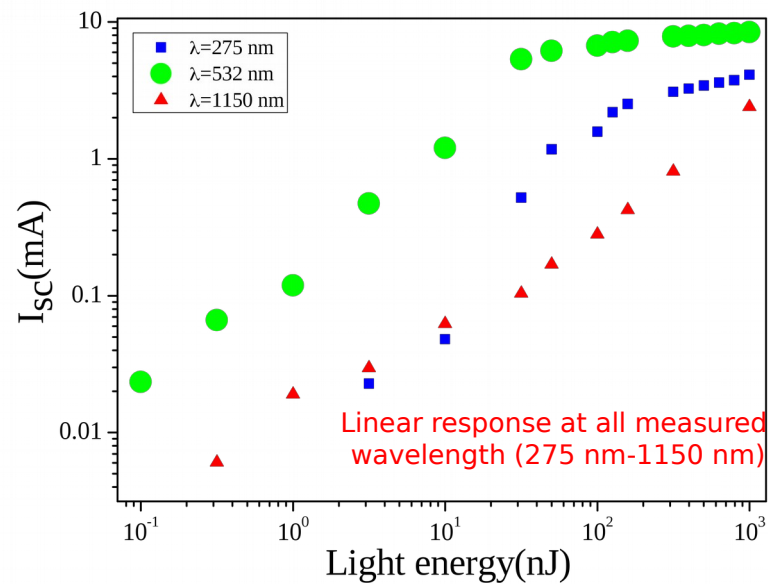
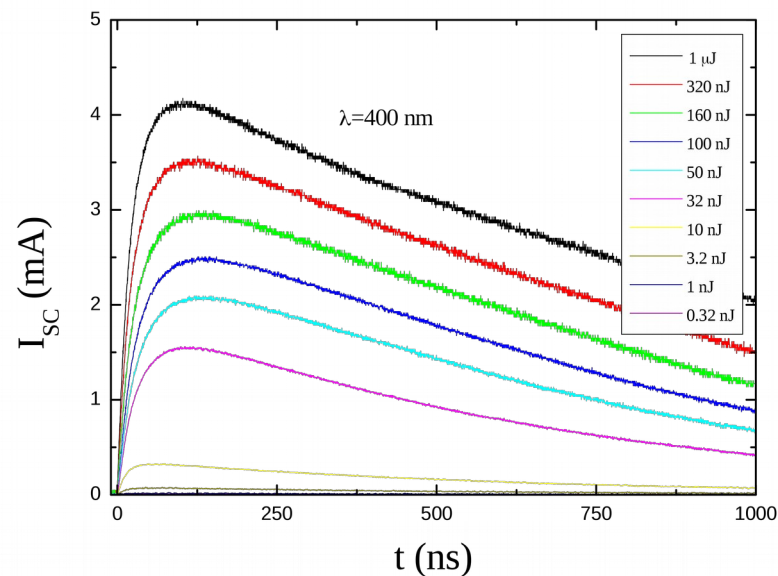


Schottky heterojunction CNT/n-Si interface



Responsivity > 1 A/W in photovoltaic mode

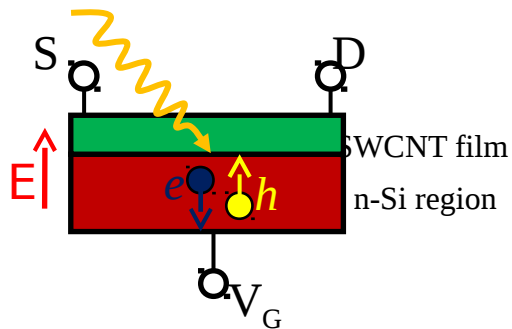
Rise time 40 ns after 40fs laser pulse



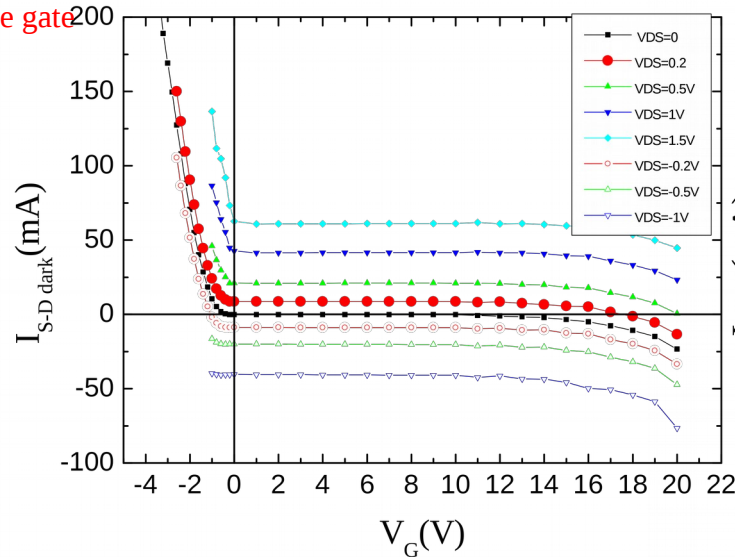
Using 3 terminal configuration

AVALANCE PHOTODETECTOR

Photogenerated charges inside Si are drifted toward SWCNT film by positive gate

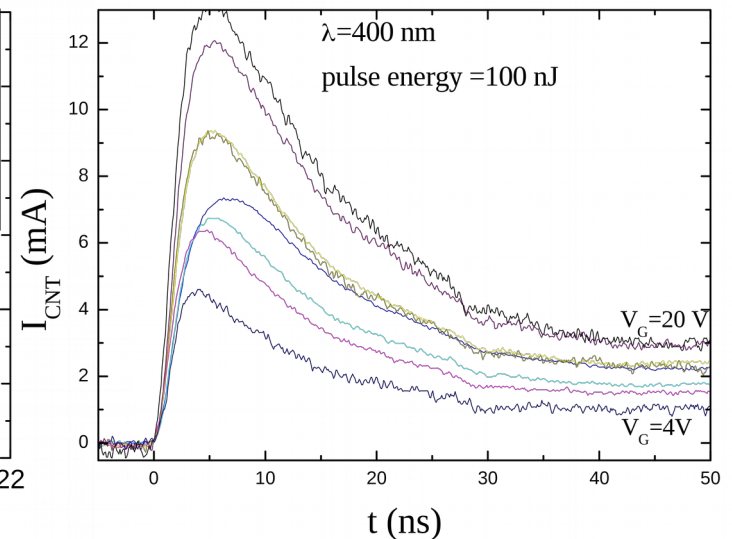


Breakdown voltage 20V

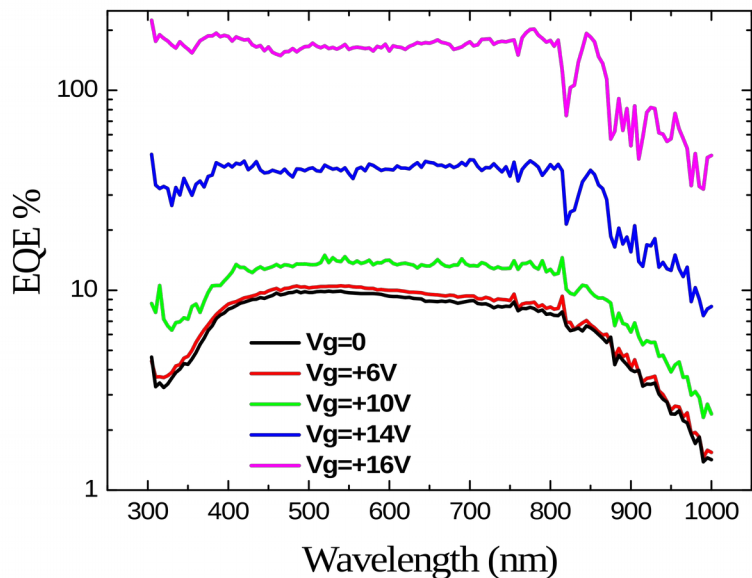


AVALANCE PHOTODETECTOR

Rise time 5 ns
after 40fs laser pulse



In avalanche mode the quantum efficiency (EQE) and responsivity increase far above the 2 terminals values



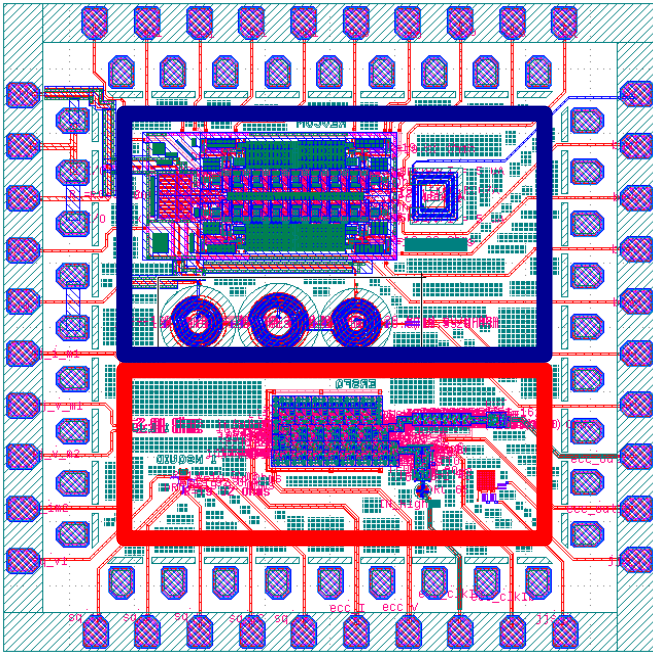
Project milestones

Avalance photodetector (APD) based on graphene/Si and CNT/Si heterojunctions

- 1-small active area ($<100\mu\text{m} \times 100\mu\text{m}$) for reducing the junction capacitance and decrease the rise time
- 2-Improve the CNT/Si interface quality for noise reduction
- 3-Stabilize the breakdown voltage
- 4-breakdown voltage temperature control
- 5-Increase gain by reducing CNT film thickness
- 6-graphene/Si vs. CNT/Si junctions to increase transparency
- 7-possible integration in multy pixel photon counter(MPPC)

Collaborators (not included in the project):

- 1-FBK for substrate fabrication
- 2-University of Pisa for graphene deposition
- 3-CNR for laser measurements



Secondo Dispositivo

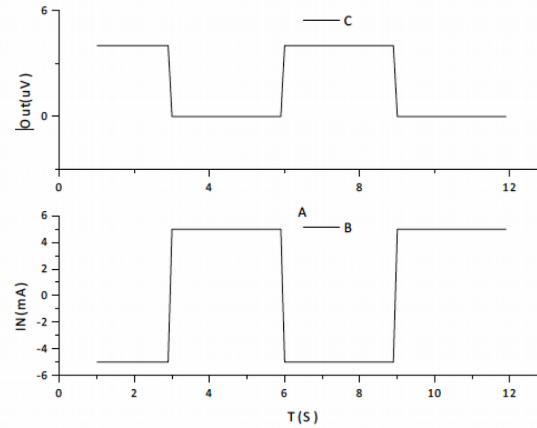


Figura 9. Verifica funzionale del circuito NOT, caratteristica In/Out.

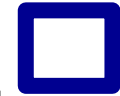
Due tipologie di circuiti: una con tecnologia ERSFQ e l'altro con tecnologia nSQUID.

Divisore



Con la tecnologia ERSFQ si è progettato e realizzato un circuito contenente 13 celle in serie con funzione logica di tipo T FLIP FLOP (TFF).
($f/8192 f_{max} = 10 \text{ GHz.}$)

Logica nSQUID.



Con la tecnologia nSQUID si sono realizzati due blocchi svolgenti le funzioni logiche di NOT e di SHIFT REGISTER,



Figura 5. Setup logica ERSFQ, Freq. In =19,456 GHz, Freq. Out = 2375 KHz. Freq. ref.=593,75KHz.

Divisore

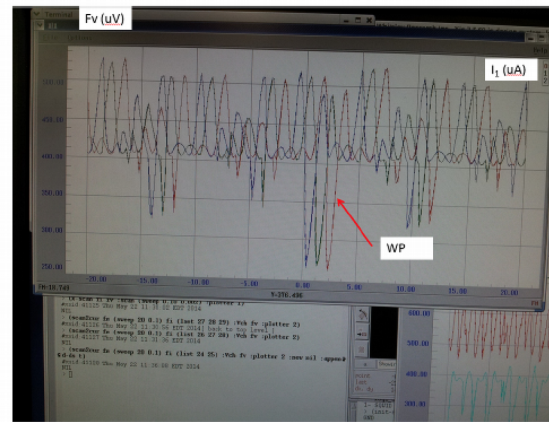
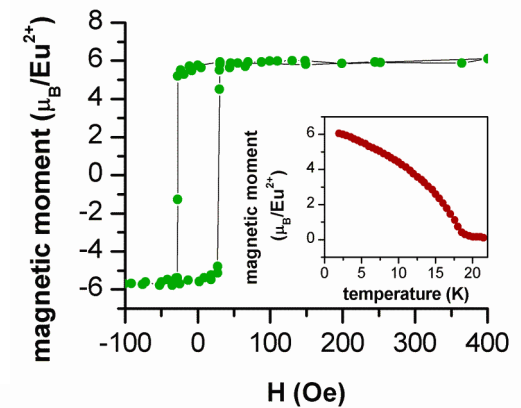
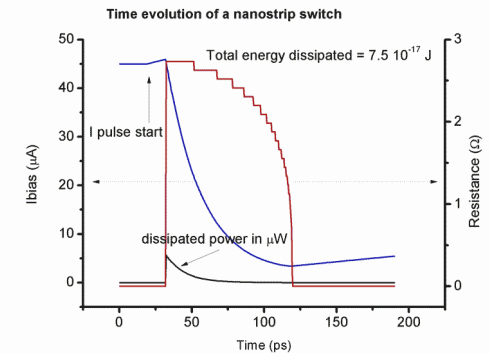
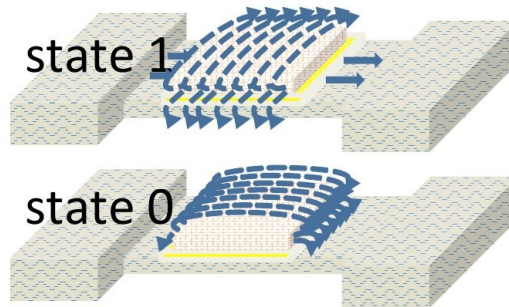
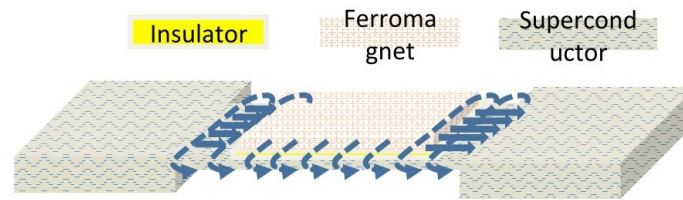
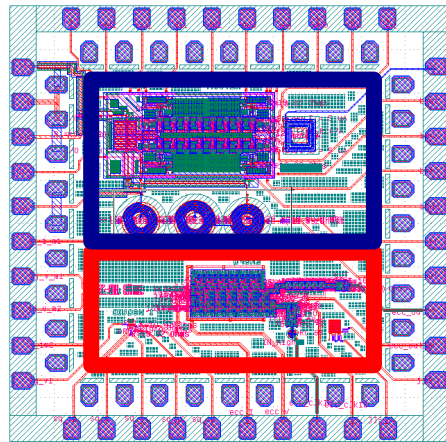


Figura 7. Caratterizzazione degli nSQUID misuratori di corrente.

Logica nSQUID

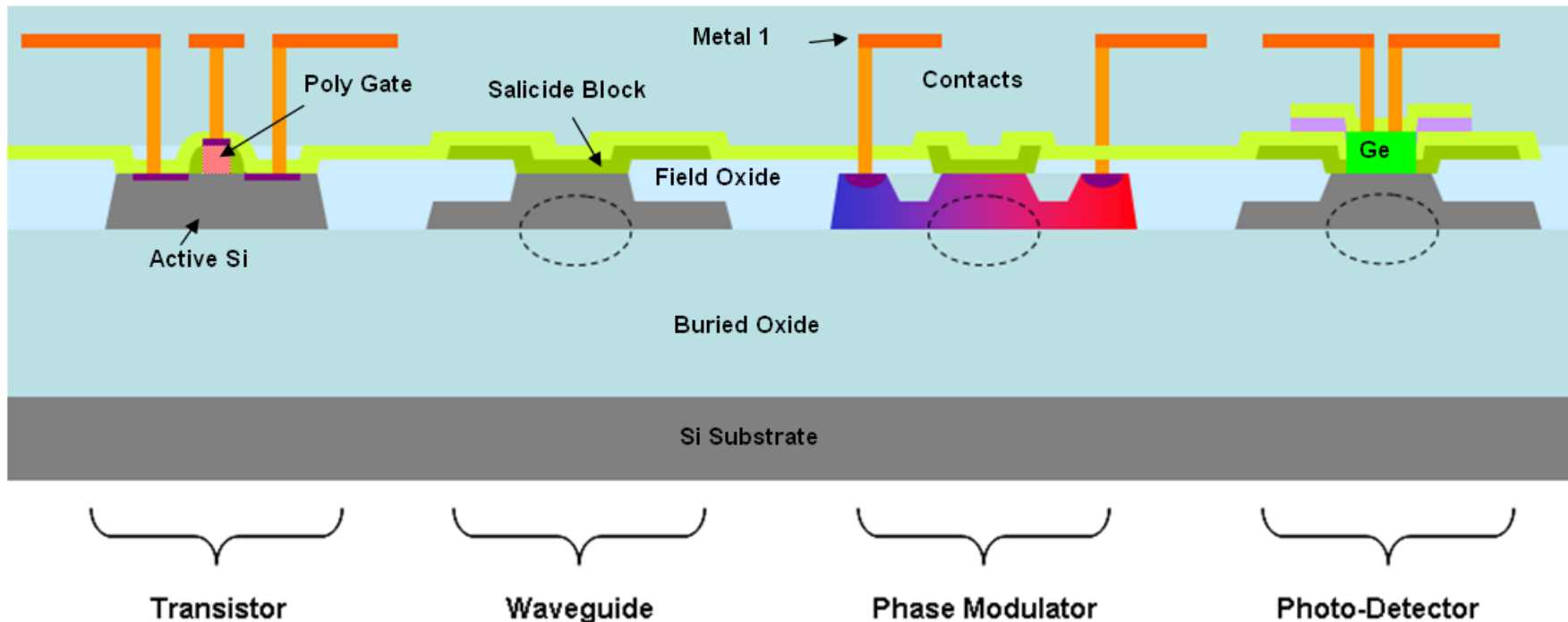
FEEL: Lo scopo di questo progetto è di sviluppare nuove idee per spingere le prestazioni dell'elettronica digitale superconduttiva oltre lo stato dell'arte corrente.

Più nello specifico vogliamo sviluppare un chip di memoria superconduttiva basato su logiche a bassissimo consumo energetico (già oggetto dell'esperimento INFN DIGITHEL) e su memorie ibride superconduttore-ferromagnete su scala nanometrica (proposte recentemente da alcuni dei partecipanti a questo progetto).



Proposal for a Nanoscale Superconductive Memory, Sergio Pagano; Nadia Martucciello; Fabrizio Bobba; Giovanni Carapella; Carmine Attanasio; Carla Cirillo; Roberto Cristiano; Mikhail Lisitskiy; Mikkel Ejrnaes; Giovanni Piero Pepe; Loredana Parlato, IEEE Transactions on Applied Superconductivity, Year: 2017, Volume: 27, Issue: 4

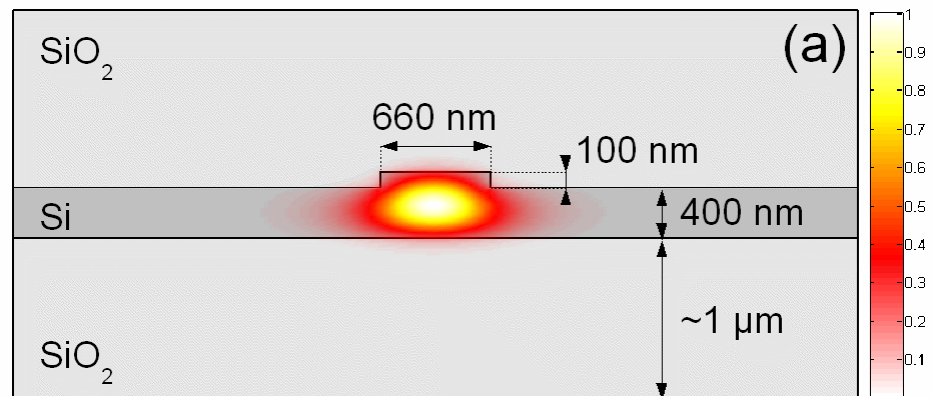
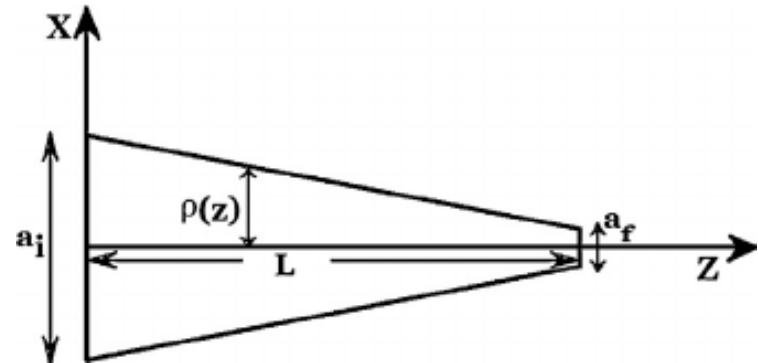
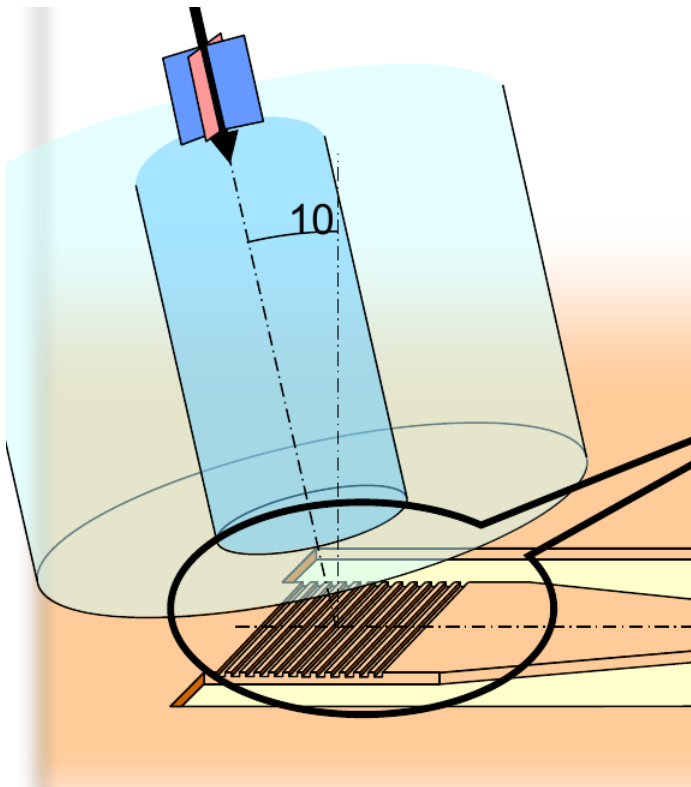
Fotonica su silicio



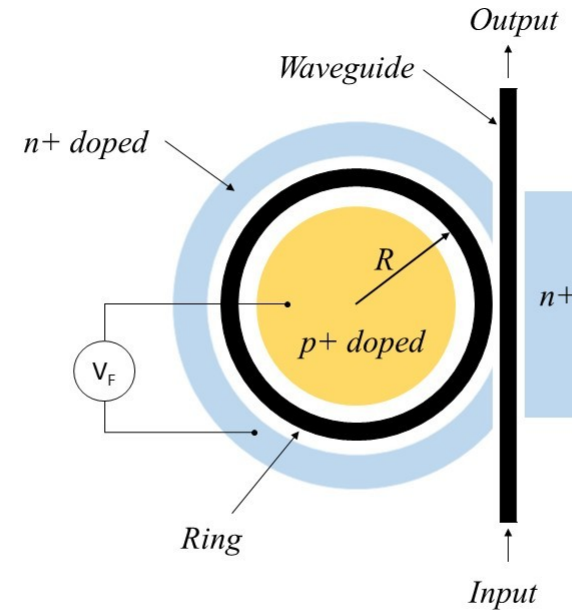
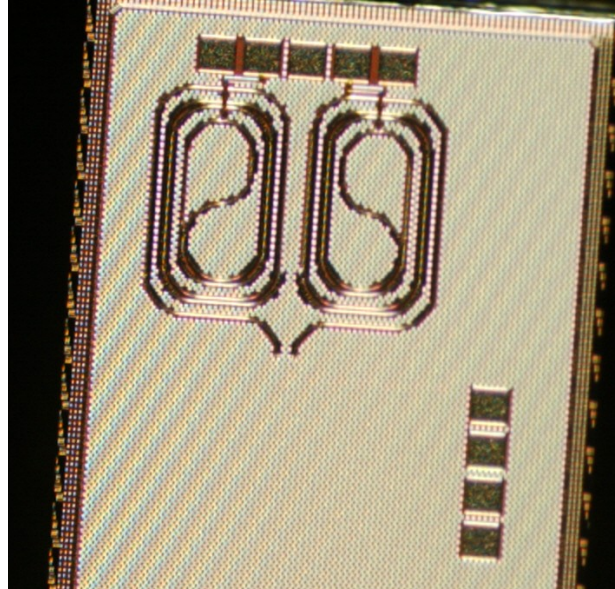
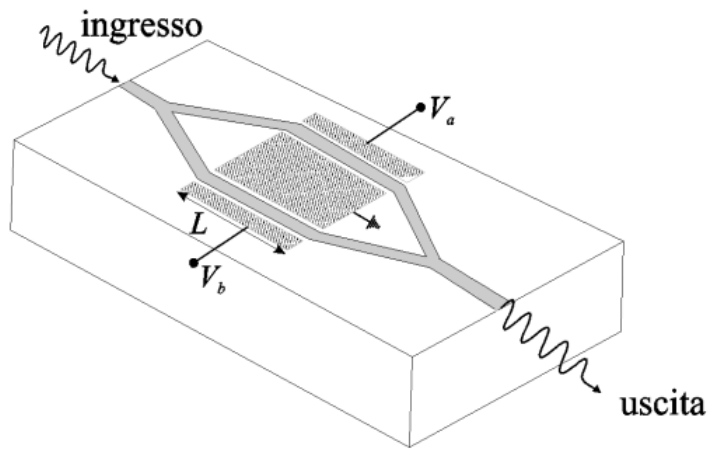
Perche' il silicio?

- Ottimo materiale, ad alto indice di rifrazione (3.5) e bassa dispersione
- Disponibile in grande quantita'
- Possibilita' di integrazione su singolo chip con processi CMOS-compatibili

Accoppiamento e trasporto della luce (reticolo di Bragg, guida di luce conica, guida di luce)



Modulatori



- Interferometro di Mach-Zehnder: interferenza tra due segnali la cui fase cambia a causa della modulazione elettroottica.
- Ring Resonator: il segnale che viaggia sulla guida d'onda si accoppia con la guida ad anello solo se questa è in condizione di risonanza (onda stazionaria), condizione controllata dalla modulazione elettroottica (→ **CALL CSN5**).