



T/DAQ status



M. Villa

University and INFN

Bologna

Bologna, 04/12/2017



Outline

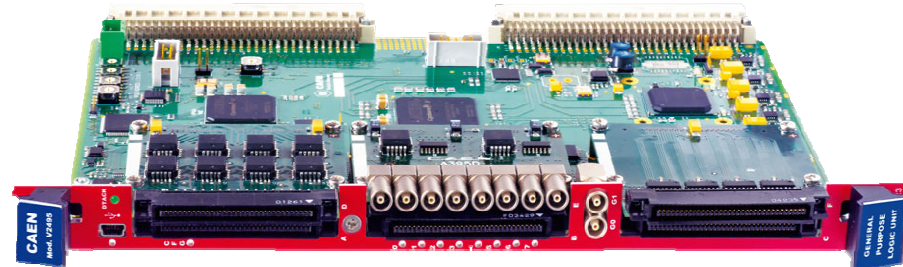
- Infrastructure
- Activities on the trigger
- Remote detector elements
- Next steps

Infrastructure

- A first TDAQ environment is available with desired characteristics
 - Trigger, caen boards, remote detectors
- Worked on monitoring, DBFilling (run conditions) and storage (automatic copies of collected data)
- Trigger
 - thesis of A. Savarese
- Altera SOC device
 - thesis of E. Vezzali (as a sample of tracking readout elements);
- Controlling remote detectors via ethernet -> Silvia talk
- A VME PC just arrived-> installation is ongoing
- DAQ Quality checks and file reading
 - Master thesis of C. De Lucia

Trigger Board

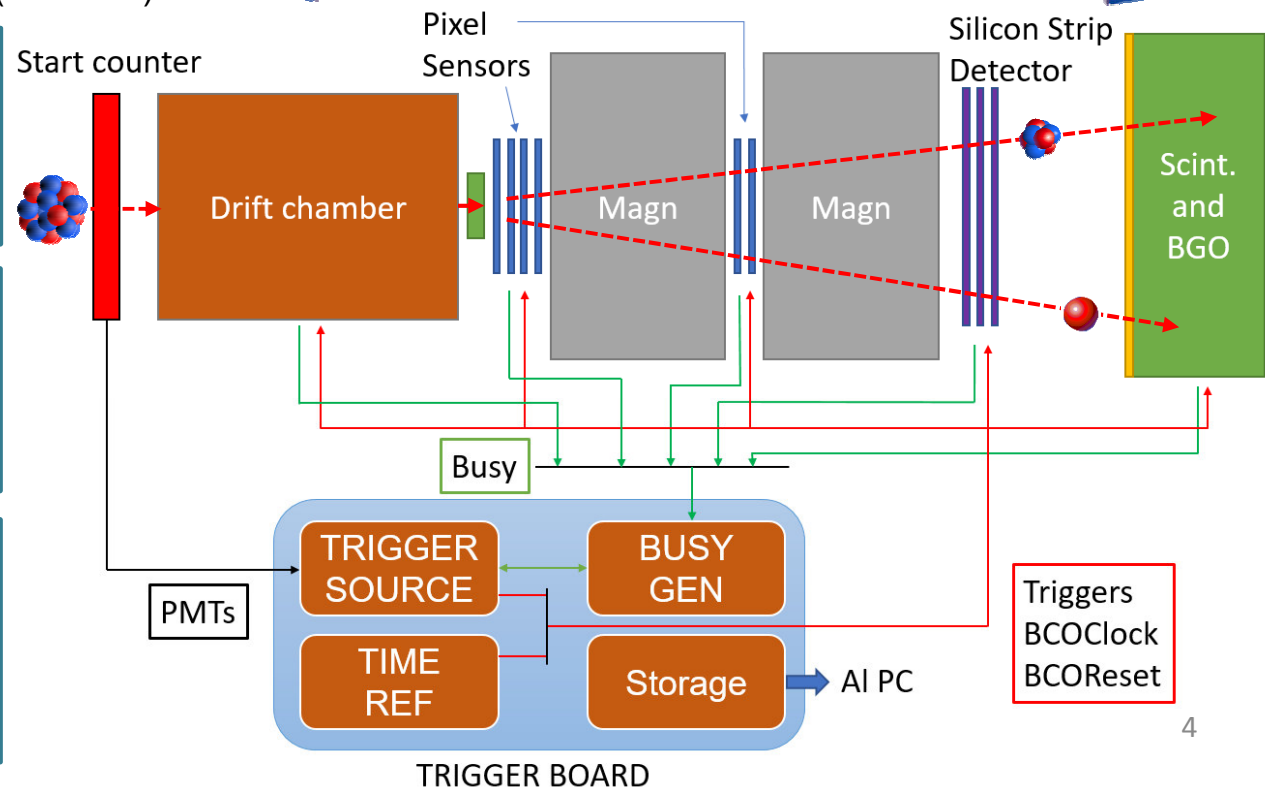
V2495 VME General Purpose
Programmable Unit Cyclone V (UFGPA)



Provide the trigger signal to the different subdetectors

Recording some data on events and on BEAM

Provide a supplementary synchronization system



Diapositiva 4

AS5

La scheda usata per il sistema di trigger è una V2495 dell'azienda CAEN che si basa su una FPGA Cyclone v. Ha tre compiti fondamentali. Il primo è fornire i segnali di trigger ai vari rivelatori per iniziare le misurazioni quando viene rivelata una particella sullo start counter. Il secondo è la raccolta e memorizzazione di alcune informazioni per lo più temporali su ciascun evento. Per evento si intende l'arrivo della particella sullo start counter e l'attraversamento della stessa e di eventuali frammenti di tutto l'apparato. Il terzo è fornire un clock di sincronizzazione supplementare all'esperimento. Tutto questo è possibile tramite 4 blocchi che verranno approfonditi nelle prossime slides.

Andrea Savarese; 16/07/2017

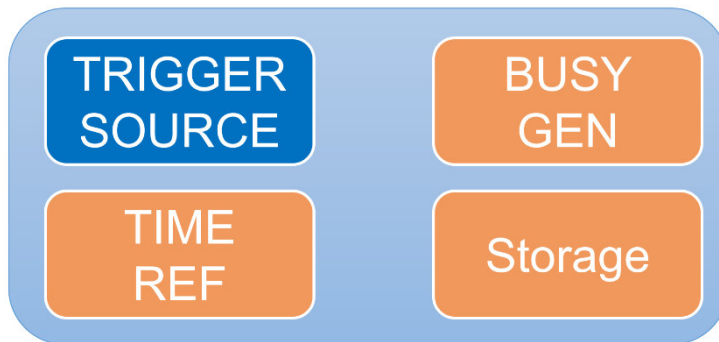
Elements

Trigger source: provides the trigger logic of the experiment

Busy: handle detector busies and readout busy

Storage: Store time and counters information for each trigger;
Store also free running counters on beam.

Time reference: Synchronization mechanism



Each detector:

- Will get a trigger signal
- Will provide a BUSY signal

Final goals: to have the possibility to monitor the beam;
to trigger when all the system is available;
to store the time of the triggered event;

Event build-up checking and luminosity information

Diapositiva 5

AS6

È il blocco principale dell'esperimento. Il blocco riceve in ingresso i segnali dei 4 fotomoltiplicatori dello start counter e, se viene rivelato l'arrivo di una particella e se la configurazione lo permette, genera un impulso sul segnale maintrigger che una volta ritardato e allungato è inoltrato a tutti i rivelatori per dare il via alle misurazioni. Inoltre il blocco è in grado di ricevere un trigger anche da un altro blocco detto PULSE e di generarne uno interno periodico a fini di test. Ovviamente se il sistema non è pronto il trigger non deve essere generato. Per questo esiste il blocco....

Andrea Savarese; 16/07/2017

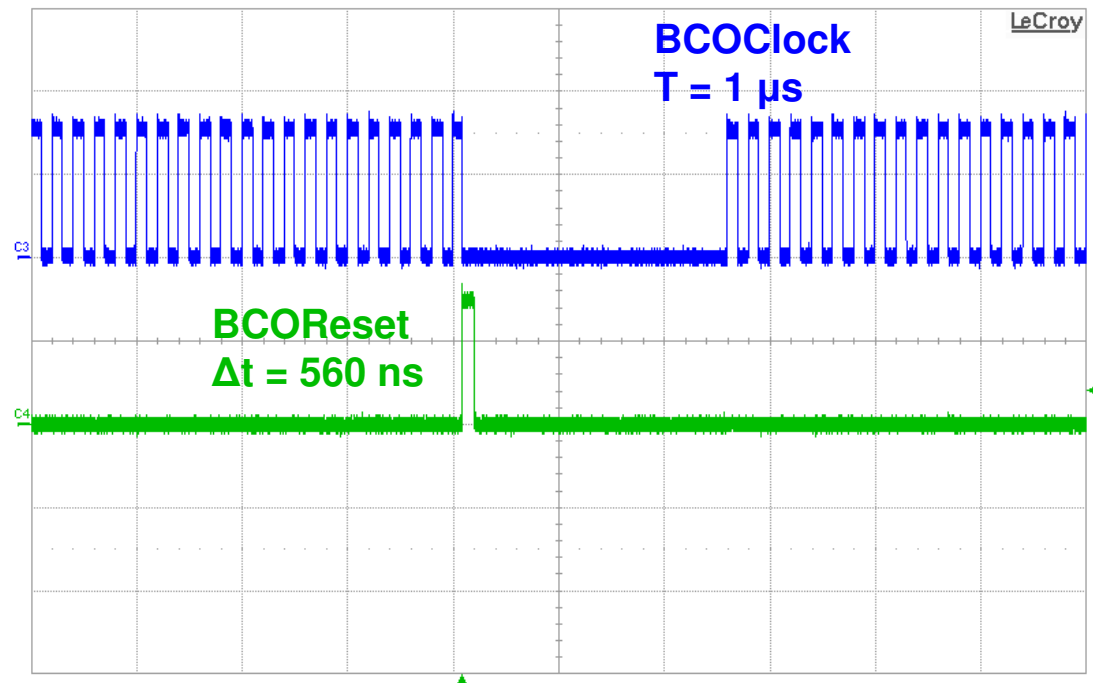
TIME_REFERENCE

Provides an additional synchronization mechanism



Each detector or component will receive two synch signals:

- A **BCOReset**, 560 ns long at the beginning of each run
- A **BCOClock**, 1 MHz rate, starting 12 us after the BCO reset
- In the data fragment a detector should provide **the number of rising edges** received on the BCOClock since the last reset.



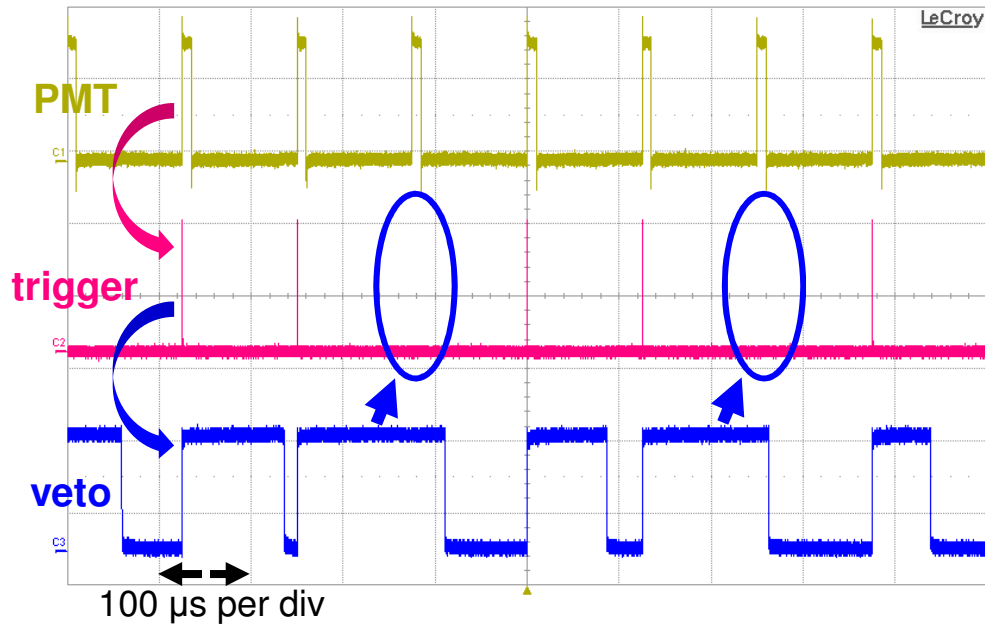
Diapositiva 6

AS3

Time_reference è il blocco che fornisce ai rivelatori il sistema di sincronizzazione supplementare. Genera il segnale BCOClock che è un clock con un periodo di un microsecondo e BCOReset che è un impulso che precede il BCOClock. Entrambi questi segnali vengono inoltrati a ogni rivelatore dell'esperimento. Ogni rivelatore al suo interno ha un contatore dei fronti di salita di questo clock, il cui valore viene memorizzato insieme ai dati di ciascun evento. Se un qualche rivelatore per un errore del sistema vede un evento in più o no in meno, si può comunque risalire alla sincronizzazione tramite il valore riportato nei frammenti dei vari eventi.

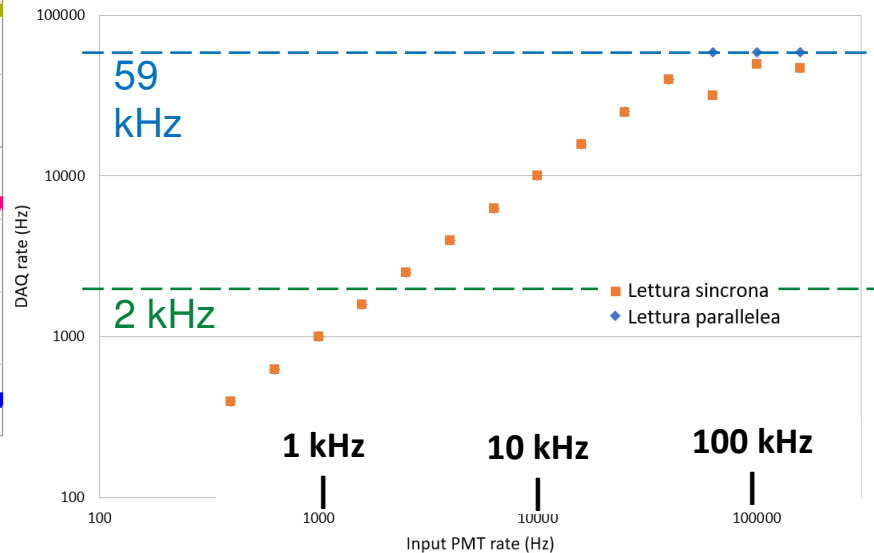
Andrea Savarese; 14/07/2017

PERFORMANCE



Minimal DAQ rate required **2 kHz**

Max observed DAQ rate: **59 kHz**



Firmware developed by A. Savarese
as a part of hit bachelor thesis
(available on the INFN server)

Trigger board ready to be used

19 entities, 3.3 klines of code in VHDL

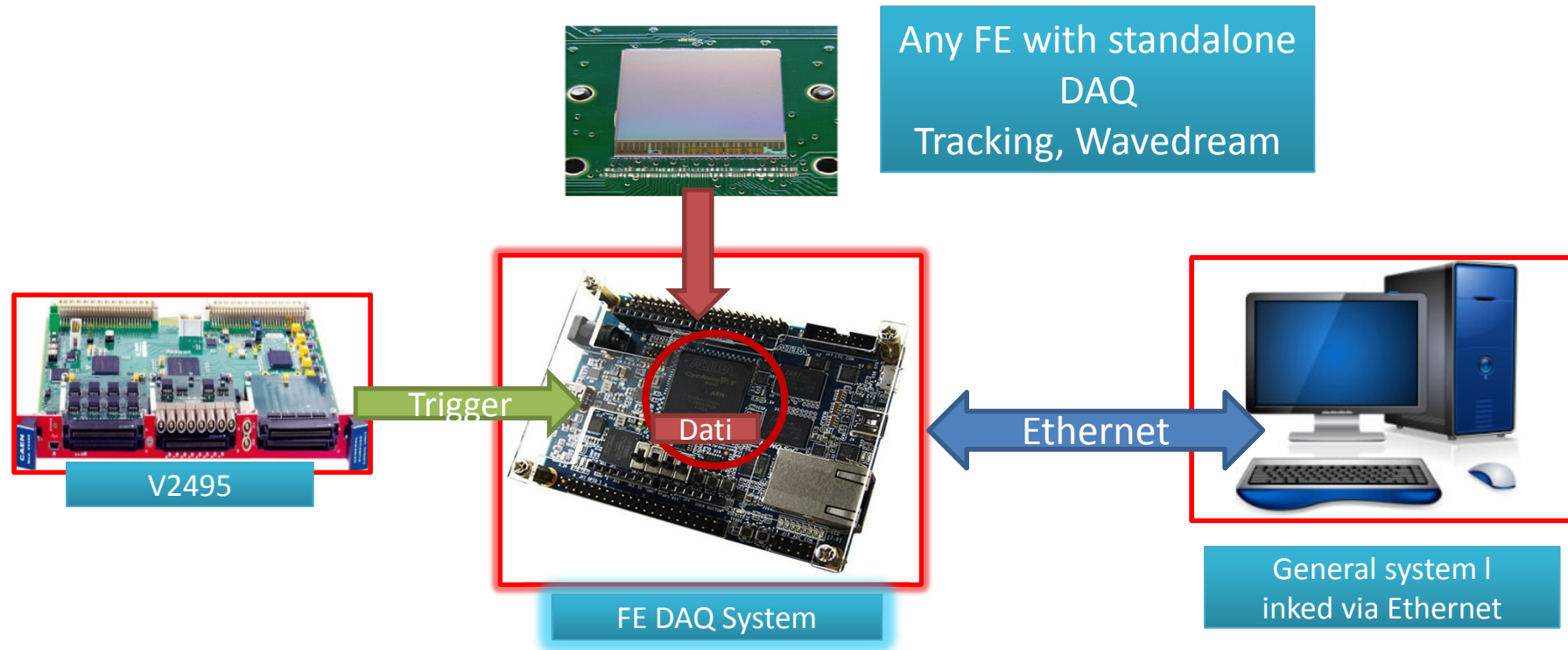
Diapositiva 7

AS9

Il codice scritto in VHDL è stato simulato e sintetizzato, dopodiché la scheda è stata testata in laboratorio. Essa funziona come da progetto: (indicando foto) quando viene rivelata una particella sullo start counter viene generato un trigger che a sua volta genera il segnale di veto che rimane alto fino a che il sistema non è pronto a ricevere un nuovo trigger. Nel caso venga rivelata una particella quando il veto è alto, il trigger non viene generato. La latenza tra segnali dei PMT e trigger è di 18 ns ed è dovuta totalmente alla componentistica esterna alla FPGA. Il jitter minore di 400 ps e quindi trascurabile. Le performance sono ottime: come si vede in questo grafico che ha in ascissa la frequenza del PMT e in ordinata la frequenza di acquisizione, la frequenza di acquisizione minima richiesta era di 2 kHz ma la frequenza massima misurata è stata di 59 kHz, quindi ben oltre i requisiti minimi di progetto. La scheda sarebbe già pronta a partecipare all'esperimento.

Andrea Savarese; 16/07/2017

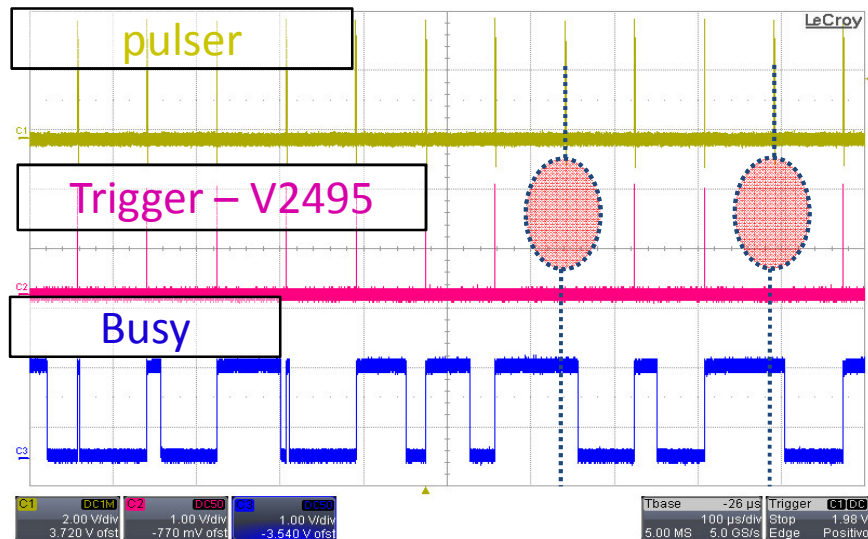
Reading «remote» elements



A system has been developed in a DE0 Altera board hosting a Cyclone V FPGA Having all the necessary characteristics for what regards DAQ.

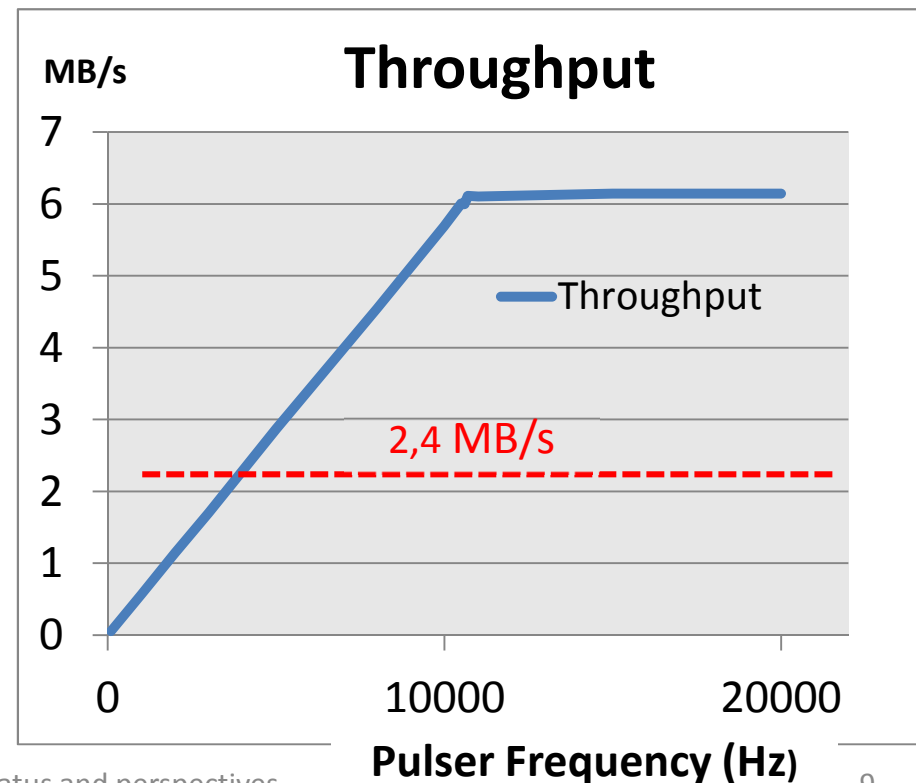
It is and will be used to develop the interfaces with all non-standard DAQ systems

System running with Trigger and DEO



External pulser at 15 kHz
Event size of 0.5 kB on average

Data transferred from FPGA to the CPU; **not yet** on ethernet



Shown in Naples
25/05/2017

TDAQ Next steps



From now till end of 2017 (not in order)

Done or almost done

- Purchase of 2 Single Board Computers for VME
- Software update for TDC, QDC CAEN
- Reading of RAW files and interface with reco software
- Generic DAQ module
- MIMOSA Chip simulation in DAQ
- Performance improvements: VME Block transfer, optic fibers
- Other device integration in test mode
 - If not standard, a copy of the sub-det system is needed in BO-
(ideal: 1 piece per detector)
- Tests for performances and reliability of week-end long runs
- SW installation: Elog
- Simple TDAQ system configuration: **MYSQL**, elog
- FOOT monitoring software integration

The end

Acknowledgments: Many people contributed directly or indirectly to this presentation including, but not limited to:

C. Sbarra, S. Valentinetti, R. Spighi, L. Rinaldi, M. Franchini,
S. Biondi, C. De Lucia, A. Savarese, E. Vezzali

Shown in Milano
30/11/2016
and in Naples

TDAQ Next steps

From now till end of 2017

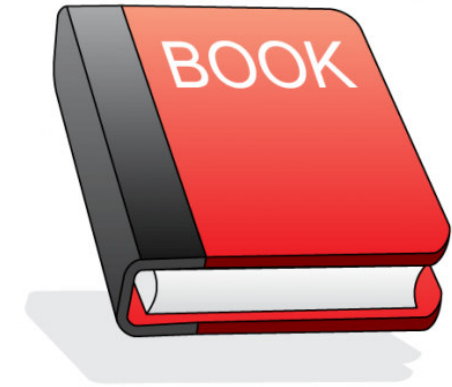
Done or almost done

- SW installation:
 - SLC6, TDAQ, MYSQL, elog, LibreOffice/OpenOffice, ROOT, gcc, python, ...
- Simple TDAQ system configuration
 - TDAQ, MYSQL, elog and much more in standalone
- Software trigger tests
- Procurement of a Single Board Computer for VME
- Firmware and software update for caen 2495 trigger module
- Software update for FADC, TDC, QDC CAEN
- Tests in hardware trigger mode on cosmics and pulsed events
- First «simple» data taking
- MIMOSA Chip simulation in DAQ
- DAQ from fiber and ethernet sources
- Other device integration in test mode
(ideal: 1 piece per detector)
- FOOT monitoring software integration

30/11/2016



CDR writing - 2.5/3 pages



TDAQ is described in the CDR.

Only 2.5 pages.

A figure is still missing.

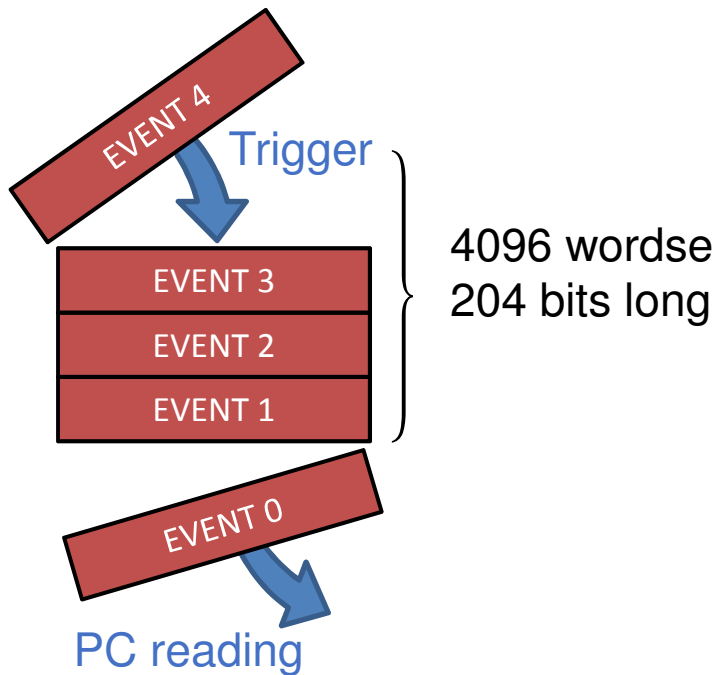
Comments are welcomed, especially on the table below!

Table 1 – DAQ components, rates and bandwidths.

Detector	Board(s)	DAQ channels	max event rate (kHz)	Event size (bytes)
Trigger	V2495	1	10	40 B
Start Counter	TDC	4	5	26 B
Start Counter	QDC	4	5	26 B
Beam Monitor	TDC	36	5	150 B
Beam Monitor	QDC	36	5	150 B
MIMOSA	MIMOSA28	5×10^6	2	450 B
Drift Chamber	TDC	96	5	400 B
Drift Chamber	QDC	96	5	400 B
$\Delta E/\Delta x$	DW	80	2	6.5 kB
Calorimeter	QDC	400	2	1.7 kB
Totale DAQ	Storage PC	-	> 10	10 kB

STORAGE

Data from each even are stored on a FIFO memory

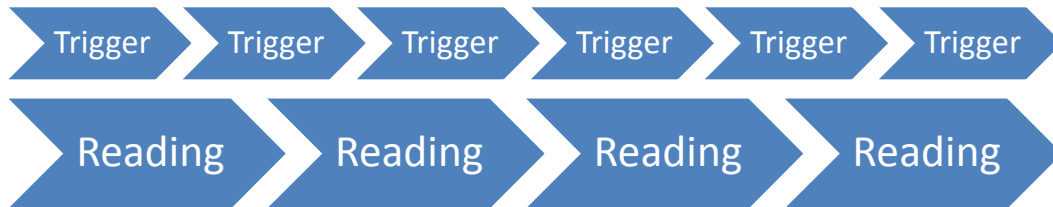


Sync reading (sequence of trigger signals and PC reading)



Debug and system test

Async reading (triggers and reading in parallel)



Final working mode of the board

Diapositiva 15

AS8

La scheda è anche in grado di memorizzare alcuni dati su ciascun evento in una memoria FIFO da 4096 parole da 204 bit ciascuna. La lettura può essere sincrona, cioè quando la scheda genera un trigger prima che se ne possa generare un altro si attende che i dati del primo vengano letti da PC, oppure può essere asincrona in cui la lettura da PC e l'acquisizione degli eventi sono processi simultanei. La prima modalità è più lenta ma è facilmente debuggabile mentre la seconda è più veloce e viene utilizzata nel reale funzionamento del sistema.

Andrea Savarese; 16/07/2017

Conclusions

- Several pieces of the final DAQ system are in place
- Still several parts are missing or not known
 - it's a long way to reach the final point
 - we're keeping several options opened
- Pieces/samples/copies of «non standard» DAQ systems will be needed in Bologna for a successful FOOT DAQ integration.

