

Subject: VTXing

From: Caccia Massimo Luigi Maria <massimo.caccia@uninsubria.it>

Date: 8/31/2017 4:13 PM

To: Franco Bedeschi <bed@fnal.gov>

CC: Santoro Romualdo <romualdo.santoro@uninsubria.it>, "Caccia Massimo Luigi Maria" <massimo.caccia@uninsubria.it>, Roberto Ferrari <Roberto.Ferrari@cern.ch>

Ciao Franco,
ecco la letterina per i referee.
Buon pomeriggio,

Massimo

Cari Referee,

putroppo il 5 Settembre temo che non riuscirò ad essere presente alla discussione e per questo volevo complementare le informazioni che Franco vi ha già reso disponibili. Ad ogni modo, ci sarò il giorno 11 e sono comunque disponibile se sono necessarie ulteriori chiarificazioni.

L'analisi estensiva degli sviluppi legati al VTXing la potete trovare in due presentazioni:

- il mio talk di rassegna sugli sviluppi legati a ILC, al Cepc workshop di Hong Kong 2016. Il file è reperibile qui:

https://www.dropbox.com/s/np6ws2pal0du48i/MCa2016_HKUST.pdf?dl=0

- la presentazione più dettagliata e circostanziata a Cepc che ho preparato per il workshop di Pechino di Settembre 2016 ed ampliato per la riunione di Bologna del Luglio 2017.

Di questo file, Franco vi ha già mandato il link. Per semplicità, potete comunque trovarlo anche qui:

https://www.dropbox.com/s/w5vt0j3i0o532ov/MCa2017_Bologna.pdf?dl=0

Distillo alcune informazioni per cercare di semplificarvi la vita:

1. in termini di performance e geometria, il rivelatore si può sovrapporre 1:1 (o quasi) a quello di ILD; cosa che almeno in partenza facilita molto ed aumenta il livello di confidenza. Ma solo in modo ingenuo, perché ci sono almeno due differenze sostanziali che comportano una riflessione profonda:

a. cepc non opera con la bizzarra struttura temporale di ILC e dunque il "power pulsing", che facilita molto la vita (ai fisici, non necessariamente agli ingegneri) non si applica

b. cepc nasce per poter operare anche alla Z, con un event rate assolutamente non banale (almeno per un poverino come me abituato ai collider leptonic dell'era di LEP o a ILC).

=> architettura & tecnologia vanno ripensate; ovviamente facendo tesoro di quel che è accaduto e sta accadendo, ma senza presupporre nulla.

2. a mio avviso, il punto focale dello sviluppo è la riduzione della "power density", ed anche il valore "stato dell'arte" di 50 mW/cm² di ALPIDE potrebbe non essere sufficiente per garantire la possibilità di poter lavorare con "air cooling", condizione necessaria per poter aspirare ad avere (almeno per lo strato più interno) un "material budget" dell'ordine di 0.15% X0 (140 micron equivalenti di Silicio, tutto compreso). Si devono intavolare discussioni serie con gli ingegneri meccanici ma il "target" è diminuire almeno di un fattore 2, forse di più.

3. alla power dissipation concorrono almeno 3 stadi: la cella analogica, l'architettura digitale, la

distribuzione dei clock. Insomma, ce ne è per ogni esperto....

4. il mio punto di vista personale, ma penso sia condiviso da molti, è che la via da perseguire sia quella di un rivelatore con lettura binaria dei pixel ed una architettura di sparsificazione on-pixel. Una possibile evoluzione di ALPIDE che per molti aspetti è un esempio. Altre architetture che conosco, sono decisamente più "hot".

5. l'architettura va a braccetto con la tecnologia e certamente le tecnologie su substrato ad alta resistività (HV-CMOS o SOI) secondo me sono il primo passo. Ed inoltre offrono altri aspetti interessanti se si volessero esplorare "aspect ratio" inusuali (e.g. ministrip).

In questo momento, la comunità cinese si sta muovendo molto bene, con una giovane designer (Ping Yang) che se non erro è cresciuta in ALICE ed ha presentato un bel lavoro a HK2017. C'e' spazio per tutti e certamente la comunità italiana ha le capacità di inserirsi bene nello sviluppo. Attilio Andreatza, che coordina il progetto di csn5 su HV-CMOS, è ovviamente interessato, così come lo sono Angelo Rivetti e Piero Giubilato, che hanno proposto SEED. Ho interagito anche con Valerio Re, pronto a mettere a disposizione una unità di personale. Bisogna però fare maturare i tempi; i due progetti di csn5, se non erro, arriveranno a conclusione con l'anno a venire e li si deve lasciar terminare. Penso che tra 12 mesi possa essere di mutuo interesse valorizzare i loro risultati anche inserendoli in questo contesto ed è a questo che aspiro.

Nel frattempo, sto seguendo da vicino ciò che la comunità cinese sta facendo per il CDR; sono molto volenterosi ma non hanno una grande esperienza e spero che il mio supporto possa essere utile. Di certo, mi richiede un pò di tempo...

Chiudo, altrimenti questa "nota breve" si trasforma in qualcosa di troppo esteso.

Grazie ed a presto,

Massimo