**Domande ATLAS**

**Bologna**

|  |  |  |
| --- | --- | --- |
| PIX | FASE 2 - ITK - Monolithic CMOS chip prototype | 10 |

Di che cosa si tratta? Chi lo produce? Esiste un’offerta?

La produzione di prototipi per CMOS, di interesse per Milano e Bologna, è discussa sotto Milano

|  |  |  |
| --- | --- | --- |
| PIX | FASE 2- ITK Setup System for module QA | 7,5 |
| PIX | FASE 2- ITK - DAQ (card daq boards+mezzanines) for RD53 | 5 |
| PIX | FASE 2 - ITK - DAQ card (for CMOS)  | 5 |

Dare dettagli e spiegazioni del lavoro che si intende compiere e sulla esatta destinazione degli articoli richiesti.

1) PIX FASE 2 - ITK Setup System for module QA

Il setup system per la QA dei moduli è attualmente in sviluppo. A seconda di quanto saranno rapidi i progressi in questo campo, potrebbe essere importante avere un sistema già da quest’anno. Proponiamo di mettere questa voce in SJ.

2) PIX FASE 2 - ITK - DAQ (card daq boards+mezzanines) for RD53

Entro il 2018 Bologna intende partecipare alla caratterizzazione dei moduli 3D ibridi (già bump-bonded, cfr modello di produzione), wire-bonded a flex di test, con front-end FE-I4 e FE RD53: per questi test si prevede l’acquisto di una card YARR, che consente di leggere entrambi gli ibridi.

3) PIX FASE 2 - ITK - DAQ card (for CMOS)

La caratterizzazione dei moduli CMOS sarà fatta a Bologna e Milano. A Bologna si ritiene necessaria fin dal 2018 l’acquisto di un sistema di DAQ, dal costo stimato di 5k€.

**Cosenza**

|  |  |  |
| --- | --- | --- |
| PIX | ITk: Componente sistema laser (laser head) per test sensori 3D | 5 |

Spiegare a che cosa serve e fornire offerta.

Alternativa a sorgenti radioattive per test funzionali sensori 3D. Acquisto parzialmente finanziato dal Gruppo Collegato CS.

**Lecce**

|  |  |  |
| --- | --- | --- |
| PIX | Colle | 2 |
| PIX | Vacuum jig | 2 |
| PIX | Dedicated vacuum system for jig | 1 |
| PIX | Ottica e camera per posizionamento | 3 |
| PIX | 1 Piatto di montaggio con fori di precisione | 1 |
| PIX | 1 Bridge di posizionamento moduli con chuck e posizionamento manuale di precisione xyz-theta | 1,5 |

Non è chiaro in quale attività siano inserite queste richieste: montaggio pixel? Moduli di test? Prototipi? Che cosa?

Le richieste si riferiscono al loading (incollaggio) dei moduli sugli half-ring. Nel 2018 si vuole realizzare il sistema di incollaggio verticale e di posizionamento micrometrico finale xyz-theta manuale del modulo su half-ring. NB: la movimentazione di precisione per il posizionamento globale ed il survey finale è volutamente lasciata disaccoppiata perché determinata da un gantry commerciale o da sistemi equivalenti (ad es. refurbishing robot di filatura camera a deriva di MEG2).

**Milano**

|  |  |  |
| --- | --- | --- |
| PIX | ITK: Bump bonding 3 wafer di sensori 3D con chip RD-53A | 31 |
| PIX | ITK: Bump bonding 3 wafer di sensori planari con chip RD-53A | 31 |

C’è un’offerta? Quale ditta?

La valutazione di un set 3 wafer di sensori con chip RD53A è stata fatta basandosi sulle seguenti offerte:

- deposizione e taglio 3 wafer 6" presso la Leonardo: 3×4k€ come da offerta allegata

- deposizione wafer 12" presso la Leonardo: 6k€ come da offerta allegata

- flip-chip 60 moduli presso la Leonardo: 60×192€ come da offerta allegata

- assottigliamento e taglio wafer 12" presso la DISCO: 1k€ (stima basata su offerta per test di lavorazione su 3 wafer da 12" allegata e su colloqui con responsabile DISCO).

In aggiunta avevamo quotato come richiesta separata

- maschera per deposizione wafer 6": 1k€ (offerta da GF); richiesta su voce separate 2k€ per una maschera per 3D ed una per planari.

Inoltre non avevamo inserito una possibile esigenza scoperta successivamente:

- maschera per deposizione wafer 12": 3500$ (+IVA, trasporto e dogana? Offerta allegata) Tale maschera potrebbe essere SJ (dipende se ci saranno o meno variazioni nel disegno del wafer di RD53).

Riteniamo che la parte di bump-bonding su sensori planari sia vincolata all’interesse di Leonardo a partecipare ad una quota di produzione maggiore di quella dei 3D e quindi la metteremmo sub judice a questa dichiarazione di interesse.

|  |  |  |
| --- | --- | --- |
| PIX | ITK: prototipi di chip monolitici CMOS (~10% di tutto ATLAS) | 40 |

Si tratta di un contributo? In base a quale regola sono distribuite le quote?

Nel 2018 si faranno **almeno** due run di prototipazione CMOS per testare i due design principali (large e small fill factor). Siccome questi run richiedono l’utilizzo dell’intero reticolo, sono dominati dai costi di fabbricazione delle maschere e variano attorno ad un costo di 200-250 kCHF. Si allegano le offerte degli analoghi run fatti con AMS e TowerJazz nel 2017.

Non esiste al momento un accordo di collaborazione che assegni all’INFN una quota. Questo 10% è stato quanto si è potuto fare con i fondi di CSN5 che hanno finora coperto la partecipazione italiana. Corrisponde anche alla quota di produzione moduli CMOS che abbiamo inserito nel nostro programma di lavoro.

Pensiamo sia una quota ragionevole commensurata alle nostre capacità di produzione.

Abbiamo diviso la richiesta totale (10% di 250 k€ per 2 run) tra le sezioni di Milano e Bologna. Data l’incertezza sul costo ed il numero di sottomissioni, queste quote potrebbero essere messe SJ alla effettiva definizione di ciascuna sottomissione.

|  |  |  |  |
| --- | --- | --- | --- |
| PIX | ITK: produzione prototipi del chip concentratore |  | 20  |

SJ a che cosa? Spiegare…

Il progetto per i moduli nell’outer barrel layer dei pixel prevede che un modulo sia costituito da 4 chip, con readout a 1.25 Gbps, con un chip di interfaccia che ne raccolga i dati e li raccolga in un unico canale a 5 Gbps.

Per l’opzione CMOS non è ancora chiaro se sarà possibile utilizzare la stessa soluzione prevista per i moduli ibridi. In caso di soluzione differente, non è ancora definito se si possono utilizzare dei chip esistenti (i lpGBT, utilizzati dalle strip) o è necessario svilupparne una versione dedicata.

Il SJ è relativo alla risoluzione di questi quesiti, che sono anche collegati alla definizione dell’architettura di readout dei chip CMOS. Questo avverrà solo nella prima metà del 2018.

|  |  |  |
| --- | --- | --- |
| PIX | ITK: produzione di Flex ibridi per rivelatori CMOS | 5 |
| PIX | ITK: tubi in titanio per sistema di cooling | 10 |
| PIX | ITK: Produzione prototipi di "Bus Tape" per Half Ring di endcap pixels | 5 |

C’è già un progetto? Che cosa si vuole realizzare?

**Flex ibridi**

Per i flex hybrid CMOS la progettazione sta iniziando proprio in questo momento.

Prevediamo di realizzare due prototipi:

- uno per chip con large fill factor, che ha specifiche moderate. Esistono diverse ditte anche in Italia in grado di fabbricarlo e, confrontato con produzioni precedenti, avrà un costo previsto attorno a 1.5k€.

- uno per chip con small fill factor; per come è stata implementata l’architettura di readout nel prototipo TowerJazz questo flex richiede di implementare un alto numero di linee dati con specifiche molto stringenti come pitch e trasmissione del segnale. Per questo ci si aspetta un costo significativamente superiore, dell’ordine di 3.5k€.

**Tubi in Titanio**

Il sistema di raffreddamento di ogni Half-Ring dell’End-Cap prevede l’inserimento, nella mezzeria del sandwich di carbon-foam, di un tubo curvo nel quale la CO2 evapora a temperature intorno a −40°C. Il progetto prevede l’utilizzo di un tubo con il diametro interno di circa 2mm, di Titanio C.P.2 ricotto. Tali tubi si otterrebbero dalla piegatura del materiale base, ottenuto in forma di tubi diritti lunghi 3m, per via della ricottura. Si tratta di mettere a punto la forma finale per l’inserimento nella realizzazione dei prototipi di Half-Ring, in tre versioni con dimensioni diverse. La connessione al circuito per l’ingresso-uscita del fluido di raffreddamento di ogni Half-Ring avverrebbe, almeno per il rivelatore finale, con l’inserimento di una disconnessione elettrica su ambo i lati del tubo, mediante la brasatura di un piccolo raccordo di materiale ceramico. Questa tecnologia andrebbe finalizzata e testata. Inoltre andrebbe finalizzato e testato anche il disegno finale per il dettaglio delle connessioni del tubo di ogni Half-Ring al circuito interno di distribuzione del fluido termovettore CO2 dell’End-Cap.

**Bus Tape**

Vari circuiti flessibili con dimensioni non convenzionali. Per la costruzione occorrono ditte in grado di lavorare flessibili su pannelli molto grandi, superiori ai 500×500mm2 che sono tipicamente il limite per la maggior parte dei costruttori di circuiti stampati flessibili. Milano sta collaborando con gruppi inglesi sul layout dei tape. I circuiti di per sé non sono troppo complicati (4 layers tipici), essendo i tape soprattutto per la distribuzione del power, perciò senza tracce ad alta risoluzione. La complessità dei circuiti sta soprattutto nella loro dimensione. A mia conoscenza ci sono veramente poche ditte al mondo in grado di lavorare pannelli così grandi. Come Milano abbiamo avuto modo nel corso del progetto LHCb di dover costruire cavi flessibili con dimensioni e complessità comparabili ai bus-tape. Abbiamo fatto negli ultimi tre anni una serie di prototipi con varie ditte ed al momento ne abbiamo trovate due (ALTAFLEX e QFLEX) in grado di realizzare con successo flessibili di grandi dimensioni.
Riferendoci alla costruzione di prototipi, i tipici costi da noi affrontati sono riassunti nella tabella allegata. Per confronto c'è anche la stima dei costi fatta dal PCB shop del CERN.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Manufacturer | LOT unit | NRE Tooling Costs | Unitary cost | Delivery time | Accepted quantity | Production capacity |
| Company 1 | 7 pieces | $ 600 | $ 900 | 10 wdays | 100 % | Max 25/week |
| Company 2 | 5 pieces | $ 850 | $ 2080 | 18 wdays | Not yet available | Max 30/week |
| CERN | 10 pieces | N.A> | ~ 1200 Euro | ~ 10-14 Weeks | 80 % | Not known |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| LOT unit | NRE Tooling Costs | Unitary cost | Delivery time | Accepted quantity | Production capacity |
| 7 pieces | $ 600 | $ 900 | 10 wdays | 100 % | Max 25/week |
| 5 pieces | $ 850 | $ 2080 | 18 wdays | Not yet available | Max 30/week |
| 10 pieces | N.A> | ~ 1200 Euro | ~ 10-14 Weeks | 80 % | Not known |

È ragionevole aspettarsi che i BUS TAPE abbiano costi simili. Prenderei come riferimento i costi della Company 1.

**TIFPA**

|  |  |  |  |
| --- | --- | --- | --- |
| PIX | Acquisto substrati Silicon-Silicon Direct Wafer Bonded per fabbricazione sensori 3D | 20 |   |
| PIX | Maschera litografica per bump bonding sensori 3D | 2 |   |
| PIX | Fabbricazione di un lotto di sensori a pixel 3D con litografia step-and-repeat presso FBK (a tariffa convenzione, 11 litografie equivalenti) | 27 |   |
| PIX | Costo aggiuntivo per la fabbricazione di un lotto di sensori a pixel 3D con litografia step-and-repeat presso FBK (qualora la convenzione vigente non fosse disponibile per esaurimento del numero massimo di litografie equivalenti previste) |   | 33 |

Quanti substrati?

Con il fornitore usato finora (ICEMOS), un singolo wafer costa quasi 500€, quindi la risposta è circa 40, che è un numero ragionevole considerati i lotti di sensori ancora da fabbricare e le relative prove preliminari a FBK.