

FEEL: Future Energy-Efficient Electronics

A. Messina, B. Militello and A. Napoli

INFN Catania & Department of Physics and Chemistry, Palermo University

R. Cristiano, M. Ejrnaes, M. Lisitskiy, L. Parlato and G. Pepe

INFN Napoli, CNR Spin Na & Department of Physics, Napoli University

R. Ammendola, D. Badoni, M. Cirillo, M. Lucci, V. Merlo, A. Salamon and G. Salina

INFN Roma Tor Vergata & Department of Physics, Tor Vergata University

C. Attanasio, F. Bobba, G. Carapella, N. Martucciello, A. Nigro and S. Pagano

INFN GC Salerno, CNR Spin Sa & Department of Physics, Salerno University



A Nicola Cabibbo

Per le ore passate assieme a saldare le schede di Ape e per avermi insegnato che anche quello era un modo di fare *Fisica Teorica*

Cosa e Perché: l'approccio Metodologico

Studio di un problema fisico mediante lo sviluppo di *strumenti e tecnologie*. Metodologie tipiche:

- della Fisica Teorica
Sviluppo di codici e di algoritmi
- delle Tecnologie Elettroniche Avanzate
VLSI analogico e/o digitale, FPGA, Architetture di Calcolo
- delle Tecnologie Software Avanzate
Database, Interfacce Web, Cloud Computing, Data Mining

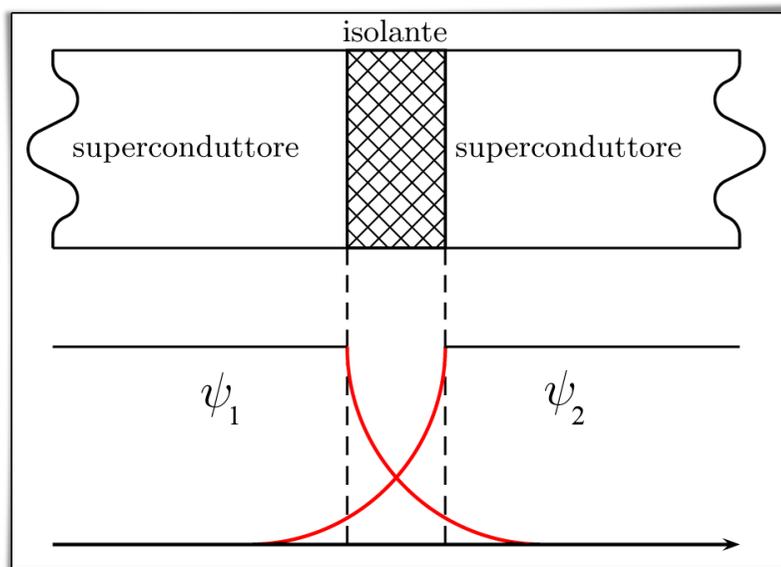
La natura del problema fisico guida la scelta tecnologica e determina fortemente le caratteristiche dello strumento. La conoscenza approfondita del problema e' condizione necessaria, ma non sufficiente.

La tecnologia scelta deve essere sostenibile in termini organizzativi e di spesa.

**Paradigmi
Computazionali**

Perché sviluppare dispositivi di calcolo a superconduttori in ambito INFN ?

- L'INFN ha una lunga tradizione nello sviluppo di architetture e dispositivi computazionali per lo studio intensivo di modelli teorici (QCD su reticolo). Dal 1986 ad oggi sono stati progettate e costruite 5 generazioni del Super Computer APE (Ape, Ape100, Ape1000, APENext, QuoNg) ed a oggi c'è un forte interesse per le problematiche relative al calcolo all' ExaFlops.
- Il progetto di dispositivi a superconduttori non è nel “portafoglio” delle competenze dei gruppi elettronici dell'INFN. La disponibilità di fonderie commerciali a “basso costo” e l'uso di ambienti di sviluppo e progetto comuni alla progettazione in silicio (Ambiente Cadence) permettono l'acquisizione di tale competenza all'interno dell'INFN.
- I paradigmi computazionali (teoria ed algoritmi) e la loro implementazione su dispositivi di calcolo reali sono naturalmente di interesse dell'INFN.
- Lo sviluppo di dispositivi computazionali al limite termodinamico evidenziano aspetti teorici relativi alla natura ed alla dinamica delle Giunzioni Josephson che rientrano di diritto nella cultura dell'INFN.



$$i\hbar \frac{\partial \psi_1}{\partial t} = \mu_1 \psi_1 + K \psi_2$$

$$i\hbar \frac{\partial \psi_2}{\partial t} = \mu_2 \psi_2 + K \psi_1$$

$$\psi_1 = \sqrt{n_1} e^{i\theta_1}$$

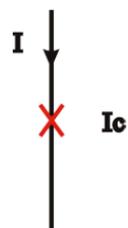
$$\psi_2 = \sqrt{n_2} e^{i\theta_2}$$

$$\delta = \theta_1 - \theta_2$$

$$\mu_2 - \mu_1 = 2eV$$

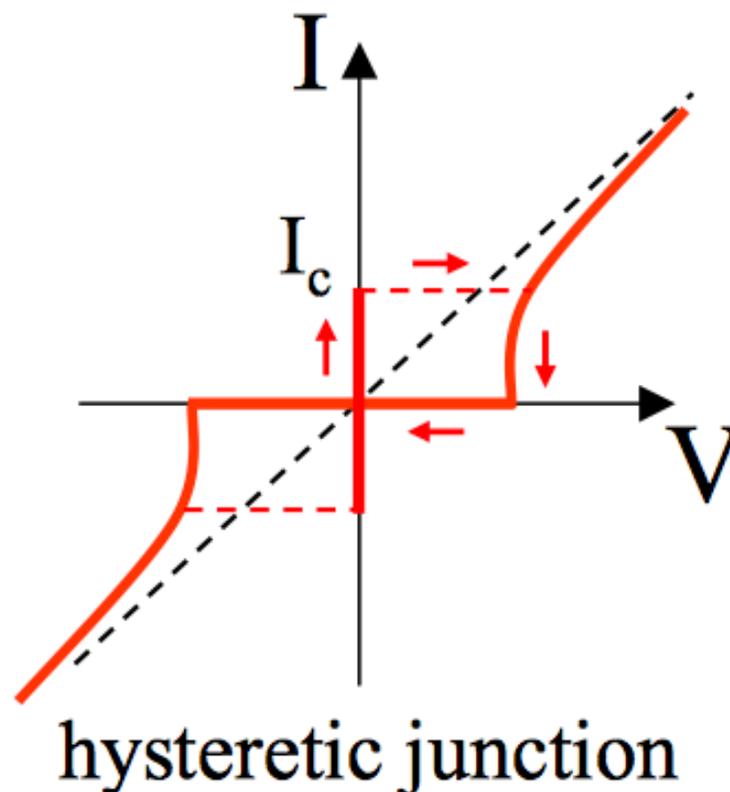
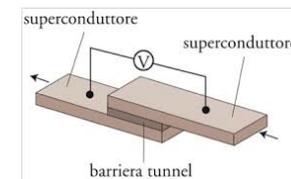
$$I = I_0 \sin \delta$$

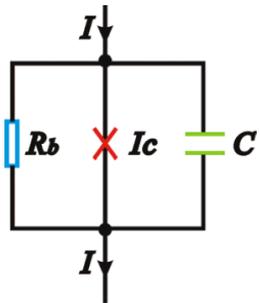
$$\frac{\partial \delta}{\partial t} = \frac{2eV}{\hbar}$$



DC Josephson effect

Le origini di Digithel
2013-2014





$$I = I_0 \sin \delta$$

$$\frac{\partial \delta}{\partial t} = \frac{2eV}{\hbar}$$



$$I = I_0 \sin \delta + C \frac{dV}{dt} + \frac{V}{R}$$

$$I = \sin \delta + \beta_c \frac{d^2 \delta}{d\tau^2} + \frac{d\delta}{d\tau}$$

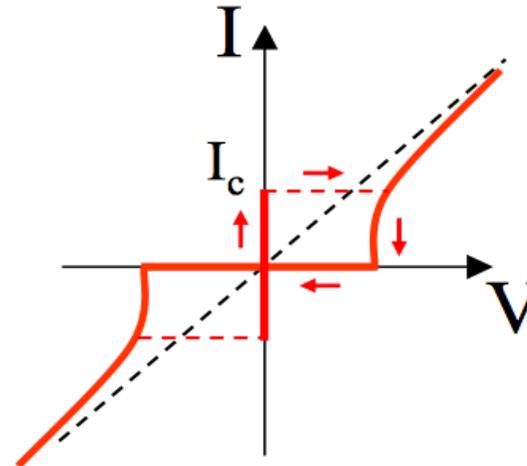
con

$$\tau = 2\pi f_c t = \frac{2e}{\hbar} I_0 R t$$

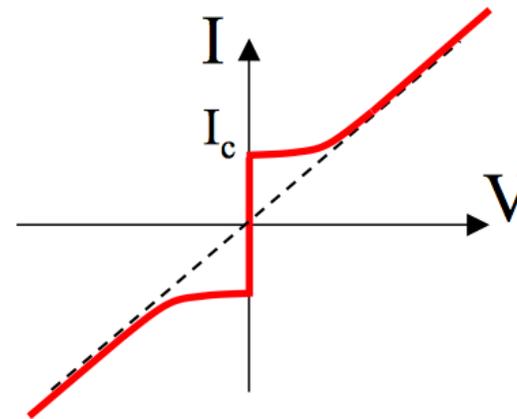
$$\beta_c = 2\pi f_c R C = \frac{2e}{\hbar} I_0 R^2 C$$

Resistively and Capacitively Shunted Junction-model

DC Josephson effect



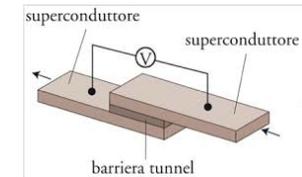
hysteretic junction



non-hysteretic junction

Le origini di Digithel

2013-2014



$$\beta_c > 1$$

$$\beta_c < 1$$

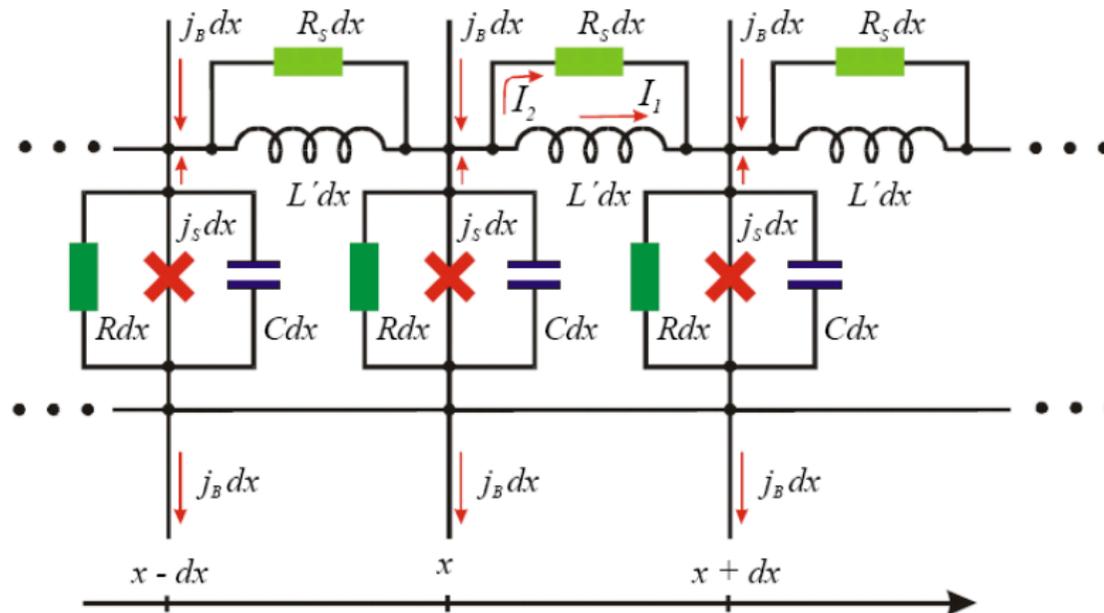
Nb/AlOx/Nb tunnel junctions: $\beta_c \gg 1$

Long Josephson Junction

Le origini di Digithel

2013-2014

It is a kind of Josephson junction which has one or more dimensions longer than Josephson penetration depth



The solutions can be described as a combination of resting or freely moving vortices or solitons. In the physical language these vortices can be described as quasiparticles which are able to move along LJJs with arbitrary speeds and without any dissipation.

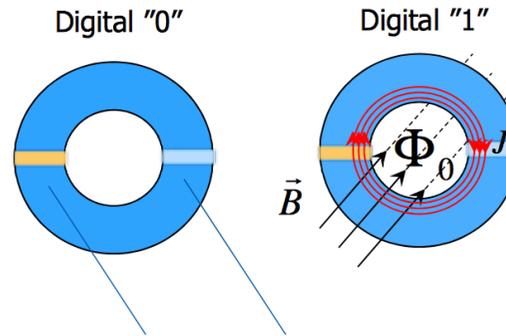
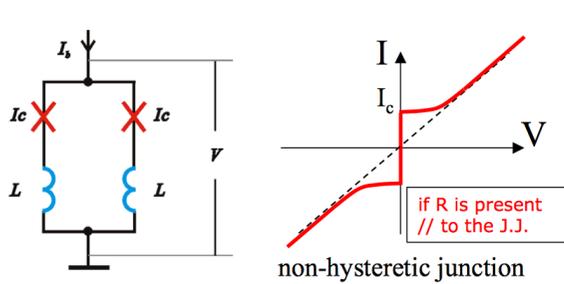
$$\varphi_{xx} - \varphi_{tt} = \sin \varphi + \alpha \varphi_t - \beta \varphi_{xxt} - \eta,$$

where $\alpha = \frac{1}{RC\omega_p}$, $\beta = \frac{\omega_p L}{R_s}$, and $\eta = \frac{j_B}{j_c}$; $\omega_p = \sqrt{\frac{2\pi j_c}{\Phi_0 C}}$

Rapid Single-Flux Quantum Logic

Le origini di Digithel

2013-2014

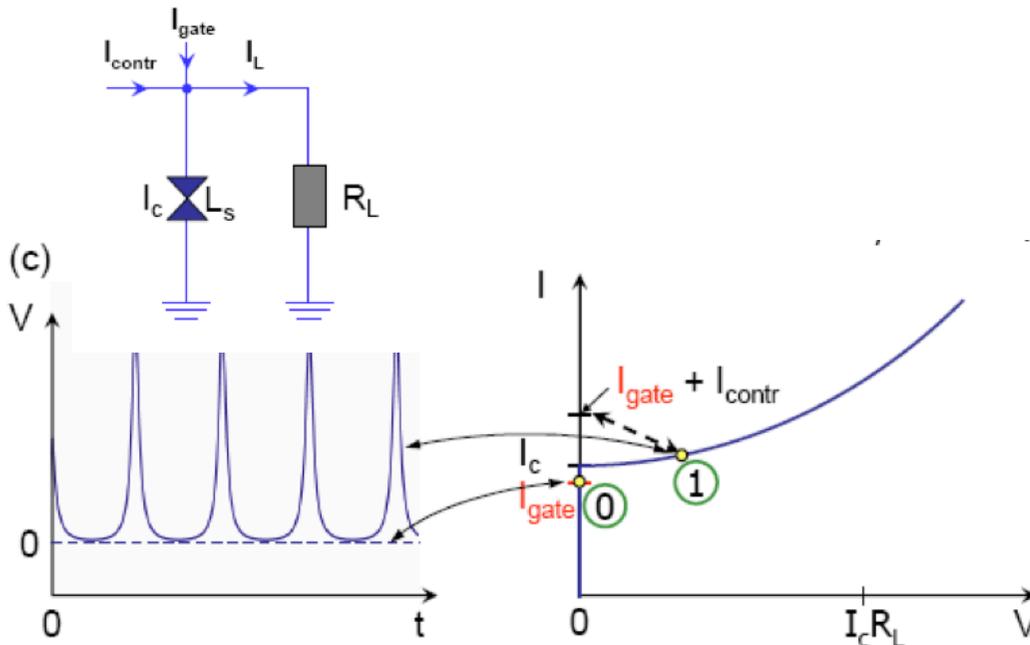


Magnetic Flux Quantization

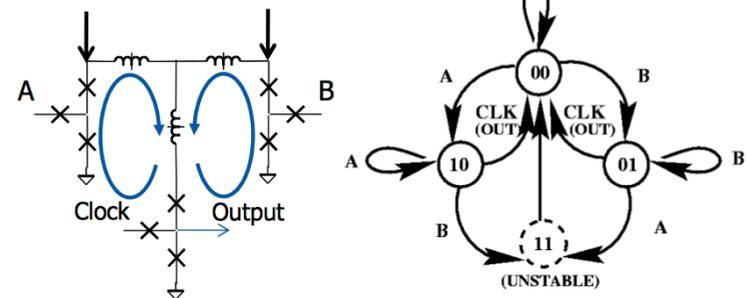
$$\Phi_0 = \frac{h}{2e} \approx 2.07 \times 10^{-15} \text{ Wb}$$

$$\Phi_0 = 2.07 \text{ mVps} = 2 \text{ mApH}$$

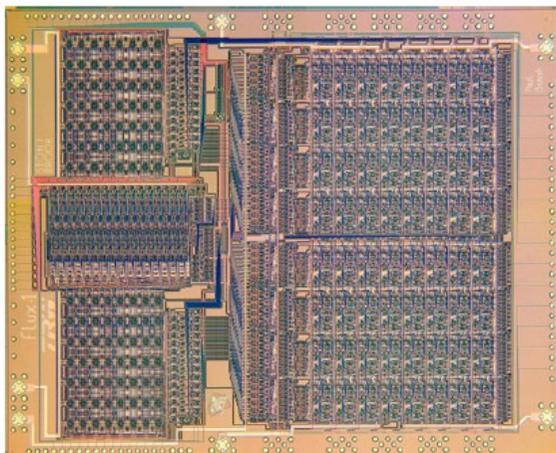
The RSFQ logic family is constructed with **damped** Josephson junctions, inductors (superconducting) and current sources. Almost all standard logic cells, and a few RSFQ-specific cells can be constructed, and with these we can build almost any combinational or sequential logic circuits.



XOR (Exclusive Or)



Rapid Single-Flux Quantum Logic



- High speed up to 750 GHz for single asynchronous cells and up to 200 GHz for LSI devices
- Low power consumption 0.2 nW/GHz per pulse
- Superconducting microstrip lines for ballistic transfer of data over arbitrary distances
- Complete library of digital gates
- Simple fabrication technology
- Operational temperature < 10K.



Prof. K.K. Likharev



Prof. V.K. Semenov

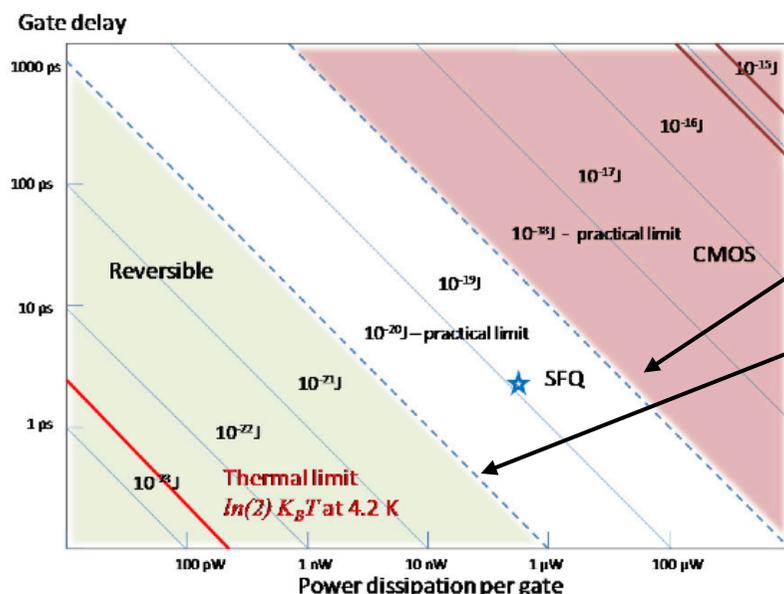


Dr. O.A. Mukhanov

RSFQ microprocessor (Hypres, USA)

RSFQ logic/memory family: a new Josephson-junction technology for sub-terahertz-clock-frequency digital systems

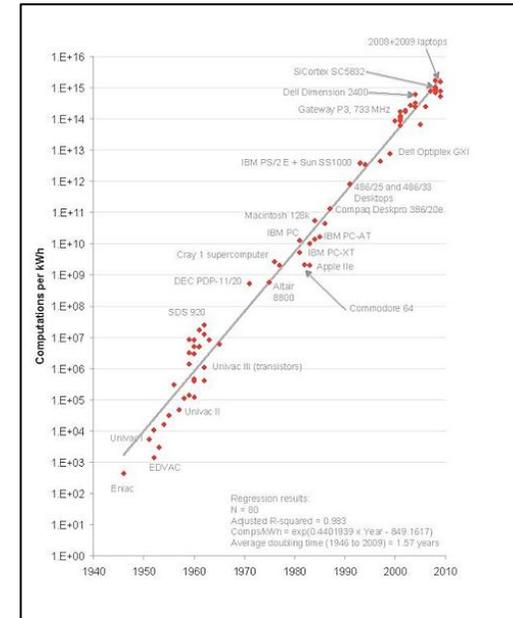
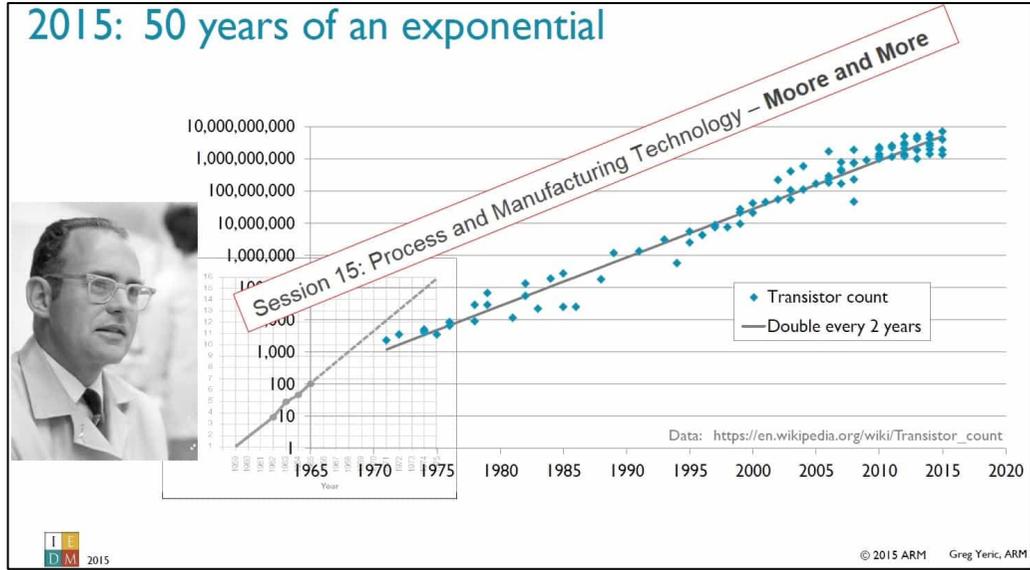
IEEE Trans. On Applied Supercond, Vol. 1, No. 1, 1991



Nelle attuali tecnologie CMOS il limite è circa $10^6 k_B T$

Nelle più efficienti RSFQ il limite è $10^3 k_B T$

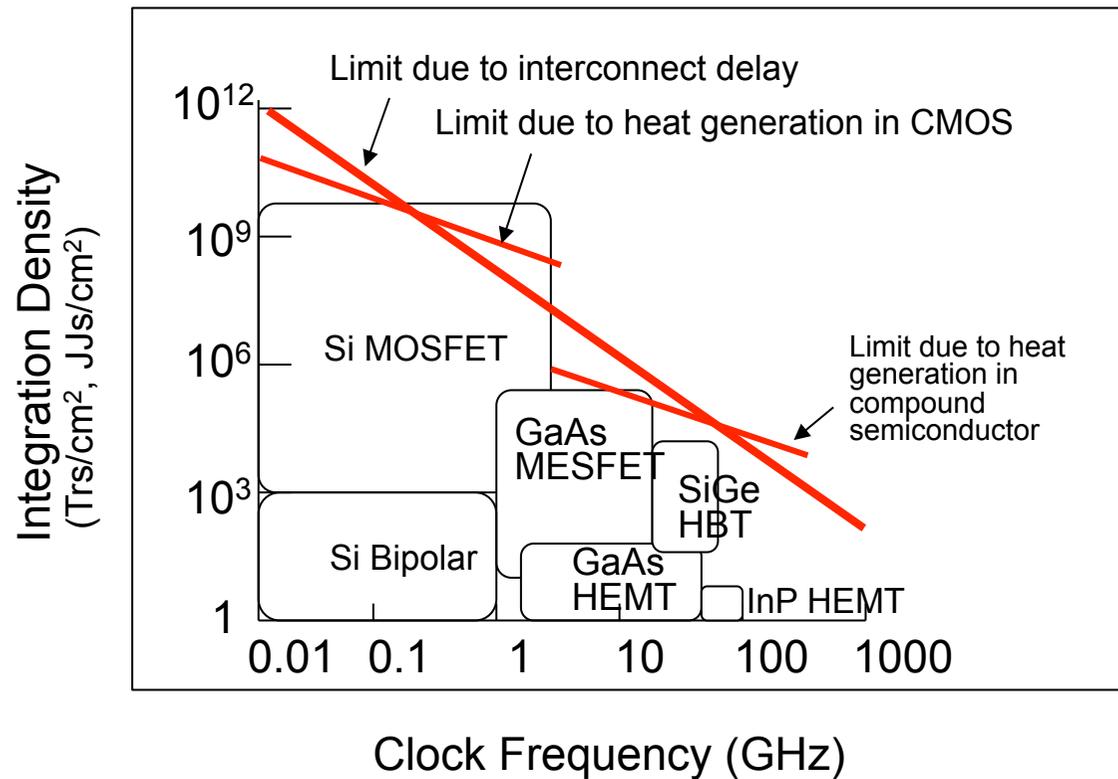
Dato questo perche' Digithel ????



La tecnologia digitale corrente ha raggiunto un limite nelle prestazioni, essenzialmente a causa della dissipazione di energia

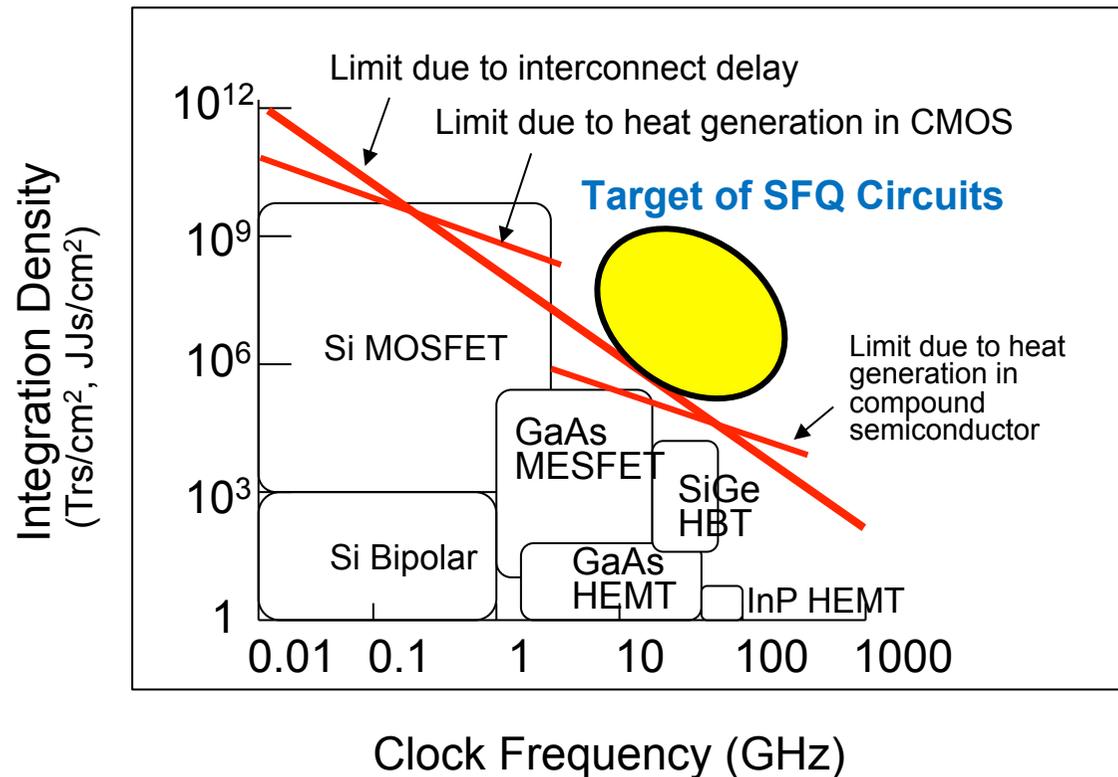


La tecnologia digitale corrente ha raggiunto un limite nelle prestazioni, essenzialmente a causa della dissipazione di energia



from A. Fujimaki, Nagoya Univ. Presented at ISEC2017, June 2017

La tecnologia digitale corrente ha raggiunto un limite nelle prestazioni, essenzialmente a causa della dissipazione di energia

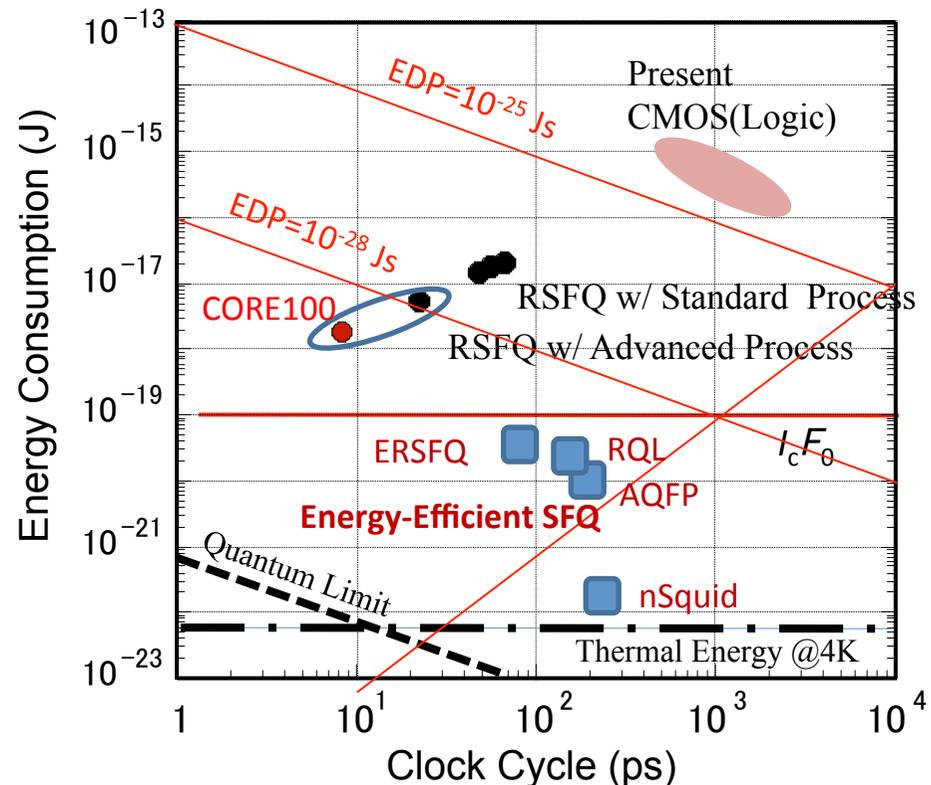


La tecnologia superconduttiva è in grado di superare tale limite, anche considerando la penalizzazione introdotta dalla refrigerazione

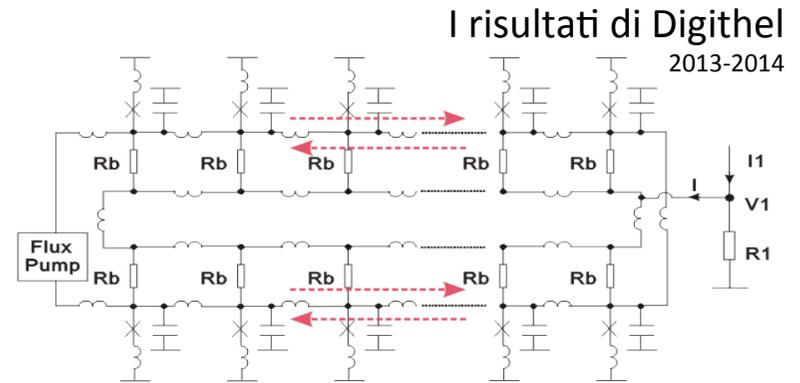
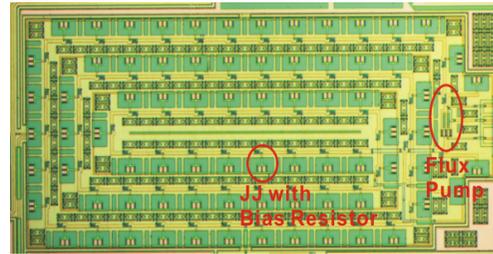
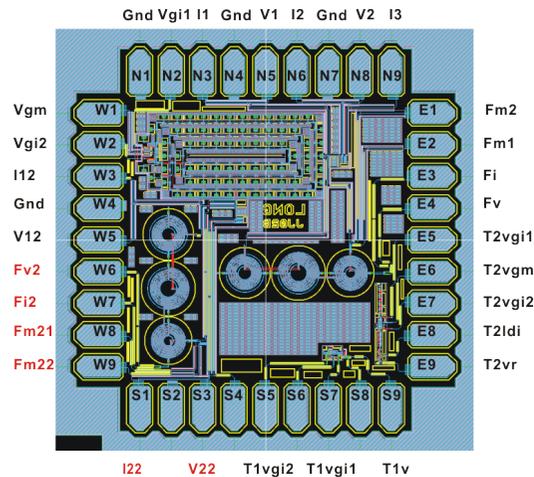
Ci sono svariate famiglie logiche superconduttive basate su singoli quanti di flusso (RSFQ) che hanno già dimostrato prestazioni 2 ordini di grandezza migliori dei CMOS

E' tuttavia necessario sviluppare ulteriormente famiglie logiche superconduttive a bassissimo consumo energetico, cercando di *raggiungere i limiti fisici*.
(Digithel)

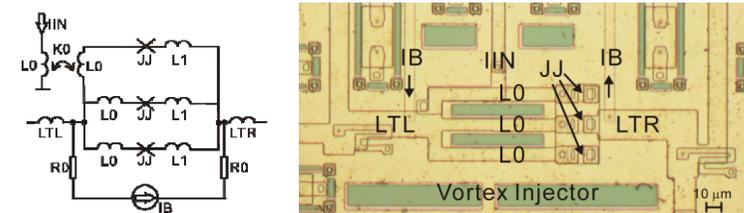
E' anche necessario sviluppare *nuovi tipi di memorie superconduttive* di piccole dimensioni per poter realizzare grandi densità di memorizzazione (le celle correnti occupano 15x15 mm²)



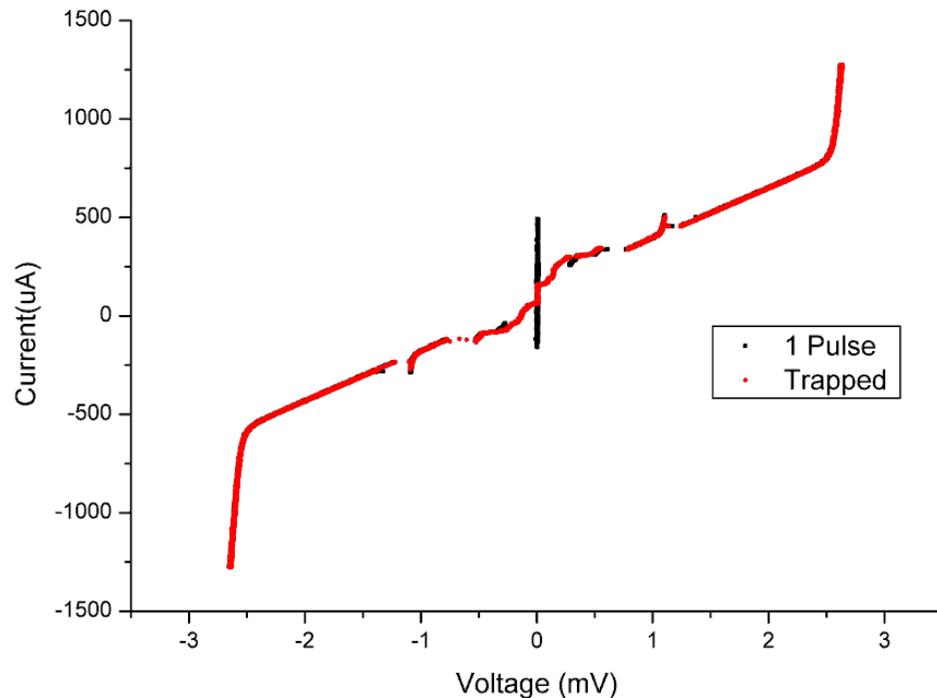
from A. Fujimaki, Nagoya Univ. Presented at ISEC2017, June 2017



Schema e foto delle 77 giunzioni Josephson disposte ad anello



Sistema di pompaggio dei flussoni nell'anello di giunzioni



Caratteristica I-V del Chip Long JJ02B. Si nota nella curva in rosso una corrente critica molto bassa dovuto all'intrappolamento di flussoni all'interno del sistema, mentre nella curva in nero si nota un aumento della corrente critica in seguito all'annichilimento di flussoni.

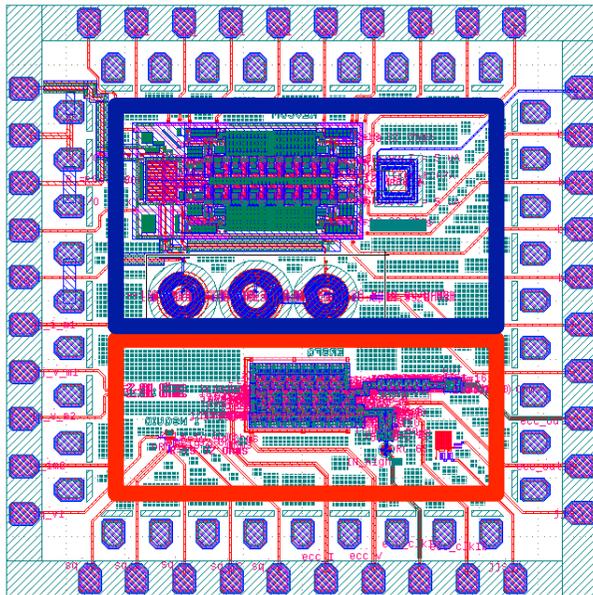


Figura 5. Setup logica ERSFQ, Freq. In = 19,456 GHz, Freq. Out = 2375 KHz. Freq. ref. = 593,75KHz.

Divisore

Secondo Dispositivo

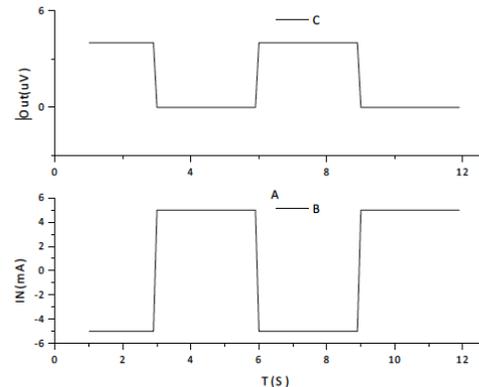


Figura 9. Verifica funzionale del circuito NOT, caratteristica In/Out.

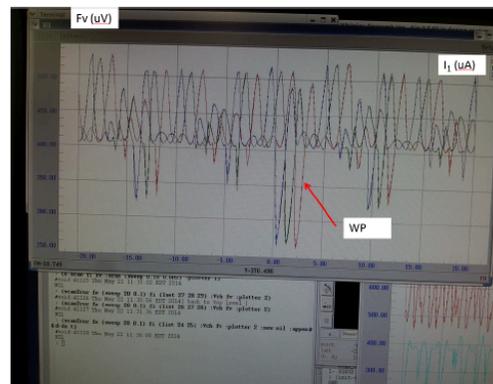


Figura 7. Caratterizzazione degli nSQUID misuratori di corrente.

Logica nSQUID

I risultati di Digithel
2013-2014

Due tipologie di circuiti:
una con tecnologia ERSFQ e l'altro con tecnologia nSQUID.

Divisore

Con la tecnologia ERSFQ si è progettato e realizzato un circuito contenente 13 celle in serie con funzione logica di tipo T FLIP FLOP (TFF). ($f/8192 f_{max} = 10 \text{ GHz.}$)



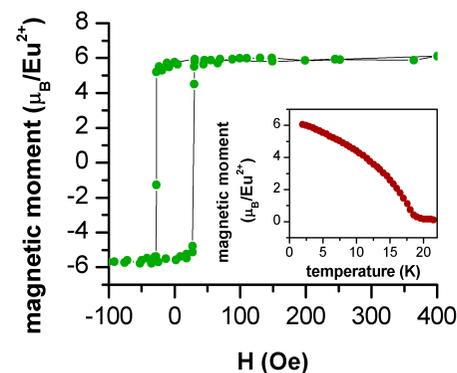
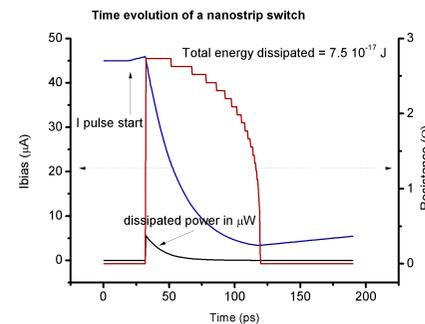
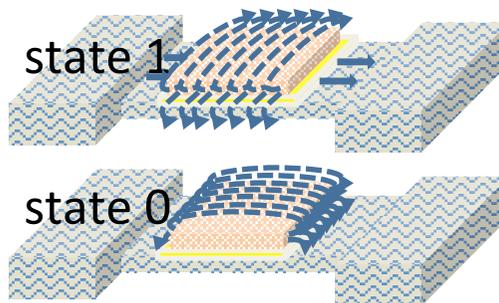
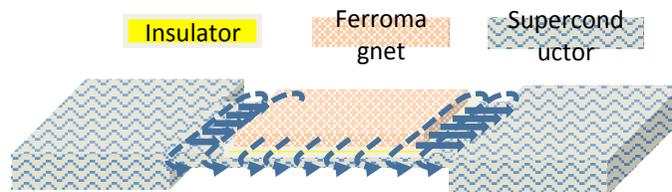
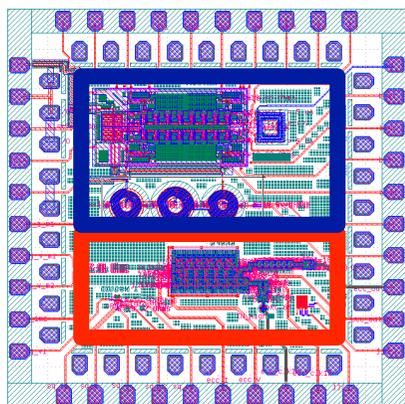
Logica nSQUID.

Con la tecnologia nSQUID si sono realizzati due blocchi svolgenti le funzioni logiche di NOT e di SHIFT REGISTER,



FEEL: Lo scopo di questo progetto è di sviluppare nuove idee per spingere le prestazioni dell'elettronica digitale superconduttiva oltre lo stato dell'arte corrente.

Più nello specifico vogliamo sviluppare un chip di memoria superconduttiva basato su logiche a bassissimo consumo energetico (già oggetto dell'esperimento INFN DIGITHEL) e su memorie ibride superconduttore-ferromagnete su scala nanometrica (proposte recentemente da alcuni dei partecipanti a questo progetto).



Proposal for a Nanoscale Superconductive Memory, Sergio Pagano; Nadia Martucciello; Fabrizio Bobba; Giovanni Carapella; Carmine Attanasio; Carla Cirillo; Roberto Cristiano; Mikhail Lisitskiy; Mikkel Ejrnaes; Giovanni Piero Pepe; Loredana Parlato, IEEE Transactions on Applied Superconductivity, Year: 2017, Volume: 27, Issue: 4

INFN ROMA TOR VERGATA	FTE	ROLE
Gaetano Salina (R Naz., P.RIC, INFN ROMA TV)	0.3	<u>superconductive readout design, coordination</u>
Matteo Cirillo (PO, UNIROMA2)	0.5	<u>physics of superconducting arrays</u>
Massimiliano Lucci (RTDB, UNIROMA2)	0.3	<u>chip design and characteriation</u>
Davide Badoni (TEC, INFN ROMA TV)	0.3	<u>full custom digital chip design</u>
Andrea Salamon (RIC, INFN ROMA TV)	0.0	<u>digital design and readout electronics</u>
Roberto Ammendola (TECN, INFN ROMA TV)	0.0	<u>digital design and readout electronics</u>
Vittorio Merlo (Ric, UNIROMA2)	0.2	<u>energy efficient digital modeling, data analysis</u>
INFN GC SALERNO	FTE	ROLE
Sergio Pagano (Resp. Locale, PA, UNISA)	0.4	<u>Superconducting nano-memories design and characterization</u>
Carmine Attanasio (PA, UNISA)	0.2	<u>magnetic superconductive hybrid modeling</u>
Fabrizio Bobba (PA, UNISA)	0.3	<u>magnetic superconductive hybrid modeling</u>
Giovanni Carapella (RIC, UNISA)	0.2	<u>magnetic material characterization</u>
Angela Nigro (PA, UNISA)	0.2	<u>magnetic and superconductive material characterization</u>
Nadia Martucciello (RIC, CNR SPIN SA)	0.3	<u>nano-fabrication</u>
INFN NAPOLI	FTE	ROLE
Giampiero Pepe (PA, UNINA)	0.2	<u>nanowire modeling</u>
Loredana Parlato (RIC, UNINA)	0.2	<u>memory element modeling</u>
Roberto Cristiano (D.RIC, CNR SPIN NA)	0.3	<u>nanowire design</u>
Mikkel Ejrnaes (RIC, CNR SPIN NA)	0.3	<u>nano-patterning</u>
Mikhail Lissitskiy (RIC, CNR SPIN NA)	0.3	<u>nanowire fabrication</u>
INFN CATANIA	FTE	ROLE
Anna Napoli (Resp. Locale, PA, UNIPA)	0.35	<u>energy efficient digital modeling</u>
Antonino Messina (PO, UNIPA)	0.35	<u>energy efficient designs</u>
Benedetto Militello (RIC, UNIPA)	0.30	<u>data analysis, low energy design</u>

Table I. Researchers involved, FTE and specific know-how and role within the project.

Tre Sedi, 21 teste e 4.6 FTE

The activity will be divided in following tasks:

- T1 Modeling of operation of nanowire hybrid superconductive-magnetic memory cells.
- T2 Modeling of energy efficient superconductive readout circuitry for nanowire memory cells.
- T3 Realization of test structured of superconducting nanowires and optimization of properties.
- T4 Realization and testing of nanosize magnetic particles for integration with nanowires.
- T5 Integration and testing of nanowire hybrid superconductive-magnetic memory elements.
- T6 Designs of 4 bit Arithmetic Logic Unit at the thermodynamic limit.
- T7 Design, realization and testing of 1st generation integrated memory chip with readout.
- T8 Optimized design of readout circuitry and nanowire memory elements.
- T9 Realization and testing of 2nd generation integrated memory chip with advanced performances.

	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	Q10	Q11	Q12
T1	Modeling of nanowire memory											
T2	Modeling of readout											
T3	Realization and test of nanowires											
T4	Realization and test of nanomagnets											
T5			Realization and test of memory element									
T6	Designs of 4 bit Arithmetic Logic Unit											
T7			Design realization and test of 1st gen chip									
T8						Optimized design of readout and memory cells						
T9									Realization and test of 2nd gen chip			

Fig 1. GANTT chart

FINANCIAL REQUESTS

Year	Travels	Consumables	Instrumentation	Software	Total
2018	17.0	36.0	27.0	5.5	85.5
2019	15.0	40.0	0.0	0.0	55.0
2020	15.0	40.0	0.0	0.0	55.0
Total	47.0	116.0	27.0	5.5	195.5

Table III. 2018-2020 financial requests.

Sez.	Travels	Consumables	Instrumentation	Software	Total
CT	6.0	0.0	0.0	3.5	9.5
RM2	4.5	15.5	7.0	2.0	29.0
SA	6.5	20.5	20.0	0.0	47.0
Total	17.0	36.0	27.0	5.5	85.5

Table IV. 2018 financial requests.

Budget Details		2018		2019		2020		Total	
Travels	Collaboration Meetings and Tests	9.5	17.0	9.0	15.0	9.0	15.0	27.5	47.0
	Workshop& Congress	4.5		3.0		3.0		10.5	
	Foundry Contacts	3.0		3.0		3.0		9.0	
Consumables	Foundry	9.0	36.0	10.0	40.0	10.0	40.0	29.0	116.0
	In-house production	18.0		20.0		20.0		58.0	
	Tests	9.0		10.0		20.0		39.0	
Instrumentation	Test Facility	7.0	27.0	0.0	0.0	0.0	0.0	7.0	27.0
	Infrastructure Upgrade	20.0		0.0		0.0		20.0	
Software	Mathematical Software	5.5	5.5	0.0	0.0	0.0	0.0	5.5	5.5
Total		85.5		55.0		55.0		195.5	

Table V. Detailed financial requests.