

SyncFEL

Advanced pixel detectors for hard
X-rays at Synchrotron light and FEL
sources



Daniele Vogrig

Università di Padova and INFN Padova

(daniele.vogrig@dei.unipd.it)

Outline

- SyncFEL's goals
- Motivation
 - X-ray FEL machines
 - Measurements
 - Detectors
- Conclusion

■ Obiettivi del progetto:

- 1) sviluppare un imager per applicazioni alle sorgenti di luce di sincrotrone ed ai laser ad elettroni liberi
- 2) esplorare le possibilità offerte dalle tecnologie di integrazione verticale per la realizzazione di un front-end a doppio strato

■ Durata: 3 anni

■ Gruppi INFN coinvolti:

- Pavia (resp. naz.: Lodovico Ratti)
- Milano Bicocca
- Padova
- Pavia
- Perugia (?)
- Pisa
- Torino
- Trento - TIFPA

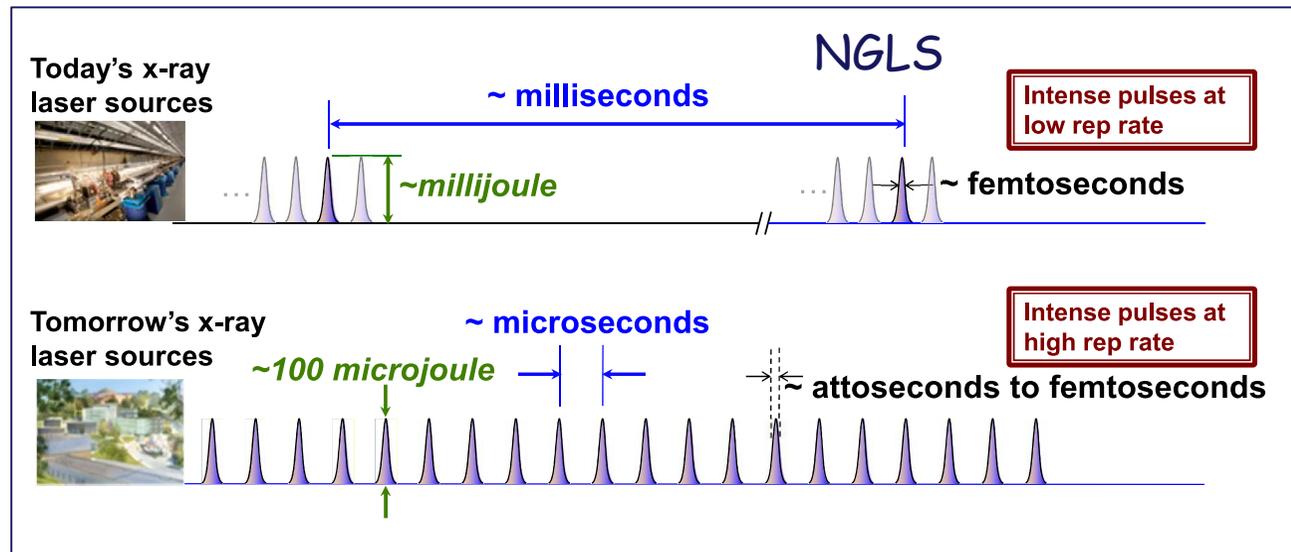
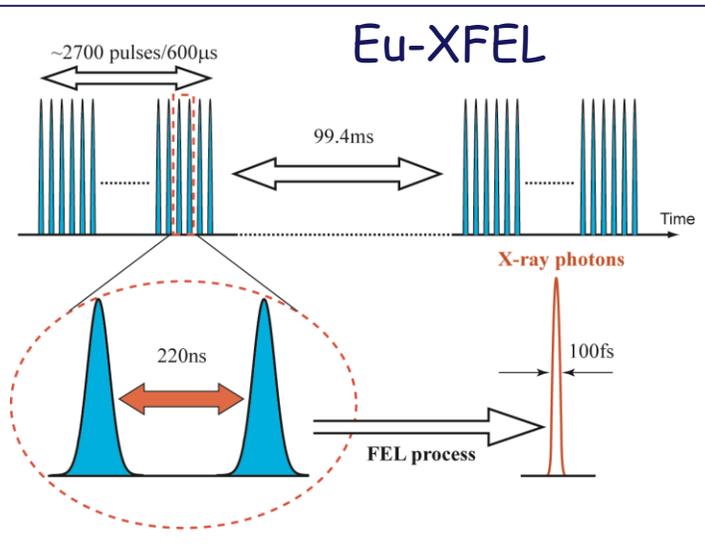
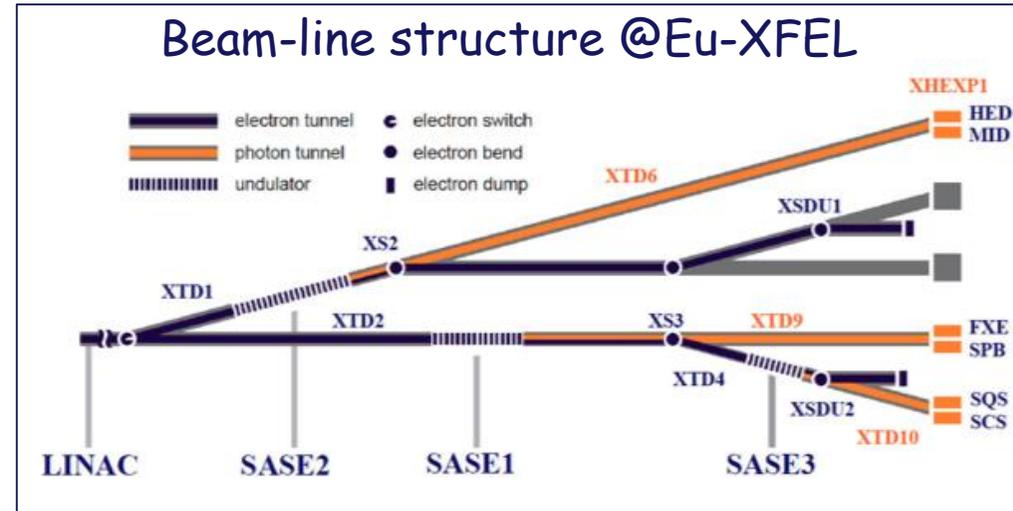
Main features of FELs

- FELs provide high intensity beam of ultrafast X-rays
 - energy range: 100 eV to 10 keV (λ from 10 nm to 0.1 nm)
 - pulse duration: tens of femtoseconds to picoseconds
 - repetition rate: 100 Hz (continuous mode) to 5 MHz (burst mode)

Project	Start of operation	Electron beam energy [GeV]	Minimum photon wavelength/Maximum photon energy [Angstrom/keV]	Burst repetition rate [Hz]	Number of X-ray pulses/burst @inter-pulse period
LCLS	2009	13.6	1.5/8.3	120	1
SCSS	2010	8	1/12	60	1
Fermi	2010	2.4	40/0.32	10	1
European-XFEL	2014	17.5	1/12	10	3250@220 ns
SwissFEL	2016	5.8	1/12	100	2@50 ns
NGLS	>2020	2.4	10/1.2	10 ⁶	1

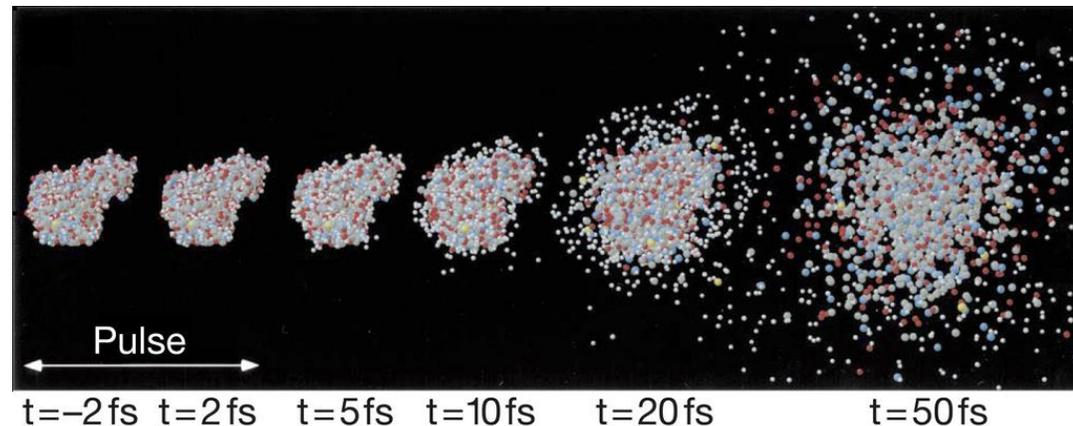
Beam-line and beam-time structure

- Beam lines with different photon energies available at each facility
- Very different beam structure from one FEL facility to the other - some pose very challenging requirements on the instrumentation



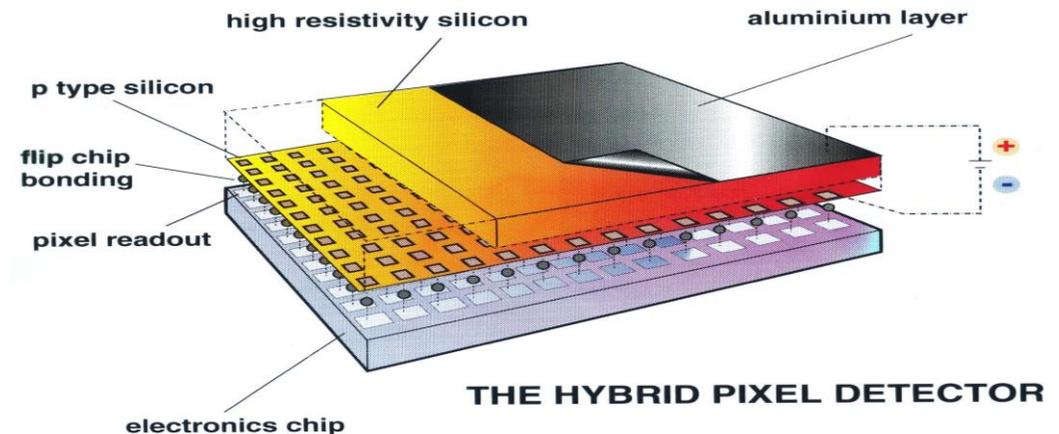
Science program

- The science base accessible at FELs is quite broad
 - **structural biology**: study and solve the structures of large macromolecular biological systems
 - **chemistry**: understand the mechanisms of catalytic processes responsible for efficient conversion of light into electrical/chemical energy
 - **material science**: study the mechanisms of transport and storage of on increasingly smaller lengths and at faster time scales;
 - **atomic and molecular science**: is concerned with the study of fundamental interactions among electrons, between electrons and nuclei and between light and matter



XFEL Instrumentation

- Although each experiment at FELs may require a specific detection system, two main scientific cases may be identified
 - energy sensitive detectors with Fano limited energy resolution for spectroscopic experiments, possible position sensitivity for angular dispersive experiments (0D or 1D)
 - silicon drift detectors
 - high-Z detectors
 - cryogenic detectors
 - area detectors for imaging experiments, based on X-ray diffraction (2D)
 - charge coupled devices
 - **hybrid pixel detectors**
 - monolithic active pixel sensors



SyncFEL: obiettivi (1)

Sviluppare un imager per applicazioni alle sorgenti di luce di sincrotrone ed ai laser ad elettroni liberi con le seguenti caratteristiche:

- front-end a singolo strato in tecnologia CMOS 65 nm
- pitch: 100 - 150 μm
- rate di conversione A/D: $\geq 5\text{MHz}$
- readout rate estrapolato ad un rivelatore da 1Mpixel: $\geq 20\text{ kHz}$
- range dinamico in ingresso: $\geq 10^4$ ph
- range in energia: $250\text{ eV} < E < 50\text{ keV}$ (necessità di esplorare materiali alternativi al silicio, e.g., CdTe)
- memoria a bordo $\geq 1\text{ kbit}$ (≥ 100 eventi a 10 bit di risoluzione)
- sensore a pixel a bordo attivo per minimizzazione dell'area morta
- resistenza a dosi ionizzanti elevate: 100 Grad per il sensore, $\geq 1\text{ Grad}$ per l'elettronica di front-end

SyncFEL: obiettivi (2)

Esplorare le possibilità offerte dalle tecnologie di integrazione verticale per la realizzazione di un front-end a doppio strato:

- through silicon via (TSV) ad "alta" densità, per interconnessione verticale intra-pixel, e a "bassa" densità, per la realizzazione di via periferici, sotto i pad, che eliminando la necessità di wire bonding, facilitano la copertura di ampie superfici di rivelazione con minima area morta
- processi di interconnessione tra wafer di silicio
- sviluppo di memorie ad alta densità (≥ 10 kbit/cella, pitch di circa 100 μm) per il secondo layer di un front-end a due strati

2017

- Definizione delle specifiche dello strumento, anche sulla base delle necessità degli utenti (tutti)
- Progetto e produzione di sensori slim/active edge ottimizzati per energie tra 0.25 keV e 12 (15?) keV e minima area morta (TN-TIFPA, PG(?))
- Disegno e produzione di un prototipo del front-end analogico - 1 chip mini@sic in tecnologia CMOS 65 nm (PV, TO)
- **Disegno e produzione di prototipi di IP block: bandgap reference, DAC, SLVDS driver & receiver, monitoring ADC - 1/2 mini@sic in tecnologia CMOS 65 nm (PD, PV, TO)**
- Studio sulle architetture di readout (TO, PI, PG)
- Avvio dello studio del sistema di acquisizione dati (MIb, PI, CAEN(?))
- Inizio dei test sul front-end analogico (PV, PI)
- **Inizio dei test su IP block (PD, TO)**

2018

- **Proseguimento dei test sul front-end analogico, anche sotto il profilo della radiation hardness (PV, TO, PD, PI)**
- **Proseguimento dei test su IP block, anche sotto il profilo della radiation hardness (PD, TO)**
- Test dei sensori slim/active edge, anche sotto il profilo della radiation hardness (TN-TIFPA, PG(?))
- Disegno e produzione di un secondo run di sensori (TN-TIFPA, PG(?))
- **Disegno e produzione di prototipi di celle di memoria - 1 chip mini@sic in tecnologia CMOS 65 nm (PV, PD, Red Cat Devices (?))**
- **Disegno e produzione di prototipi di celle di memoria - 1 chip mini@sic in tecnologia CMOS 28 nm (PV, PD, Red Cat Devices (?))**
- Indagine su TSV periferici e su tecnologie di integrazione verticale (Tohoku-Microtec, CEA-LETI)
- **Disegno e produzione del chip di lettura (area relativamente grande, $\geq 32 \times 32$ celle), programmabile e con uscita completamente digitale, compatibile con la realizzazione di TSV periferici (TO, PV, PI, PD, PG)**
- Sviluppo del sistema di acquisizione dati (MIb, PI, CAEN(?))

2019

- **Test del chip di front-end (TO, PV, PI, PD)**
- **Test, anche sotto il profilo della radiation hardness, dei prototipi di memoria nelle tecnologie CMOS 65 nm e 28 nm (PD, PV, Red Cat Devices (?))**
- Test, anche sotto il profilo della radiation hardness, del second run di sensori (TN-TIFPA)
- Realizzazione e test del sistema di acquisizione dati (MIb, PI, CAEN(?))
- Realizzazione di TSV periferici nel chip di front-end (PV)
- Interconnessione tra chip di front-end e sensore (TN-TIFPA, PI)
- Integrazione di un modulo (equivalente all'area di 4, 8, 16 chip?) (MIb, PI, TO, CAEN(?))
- Integrazione del sensore con il sistema di acquisizione dati (MIb, PI, TO, CAEN(?))
- Commissioning del sistema di rivelazione su fascio di raggi X e test in un esperimento reale

SyncFEL: WP

Work packages

WP1 - Applications and Instrument Specifications (PV o TO, all)

WP2 - Sensors (TN-TIFPA, PG(?))

WP3 - Analog front-end (PV, TO, PI)

WP4 - Memories and vertical integration technologies (PV, PD)

WP5 - Chip integration and digital readout (TO, PI, PD, PV, PG(?))

WP6 - Rad-hard electronics (PD, PV)

WP7 - DAQ, system integration and testing (PI o MIb, all)

SyncFEL: richieste finanziarie (da confermare)

Saranno determinate principalmente dai run di produzione di circuiti microelettronici e sensori:

- 4/5 chip mini@sic in tecnologia CMOS 65 nm (2mm x 2mm per chip): 20 kEuro/chip
- 1 chip mini@sic in tecnologia CMOS 28 nm (1.57mm x 1.57mm per chip): 28 kEuro
- 1 chip di grandi dimensioni in tecnologia CMOS 65 nm: 150 kEuro
- 2 run di sensori slim/active edge: 30 kEuro/run (in convenzione)
- 1 run di interconnessione chip-sensore (20 chip-sensor pairs?): 30 kEuro
- 1 run di TSV periferici: 100 kEuro

TOTALE: 450-470 kEuro

Spese per missioni: 5 kEuro/sezione/anno

TOTALE: ~100 kEuro

Spese di consumo: 5 kEuro/sezione/anno

TOTALE: 100 kEuro + 50 kEuro

SyncFEL: richieste servizi (da confermare)

Sezione di Padova:

- D. Vogrig, Responsabile locale (40%)
- S. Gerardin (20%)
- A. Paccagnella (20%)
- A. Neviani (50%)
- J. Wyss (20%)

Richieste servizi (sui 3 anni):

- 12 M.U. tecnico elettronico (3+3+3)
- 2 M.U. CAD elettronico (0+1+1)
- 2 M.U. montaggio componenti (0+1+1)